T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

YÜKSEK LİSANS TEZİ

AVİYONİK ÜNİTELER İÇİN MIL-STD-704 UYUMLU GÜÇ TOPOLOJİSİ TASARIMI

Furkan ALTAY

DANIŞMAN
Prof. Dr. Fırat KAÇAR

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Tezli Yüksek Lisans Programı

Ocak, 2025

Aileme ithaf ediyorum…

BÜTÇE DESTEKLERİ

AVİYONİK ÜNİTELER İÇİN MIL-STD-704 UYUMLU GÜÇ TOPOLOJİSİ TASARIMI

Bu tez çalışması için herhangi bir kurumdan bütçe desteği alınmamıştır.

TEŞEKKÜR

Yüksek Lisans eğitimim ve tez çalışmam sırasında hiçbir zaman desteğini esirgemeyen ve lisansüstü eğitimimde büyük katıları bulunan Sn. Prof. Dr. Fırat KAÇAR ’a ve tez çalışmamı doğrulayabilmem için bana test ekipmanlarını kullanabilme imkanı sunan değerli şirketim BAYKAR ’a teşekkürlerimi sunarım.

Ocak 2025 Furkan ALTAY

İÇİNDEKİLER

Sayfa No

BÜTÇE DESTEKLERİ ..... **iii**
TEŞEKKÜR ..... **iv**
İÇİNDEKİLER ..... **v**
ŞEKİL LİSTESİ ..... **x**
TABLO LİSTESİ ..... **xv**
SİMGE VE KISALTMA LİSTESİ ..... **xviii**
ÖZET ..... **xx**
ABSTRACT ..... **xxii**
1. GİRİŞ **1**
2. KAVRAMSAL ÇERÇEVE **4**
2.1. MIL-STD-704 STANDARDI 4
2.2. HAVA ARAÇLARININ ELEKTRİKSEL GÜÇ SİSTEMLERİ 6
2.3. KORUMA YAPISI GEREKEN ÜNİTELER 8
2.3.1. Seri veya Paralel Koruma Yapısı Olmayan Üniteler 8
2.3.2. Sadece Seri Koruma Yapısı Olan Üniteler 8
2.3.3. Sadece Paralel Koruma Yapısı Olan Üniteler 9
2.3.4. Hem Seri Hem Paralel Koruma Yapısı Olan Üniteler 9
3. YÖNTEM **10**
3.1. PARALEL KORUMA YAPISI 10
3.2. SERİ KORUMA YAPISI 17
3.3. KOMBİNE KORUMA YAPISI 28
3.4. YEDEKLİ KORUMA YAPISI 29
3.5. ADAPTİF KORUMA YAPISI 30
4. BULGULAR **32**
4.1. TERCİH EDİLEN KORUMA YAPISI TASARIMI 32
4.2. MIL-STD-704F-8 TESTLERİ 34
4.2.1. LDC101 Testi 35
4.2.2. LDC102 Testi 42

4.2.3. LDC103 Testi 46
4.2.4. LDC104 Testi 50
4.2.5. LDC105 Testi 56
4.2.6. LDC201 Testi 72
4.2.7. LDC301 Testi 89
4.2.8. LDC302 Testi 93
4.2.9. LDC401 Testi 101
4.2.10. LDC501 Testi 105
4.2.11. LDC601 Testi 107
4.2.12. LDC602 Testi 112
4.3. MIL-STD-810G TESTİ 115
5. TARTIŞMA 119
6. SONUÇ VE ÖNERİLER 122
KAYNAKLAR 124
EKLER 126
İNTİHAL RAPORU İLK SAYFASI 130
KURUM İZNİ YAZILARI 131

ŞEKİL LİSTESİ

Sayfa No

Şekil 1.1: Elektriksel Güç Sistemi Şeması Örneği-1 2

Şekil 1.2: Arızaların Nedenlerinin Analizi 3

Şekil 2.1: MIL -STD-704F ile Tanımlanan Aşırı ve Düşük Gerilim Limitleri [7] 4

Şekil 2.2: Elektriksel Güç Sistemi Şeması Örneği-2 7

Şekil 3.1: TVS Koruma Yapısı Değerlendirmesi için Referans Devre Şeması 10

Şekil 3.2: Bir TVS Elemanı için Verilen Test Dalgası Şekli [9] 12

Şekil 3.3: TVS Elemanı için Azaltma Oranı Faktörü Grafiği [9] 12

Şekil 3.4: TVS ürün Seçim Tablosu [9] 13

Şekil 3.5: MIL -STD-704F ile Tanımlanan Aşırı ve Düşük Gerilim Limitleri [7] 14

Şekil 3.6: TVS Koruma Yapısı Değerlendirmesi için Referans Devre Şeması 17

Şekil 3.7: Bir MOSFET içi SOA Grafiği [10] 18

Şekil 3.8: Aşırı Gerilim ve Aşırı Akım Durumları için Zamanlayıcı Akımları [11] 19

Şekil 3.9: Seri Koruma Yapısında Farklı Zamanlayıcı Kapasiteleri için Aşırı Gerilim Koruma Eğrisi 26

Şekil 3.10: Seri Koruma Yapısında Farklı Zamanlayıcı Kapasiteleri için Toleranslı Aşırı Gerilim Koruma Eğrisi 27

Şekil 3.11: Kombine Koruma Topolojisi Devre Şeması 29

Şekil 3.12: Yedekli Darbe Durdurucu Topolojisi [11] 29

Şekil 3.13: Adaptif Koruma Yapısı Değerlendirmesi için Referans Devre Şeması 30

Şekil 4.1: MIL-STD-704F Uyumlu Güç Topolojisi 32

Şekil 4.2: MIL-STD-704 Standardı Test Düzeneği Blok Şeması 34

Şekil 4.3: Test Düzeneği Görselleri 35

Şekil 4.4: LDC101 Test Düzeneği Şeması....35
Şekil 4.5: LDC101 18V Testi Simülasyon Şematik Devresi....36
Şekil 4.6: LDC101- 18VDC Steady State Grafiği....36
Şekil 4.7: LDC101 - 18VDC Inrush Akımı Grafiği....37
Şekil 4.8: LDC101- 18VDC Steady State Grafiği....37
Şekil 4.9: LDC101 28V Testi Simülasyon Şematik Devresi....38
Şekil 4.10: LDC101- 28VDC Steady State Grafiği....38
Şekil 4.11: LDC101- 28VDC Inrush Akımı Grafiği....39
Şekil 4.12: LDC101- 28VDC Steady State Grafiği....39
Şekil 4.13: LDC101 32V Testi Simülasyon Şematik Devresi....40
Şekil 4.14: LDC101- 32VDC Steady State Grafiği....40
Şekil 4.15: LDC101- 32VDC Inrush Akımı Grafiği....41
Şekil 4.16: LDC101- 32VDC Steady State Grafiği....41
Şekil 4.17: LDC102 Test Düzeneği Şeması....42
Şekil 4.18: LDC102 NLSS Testi Simülasyon Şematik Devresi....43
Şekil 4.19: LDC102 NLSS Testi Simülasyon Grafiği....43
Şekil 4.20: LDC102 NLSS Testi Grafiği....44
Şekil 4.21: LDC102 NHSS Testi Simülasyon Şematik Devresi....44
Şekil 4.22: LDC102 NHSS Testi Simülasyon Grafiği....45
Şekil 4.23: LDC102 NHSS Testi Grafiği....45
Şekil 4.24: LDC103 Test Düzeneği Şeması....46
Şekil 4.25: LDC103 F Testi Simülasyon Şematik Devresi....47
Şekil 4.26: LDC103 F Testi Simülasyon Grafiği....47
Şekil 4.27: LDC103-F Testi Grafiği....48
Şekil 4.28: LDC103 K Testi Simülasyon Şematik Devresi....48
Şekil 4.29: LDC103 K Testi Simülasyon Grafiği....49
Şekil 4.30: LDC103-K Testi Grafiği....49

Şekil 4.31: LDC104 Test Düzeneği Şeması....50
Şekil 4.32: LDC104 A-1 Testi Simülasyon Şematik Devresi....51
Şekil 4.33: LDC104 A-1 Testi Simülasyon Grafiği....51
Şekil 4.34: LDC104 A-7 Testi Simülasyon Şematik Devresi....52
Şekil 4.35: LDC104 A-7 Testi Simülasyon Grafiği....52
Şekil 4.36: LDC104-A Testi Grafiği....53
Şekil 4.37: LDC104 B-1 Testi Simülasyon Şematik Devresi....53
Şekil 4.38: LDC104 B-1 Testi Simülasyon Grafiği....54
Şekil 4.39: LDC104 B-7 Testi Simülasyon Şematik Devresi....54
Şekil 4.40: LDC104 B-7 Testi Simülasyon Grafiği....55
Şekil 4.41: LDC104-B Testi Grafiği....55
Şekil 4.42: LDC105 Test Düzeneği Şeması....57
Şekil 4.43: LDC105 AA Testi Simülasyon Şematik Devresi....57
Şekil 4.44: LDC105 AA Testi Simülasyon Grafiği....58
Şekil 4.45: LDC105-AA Testi Grafiği....58
Şekil 4.46: LDC105 BB Testi Simülasyon Şematik Devresi....59
Şekil 4.47: LDC105 BB Testi Simülasyon Grafiği....59
Şekil 4.48: LDC105-BB Testi Grafiği....60
Şekil 4.49: LDC105 CC Testi Simülasyon Şematik Devresi....60
Şekil 4.50: LDC105 CC Testi Simülasyon Grafiği....61
Şekil 4.51: LDC105-CC Testi Grafiği....61
Şekil 4.52: LDC105 DD Testi Simülasyon Şematik Devresi....62
Şekil 4.53: LDC105 DD Testi Simülasyon Grafiği....62
Şekil 4.54: LDC105-DD Testi Grafiği....63
Şekil 4.55: LDC105 EE Testi Simülasyon Şematik Devresi....63
Şekil 4.56: LDC105 EE Testi Simülasyon Grafiği....64
Şekil 4.57: LDC105-EE Testi Grafiği....64

Şekil 4.58: LDC105 FF Testi Simülasyon Şematik Devresi 65
Şekil 4.59: LDC105 FF Testi Simülasyon Grafiği 65
Şekil 4.60: LDC105-FF Testi Grafiği 66
Şekil 4.61: LDC105 GG Testi Simülasyon Şematik Devresi 66
Şekil 4.62: LDC105 GG Testi Simülasyon Grafiği 67
Şekil 4.63: LDC105-GG Testi Grafiği 67
Şekil 4.64: LDC105 HH Testi Simülasyon Şematik Devresi 68
Şekil 4.65: LDC105 HH Testi Simülasyon Grafiği 68
Şekil 4.66: LDC105-HH Testi Grafiği 69
Şekil 4.67: LDC105 II Testi Simülasyon Şematik Devresi 69
Şekil 4.68: LDC105 II Testi Simülasyon Grafiği 70
Şekil 4.69: LDC105-II Testi Grafiği 70
Şekil 4.70: LDC105 JJ Testi Simülasyon Şematik Devresi 71
Şekil 4.71: LDC105 JJ Testi Simülasyon Grafiği 71
Şekil 4.72: LDC105-JJ Testi Grafiği 72
Şekil 4.73: LDC201 Test Düzeneği Şeması 73
Şekil 4.74: LDC201 A Testi Simülasyon Şematik Devresi 73
Şekil 4.75: LDC201 A Testi Simülasyon Grafiği 74
Şekil 4.76: LDC201-A Testi Grafiği 74
Şekil 4.77: LDC201 B Testi Simülasyon Şematik Devresi 75
Şekil 4.78: LDC201 B Testi Simülasyon Grafiği 75
Şekil 4.79: LDC201-B Testi Grafiği 76
Şekil 4.80: LDC201 C Testi Simülasyon Şematik Devresi 76
Şekil 4.81: LDC201 C Testi Simülasyon Grafiği 77
Şekil 4.82: LDC201-C Testi Grafiği 77
Şekil 4.83: LDC201 D Testi Simülasyon Şematik Devresi 78
Şekil 4.84: LDC201 D Testi Simülasyon Grafiği 78

Şekil 4.85: LDC201-D Testi Grafiği 79
Şekil 4.86: LDC201 E Testi Simülasyon Şematik Devresi 79
Şekil 4.87: LDC201 E Testi Simülasyon Grafiği 80
Şekil 4.88: LDC201-E Testi Grafiği 80
Şekil 4.89: LDC201 F Testi Simülasyon Şematik Devresi 81
Şekil 4.90: LDC201 F Testi Simülasyon Grafiği 81
Şekil 4.91: LDC201-F Testi Grafiği 82
Şekil 4.92: LDC201 G Testi Simülasyon Şematik Devresi 82
Şekil 4.93: LDC201 G Testi Simülasyon Grafiği 83
Şekil 4.94: LDC201-G Testi Grafiği 83
Şekil 4.95: LDC201 H Testi Simülasyon Şematik Devresi 84
Şekil 4.96: LDC201 H Testi Simülasyon Grafiği 84
Şekil 4.97: LDC201-H Testi Grafiği 85
Şekil 4.98: LDC201 I Testi Simülasyon Şematik Devresi 85
Şekil 4.99: LDC201 I Testi Simülasyon Grafiği 86
Şekil 4.100: LDC201-I Testi Grafiği 86
Şekil 4.101: LDC201 J Testi Simülasyon Şematik Devresi 87
Şekil 4.102: LDC201 J Testi Simülasyon Grafiği 87
Şekil 4.103: LDC201-J Testi Grafiği 88
Şekil 4.104: LDC201-K Testi Grafiği 88
Şekil 4.105: LDC201-L Testi Grafiği 89
Şekil 4.106: LDC301 Test Düzeneği Şeması 90
Şekil 4.107: LDC301 A Testi Simülasyon Şematik Devresi 90
Şekil 4.108: LDC301 A Testi Simülasyon Grafiği 91
Şekil 4.109: LDC301-NLSS Testi Grafiği 91
Şekil 4.110: LDC301 B Testi Simülasyon Şematik Devresi 92
Şekil 4.111: LDC301 B Testi Simülasyon Grafiği 92

Şekil 4.112: LDC301-NHSS Testi Grafiği 93
Şekil 4.113: LDC302 Test Düzeneği Şeması 94
Şekil 4.114: LDC302 AAA Testi Simülasyon Şematik Devresi 94
Şekil 4.115: LDC302 AAA Testi Simülasyon Grafiği 95
Şekil 4.116: LDC302-AAA Testi Grafiği 95
Şekil 4.117: LDC302 BBB Testi Simülasyon Şematik Devresi 96
Şekil 4.118: LDC302 BBB Testi Simülasyon Grafiği 96
Şekil 4.119: LDC302-BBB Testi Grafiği 97
Şekil 4.120: LDC302 CCC Testi Simülasyon Şematik Devresi 97
Şekil 4.121: LDC302 CCC Testi Simülasyon Grafiği 98
Şekil 4.122: LDC302-CCC Testi Grafiği 98
Şekil 4.123: LDC302 DDD Testi Simülasyon Şematik Devresi 99
Şekil 4.124: LDC302 DDD Testi Simülasyon Grafiği 99
Şekil 4.125: LDC302-DDD Testi Grafiği 100
Şekil 4.126: LDC302-EEE Testi Grafiği 100
Şekil 4.127: LDC401 Test Düzeneği Şeması 101
Şekil 4.128: LDC401 A Testi Simülasyon Şematik Devresi 102
Şekil 4.129: LDC401 A Testi Simülasyon Grafiği 102
Şekil 4.130: LDC401-A Testi Grafiği 103
Şekil 4.131: LDC401 B Testi Simülasyon Şematik Devresi 103
Şekil 4.132: LDC401 B Testi Simülasyon Grafiği 104
Şekil 4.133: LDC401-B Testi Grafiği 104
Şekil 4.134: LDC501 Test Düzeneği Şeması 105
Şekil 4.135: LDC501 AA Testi Simülasyon Şematik Devresi 106
Şekil 4.136: LDC501 AA Testi Simülasyon Grafiği 106
Şekil 4.137: LDC501 Testi Grafiği 107
Şekil 4.138: LDC601 Test Düzeneği Şeması 108

Şekil 4.139: LDC601 A Testi Simülasyon Şematik Devresi 108
Şekil 4.140: LDC601 A Testi Simülasyon Grafiği 109
Şekil 4.141: LDC601-A Testi Grafiği 109
Şekil 4.142: LDC601 D Testi Simülasyon Şematik Devresi 110
Şekil 4.143: LDC601 D Testi Simülasyon Grafiği 110
Şekil 4.144: LDC601-D Testi Grafiği 111
Şekil 4.145: LDC601-B Testi Grafiği 111
Şekil 4.146: LDC601-C Testi Grafiği 112
Şekil 4.147: LDC602 Test Düzeneği Şeması 113
Şekil 4.148: LDC602 Testi Simülasyon Şematik Devresi 113
Şekil 4.149: LDC602 Testi Simülasyon Grafiği 114
Şekil 4.150: LDC602 Ters Polarizasyon Testi Grafiği 114
Şekil 4.151: LDC602 Doğru Polarizasyon Testi Grafiği 115
Şekil 4.152: MIL-STD-810 İklimlendirme Testi Tanımlama Grafiği [14] 116
Şekil 4.153: İklimlendirme Testi Düzeneği Blok Diyagramı 116
Şekil 4.154: İklimlendirme Testinde Kullanılan Test Devreleri 117
Şekil 4.155: İklimlendirme Kabini Görüntüsü 117
Şekil 4.156: İklimlendirme Kabin Testi Görüntüsü 118
Şekil 4.157: İklimlendirme Testi Sonucu Grafiği 118
Şekil 5.1: Güç Kesintisi Durumlarına Karşı Örnek Bir Hold-Up Koruma Yapısı Şeması [11] 120

TABLO LİSTESİ

Sayfa No

Tablo 3.1: TVS Seçim Şartları 14

Tablo 3.2: Test için Arıza Gerilim ve Arıza Süreleri 15

Tablo 3.3: SMCJ33A TVS Ürünü için Parametreler 16

Tablo 3.4: TVS Seçimi ile İlgili Analiz Tablosu 16

Tablo 3.5: Normal Aşırı Gerilim Arızası için Örnek Tasarım Hesabı 22

Tablo 3.6: Akım Limitinde Aşırı Gerilim Arızası için Örnek Tasarım Hesabı 23

Tablo 3.7: Kısa Devre ve Aşırı Gerilim Arızası için Örnek Tasarım Hesabı 24

Tablo 3.8: Darbe Durdurucu Tasarım Şartları 25

Tablo 3.9: Paralel Koruma Yapısı için Tasarım Şartları 28

Tablo 3.10: Paralel Koruma Yapısı için Tasarım Şartları 31

Tablo 4.1: MIL-STD-704F Kararlı Hal Gerilim Limitleri 42

Tablo 4.2: MIL-STD-704F Gerilim Bozunum Limitleri 46

Tablo 4.3: MIL-STD-704F Gerilim Dalgalanma Limitleri 50

Tablo 4.4: MIL-STD-704F Gerilim Geçiş Limitleri 56

Tablo 4.5: MIL-STD-704F Güç Kesintisi Limitleri 72

Tablo 4.6: MIL-STD-704F Anormal Kararlı Hal Gerilim Limitleri 89

Tablo 4.7: MIL-STD-704F Anormal Gerilim Geçiş Limitleri 93

Tablo 4.8: MIL-STD-704F Acil Durum Kararlı Hal Gerilim Limitleri 101

Tablo 4.9: MIL-STD-704F Başlatma Gerilim Geçiş Limitleri 105

Tablo 4.10: MIL-STD-704F Başlatma Gerilim Geçiş Limitleri 107

Tablo 4.11: MIL-STD-704F Test Ölçüm Tablosu 112

SİMGE VE KISALTMA LİSTESİ

Simgeler	Açıklama
A	: Amper
C_{TMR}	: Zamanlayıcı Kapasitesi
DP	: Azaltma Oranı Faktörü
f	: Frekans
$I_{arıza}$	: Arıza Akımı
I_{LIM}	: Akım Limiti Değeri
I_{PP}	: Maximum Peak Pulse Current
I_{PP}	: Maximum Peak Pulse Current
I_{TMR}	: Zamanlayıcı Akımı
$I_{yük}$	: Yük Akımı
msec	: Milisaniye
P_{MOSFET}	: MOSFET Güç Değeri
P_{PPM}	: Darbe Dayanım Gücü
R_{DS}	: Drain-Source Direnci
R_{KABLO}	: Kablo İç Direnci
R_S	: TVS Elemanının İç Direnci
R_T	: Toplam Yol Empedansı
t	: Zaman
$t_{arıza}$	: Arıza Süresi
T_J	: Jonksiyon Bölgesinin Sıcaklığı
t_{reg}	: Regülasyon Süresi
V	: Volt
V_A	: Arıza Gerilimi
V_{BR}	: Kırılma Gerilimi
V_C	: Kırpma Gerilimi
$V_{C,max}$	: Maximum Clamping Voltage
V_{DS}	: Drain-Source Gerilimi
V_{IN}	: Giriş Gerilimi

V_R : Reverse Stand-Off Voltage

V_{VWM} : Working Voltage

W : Watt

Kısaltmalar	**Açıklama**
AC	: Alternative Current
AGK	: Aşırı Gerilim Koruması
APU	: Yardımcı Güç Ünitesi
AWG	: American Wire Gauge
DC	: Direct Current
EMI	: Electro-Magnetic Interference
FADEC	: Full Authority Digital Engine Control
GCU	: Jeneratör Kontrol Ünitesi
GDU	: Güç Dağıtım Ünitesi
LDC	: Low Direct Current
LDO	: Low Drop-Out
MIL-HDBK	: Military-Handbook
MIL-STD	: Military-Standard
MOSFET	: Metal-Oxide-Semiconductor Field-Effect Transistor
OVLO	: Over Voltage Lock Out
PPDU	: Birincil Güç Dağıtım Ünitesi
SOA	: Safe Operating Area
SPDU	: İkincil Güç Dağıtım Ünitesi
TRU	: Trafo Doğrultucu Ünitesi
TVS	: Transient Voltage Suppressor

ÖZET

YÜKSEK LİSANS TEZİ

AVİYONİK ÜNİTELER İÇİN MIL-STD-704 UYUMLU GÜÇ TOPOLOJİSİ TASARIMI

Furkan ALTAY

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Tezli Yüksek Lisans Programı

Danışman: Prof. Dr. Fırat KAÇAR

Tez çalışması, askeri hava araçlarında kullanılan aviyonik ünitelerin MIL-STD-704 standardına uyumlu güç yapısına uygun tasarım, üretim ve test süreçlerini içermektedir. Tez sürecinde, hava araçlarında kullanılan mevcut elektriksel sistemler araştırılmıştır. Hava aracının standart kapsamında oluşturulan gereksinimleri, sistem mimarisi, güç topolojisinin benzetimi, detaylı tasarımı ve model doğrulama çalışmaları yapılmıştır.

Tez kapsamındaki çalışmalar elektriksel güç sistemi mimarisi araştırma faaliyetleri ile başlamaktadır. Bu kapsamda hava aracı elektriksel güç topolojisi modeli için gereksinim ve sistem mimarisi çalışmaları gerçekleştirilmiştir. Gereksinim çalışmasında; gereksinimlerin tanımlanması, değerlendirilmesi ve doğrulanması süreçleri işlenmiştir. Bunun yanı sıra gereksinimin bütün tasarım süreci boyunca yönetimi detaylı bir şekilde anlatılmıştır. Aşırı gerilim ve akım koruma yapıları ile davranışları hakkında ilişkilerin tanımlanmasını yapan bir güç sistemi mimarisi kurgusu model tabanlı LTSpice tasarım aracı ile oluşturulmuştur. Böylece benzetim modeli için ön tasarım aşaması gerçekleştirilmektedir.

Ön tasarımın devamında detay tasarım için model altyapısı Altium Designer ile kurulmuştur. Böylece, projeye özgü tasarımın yapılması ve koruma yapısı sağlanabilmiştir. Güç topolojisi çalışmalarında benzetim modelini ve doğrulamasını en etkin bir şekilde gerçekleştirebilmek için model elemanlarının, komponentlerinin, verilerinin ve konfigürasyonlarının yapıları anlatılmaktadır.

Detaylı tasarım çalışmalarında, seri ve paralel koruma yapılarına ve askeri standartlara uygun komponent seçimi yapılmıştır. Bu aşamadan sonra, Altium Designer programı kullanılarak şematik ve PCB tasarım çalışması yapılmıştır. PCB üretici firması ile iletişime geçilerek gerekli dokümanlar aktarılıp üretim gerçekleştirilmiştir.

Tasarım doğrulama çalışmaları, deneysel olarak özgün tasarım ve üretim ile gerçekleştirilmektedir. Güç topoloji modellerinin doğrulanması, deneysel ortam kurularak test cihazı altında verilen girdiye karşılık alınan çıktı arasında tanımlama ve doğrulama metodu gerçekleşmiştir. Ek olarak, tasarımı yapılan devrenin hava aracının operasyonel irtifa değerlerine uygun olduğunu doğrulamak için gerekli sıcaklıklar arasında bir iklimlendirme kabin testi gerçekleştirilmiştir. Test sürecinde güç kaynağı, osiloskop, multimetre, iklimlendirme kabini, fotoğraf makinesi ve gerekli ESD koruma ekipmanları kullanılmıştır.

Sonuç olarak, hava araçları için askeri standartlara uygun doğrulanmış bir güç topoloji modeli tabanlı tasarım elde edilmiştir.

Ocak 2025, 155 sayfa.

Anahtar kelimeler: Aviyonik Sistemler, Elektriksel Güç Sistemi, Güç topolojisi, MIL STD 704

ABSTRACT

M.Sc. THESIS

MIL-STD-704 COMPATIBLE POWER TOPOLOGY DESIGN FOR AVIONICS

Furkan ALTAY

İstanbul University-Cerrahpaşa

Institute of Graduate Studies

Department of Electrical and Electronics Engineering

Electrical and Electronics Engineering Program

Supervisor: Prof. Dr. Fırat KAÇAR

The thesis focuses on the design, production, and testing processes of avionic units used in military aircraft in accordance with the power structure compliant with the MIL-STD-704 standard. During the thesis process, existing electrical systems used in aircraft were investigated. Requirements created within the scope of the standard for the aircraft, system architecture, power topology simulation, detailed design, and model validation studies were conducted.

The studies within the scope of the thesis begin with research activities on electrical power system architecture. In this context, requirements and system architecture studies were carried out for the aircraft electrical power topology model. In the requirements study, the processes of defining, evaluating, and verifying the requirements were addressed. Additionally, the management of the requirements throughout the entire design process is detailed. A power system architecture that defines relationships for overvoltage and overcurrent protection structures and behaviors was created using the model-based LTSpice design tool. Thus, the preliminary design phase for the simulation model is completed.

Following the preliminary design, the model infrastructure for detailed design was established using Altium Designer. This allowed for the project-specific design to be carried out and the protection structure to be ensured. In the power topology studies, the structures of the model elements, components, data, and configurations are described to effectively perform the simulation model and its verification.

In detailed design studies, components suitable for military standards and series and parallel protection structures were selected. After this stage, schematic and PCB design work was carried out using the Altium Designer program. Necessary documents were transferred to the PCB manufacturing company, and production was carried out.Design verification studies are conducted experimentally with original design and production. Validation of power topology models was performed by establishing an experimental environment and defining and verifying the output obtained under the given input using a test device. Additionally, a climatic chamber test was conducted at the necessary temperatures to verify that the designed circuit meets the operational altitude values of the aircraft. During the test process, a power supply, oscilloscope, multimeter, climatic chamber, camera, and necessary ESD protection equipment were used.

As a result, a verified power topology model-based design compliant with military standards for aircraft was obtained.

January 2025, 155 pages

Keywords: Avionic Systems, Electrical Power System, MIL-STD-704, Power Topology

1. GİRİŞ

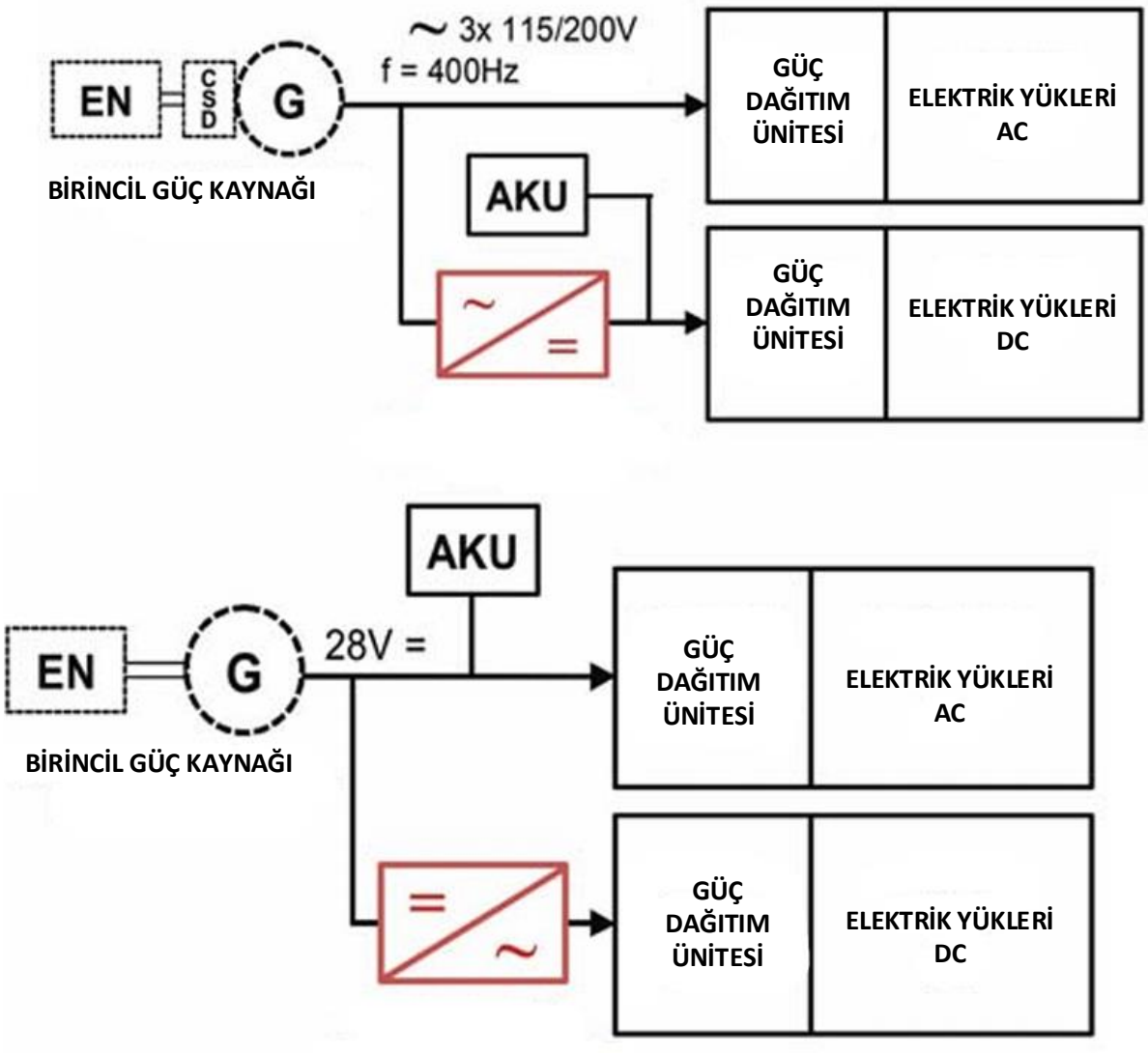
Hava araçlarında elektriksel sistemlerin kullanımı, havacılık tarihinde önemli bir gelişim göstermiştir. İlk uçaklarda elektriksel sistemler sınırlıydı ve genellikle aydınlatma ve bazı temel göstergeler için kullanılmaktaydı ancak, zamanla elektriksel sistemlerin kullanımı genişlemiştir ve daha karmaşık hale gelmiştir.

20. yüzyılın başlarında, uçaklarda kullanılan elektriksel sistemler genellikle aküler ve jeneratörlerle sağlanmıştır. Bu sistemler, uçağın elektrik ihtiyacını karşılamak için kullanılmıştır ve genellikle güç kaynaklarına bağlı olarak çalışmıştır.

İkinci Dünya Savaşı sırasında, uçaklarda elektriksel sistemlerin kullanımı daha da artmıştır. Bu dönemde, elektrikli silah sistemleri, radarlar ve diğer elektronik cihazlar uçaklara entegre edilmiştir. Bu durum, uçakların savaşta daha etkili olmasını sağlamıştır. Bu dönemde, havacılık ve ilgili araç içi elektrik sistemleri alanında hızlı bir gelişmeyi gerektirmiştir. Geceleri, daha yüksek irtifalarda ve daha yüksek hızlarda uçabilen uçaklara duyulan ihtiyaç, basit elektrikli ısıtma sistemlerinin, elektrikli sinyalizasyonun ve dış ve iç aydınlatmanın kullanılmaya başlanmasıyla sağlanmıştır. Ram-hava tahrikli DC jeneratörü, uçağın aerodinamik özelliklerini geliştiren geri çekilebilir iniş takımlarının daha fazla kullanılması ve minimum ve maksimum uçuş hızları arasındaki farkın artması nedeniyle uygulamasını kaybetmiştir. Bu sorunun çözümü, jeneratöre doğrudan motordan güç sağlamakla sağlanmıştır. İkinci Dünya Savaşı sonunda jeneratör çıkışları 24 V'ta 12 kW'a yükselmiştir. Çift motorlu uçakların gelişiyle paralel işbirliği yapan DC jeneratörler üretilmiştir. Ayrıca şarj edilebilir pillerin güvenilirliğindeki ilerlemeler, bunların yaygın şekilde kullanılmasına yol açmıştır. Başlangıçta Kurşun-asitli 6 hücreli 12 V bataryalar, daha sonra 24 V gerilim seviyesine ulaşmıştır [1].

Sonraki yıllarda ise, havacılık teknolojisindeki ilerlemelerle birlikte elektriksel sistemlerin kullanımı daha da yaygınlaşmıştır. Aviyonik sistemlerin ve uçuş kontrol sistemlerinin gelişimiyle birlikte, uçaklarda kullanılan elektriksel sistemler daha karmaşık hale gelmiştir.

Bugün, modern uçaklarda elektriksel sistemler çok çeşitli görevleri yerine getirmektedir. Bunlar, uçakların güç kaynağını sağlamaktan, sistemlerin çalışmasını kontrol etmeye ve yolcu kabini konforunu sağlamaya kadar geniş bir yelpazede yer almaktadır. Ayrıca, yenilenebilir enerji kaynaklarının (örneğin, güneş enerjisi veya yakıt hücresi teknolojisi) kullanımıyla birlikte, gelecekte uçaklarda elektriksel sistemlerin rolü daha da önem kazanabilecektir.



Şekil 1.1: Elektriksel Güç Sistemi Şeması Örneği-1

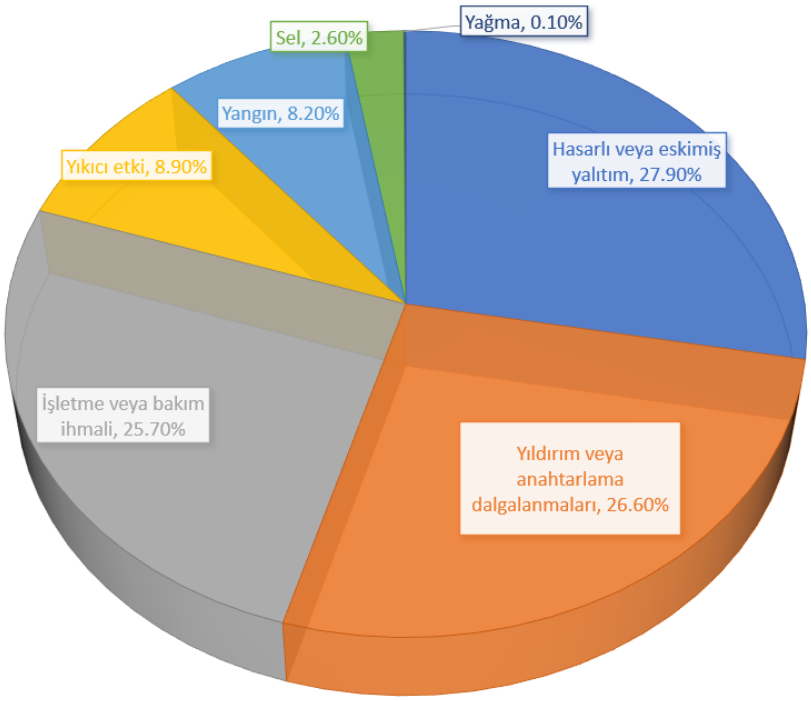
Hava araçlarında bulunan elektriksel güç sistemlerinde aşırı gerilim; genellikle güç dalgalanmaları, elektriksel gürültü, arızalı ekipmanlar veya diğer sistem hataları nedeniyle ortaya çıkabilmektedir. Aşırı gerilim koruma yapısı bulunmayan ünitelerde, elektriksel güç sisteminde oluşabilecek herhangi bir sorun ünitelerde kalıcı ya da geçici hasar

oluşturabilmektedir. Bu durum, ünitenin kritikliğine bağlı olarak hava aracının emniyet ve faaliyetini engellemeye sebebiyet verebilmektedir.

Askeri uygulamalar, arızaları en aza indirmek ve kesintisiz çalışmayı sağlamak için elektrik güç sistemlerinde olağanüstü yüksek güvenilirlik gerektirir. Ancak, güç barasına bağlı ünite sayısı arttıkça, azalan arıza toleransı nedeniyle genel sistem güvenilirliği azalır. Sonuç olarak, optimum sistem koruması elde etmek için yenilikçi yaklaşımlar gereklidir.

Aşırı gerilim koruması, bu tür durumlarla başa çıkmak için tasarlanmış devreler ve bileşenler içermektedir. MIL-STD-704 standardı, aviyonik sistemlerin belirli gerilim sınırları içinde çalışmasını sağlamak, güvenilirlik ve dayanıklılığı artırmak, aşırı gerilimlerin neden olduğu cihaz arızalarını önlemek ve genel olarak hava aracının elektrik sistemlerini korumak amacıyla oluşturulmuştur.

MIL-STD-704 standardı bu tür riskleri azaltmak ve aviyonik sistemlerin güvenilirliğini artırmak için geliştirilmiştir. Bu korumayı uygulamak, uçuş güvenliğini ve maliyet etkinliğini sağlamak için önemlidir [1]. Araştırmaya göre, bir uçağın elektrik sistemindeki arızaların nedenleri Şekil 1'deki istatistiklerle ortaya çıkarılmıştır [2].

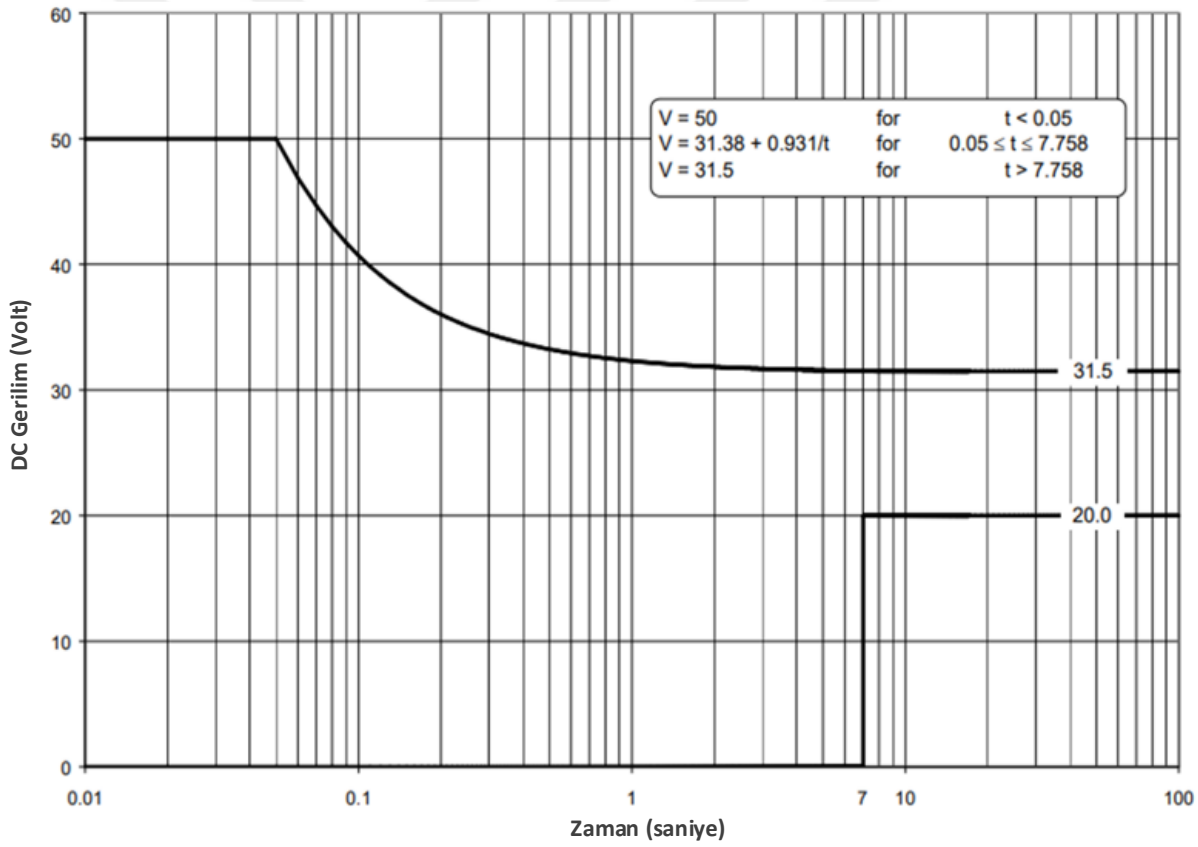


Şekil 1.2. Arızaların Nedenlerinin Analizi

2. KAVRAMSAL ÇERÇEVE

2.1. MIL-STD-704 STANDARDI

MIL-STD-704, hava araçları ve diğer askeri sistemlerde kullanılan aviyonik ünitelerin güç beslemesi için belirlenmiş bir standarttır. Bu standart, hava aracının elektrik güç sistemi için gereksinimleri belirler ve özellikle aşırı gerilim korumasını kapsamaktadır. Şekil 2.1'de standart kapsamında tanımlanan aşırı ve düşük gerilim limitleri belirtilmiştir.



Şekil 2.1: MIL -STD-704F ile Tanımlanan Aşırı ve Düşük Gerilim Limitleri [7]

$$V\ giriş = 50\ ,\ t < 0.05 \tag{2.1}$$

$$V\ giriş = 31.38 + \frac{0.931}{t},\ 0.05 \leq\ t \leq 7.758 \tag{2.2}$$

$$V\ giriş = 31.5\ ,\ t > 7.758 \tag{2.3}$$

MIL-STD-704 standardının Aşırı Gerilim Koruması, aviyonik sistemlerin aşırı gerilimlerden kaynaklanan zararları önlemek ve güvenilirliklerini artırmak amacıyla tasarlanmıştır. Aşırı gerilim, genellikle güç dalgalanmaları, elektriksel gürültü, arızalı ekipmanlar veya diğer sistem hataları nedeniyle ortaya çıkabilmektedir. Aşırı gerilim koruması, bu tür durumlarla başa çıkmak için tasarlanmış devreler ve bileşenler içermektedir. MIL-STD-704 standardına uymak, askeri hava araçları ve diğer askeri sistemlerin güvenilir ve dayanıklı bir şekilde çalışmasını sağlamak için kritik bir öneme sahip olmaktadır.

EMI indüklenmeleri sonucunda oluşan gerilim ve akım dalgalanmalarının bu standart ile bir ilişkisi bulunmamaktadır. MIL-STD-704 standardının tanımlamasıyla;

- **Ripple (Dalgacık):** Durağan seyreden DC gerilim seviyesi üzerine binen küçük çaplı gerilim değişikliklerine denmektedir. Güç sisteminin yük ya da kaynak değişimleri sebebiyle oluşabilmektedir.

- **Steady-State (Durağan Durum):** Gerilim seviyesinin normal işlem sınırları içerisinde belirli bir uzun süre boyunca devam ettiği durumdur.

- **Transient (Geçişli Durum):** Devredeki yük değişikliğinden kaynaklanabilecek ani voltaj veya akım değişimidir. Bu durum yıldırım gibi dış etkenlerden de kaynaklanabilmektedir.

Bu standarda göre, 28VDC güç sistemleri için gerilim seviyesinin 24VDC-29VDC arasında olması gerekmektedir. Bu durumda voltaj düşüşü 0-2VDC aralığında kalmalıdır. Bu koşullarının belirtildiği MIL-HDBK-704-8 kapsamında LDC101, LDC102, LDC103, LDC104, LDC105, LDC201, LDC301, LDC302, LDC401, LDC501, LDC601 ve LDC602 test prosedürleri yer almaktadır. Bu prosedürler tasarım kapsamında dikkate almıştır.

2.2. HAVA ARAÇLARININ ELEKTRİKSEL GÜÇ SİSTEMLERİ

Bir askeri hava aracındaki genel elektriksel güç sistemi, çeşitli bileşenleri içerir. Bu bileşenler arasında şunlar bulunabilmektedir:

- **Jeneratör:** Sistem bataryasında oluşabilecek bir arıza veya kesinti durumunda devreye giren acil durum güç kaynağıdır. Sistem bataryası zayıfladığında da kontrollü bir şekilde devreye alınabilmektedir.

- **Sistem Bataryası:** Uçakta genellikle birincil olarak kullanılan ana güç kaynağıdır.

- **Güç Dönüştürücüler:** Elde edilen güç, kullanım ekipmanları tarafından ihtiyaç duyulan özelliklere uygun hale getirilir. Bu dönüşüm işlemi DC-AC (alternatörler), DC-DC (dönüştürücüler) şeklinde yapılabilmektedir. Uçakta DC olarak genellikle 270 VDC-28 VDC dönüştürücü devreleri kullanılmaktadır.

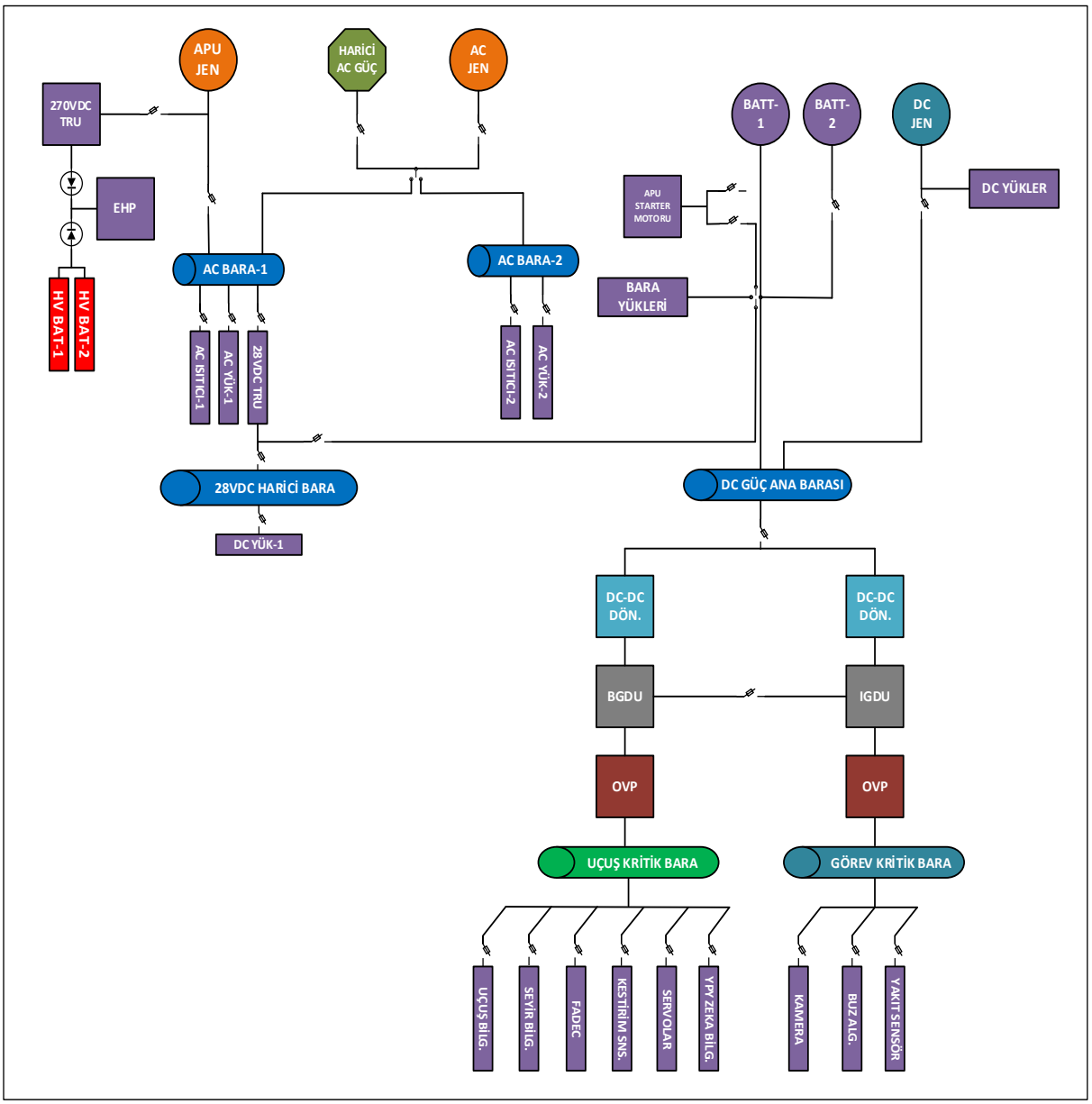
- **Kontrol ve Koruma Cihazları:** Elektriksel güç sisteminin güvenli ve etkili bir şekilde çalışmasını sağlamak için kullanılan kontrol ve koruma cihazlarıdır. Bu cihazlar, sistemdeki aşırı akım, aşırı gerilim, kısa devre gibi durumları izleyip koruma sağlamaktadır.

- **Bağlantı Baraları:** Elektrik enerjisinin uçaktaki farklı sistemlere iletilmesini sağlayan bir bağlantı ağıdır. Güç dağıtımı ünitelerin kullanım durumuna göre uçuş kritik veya görev kritikliğine göre ayırılmaktadır.

Elektrik güç sistemi, elektrik gücünü uçağın her yerinde üretip, düzenleyip, dağıtmaktadır. Sistem fonksiyonları AC ve DC Güç üretimi, AC ve DC Güç Dağıtımı olarak gruplandırılmıştır. Örnek bir hava aracı elektrik sistemini ele alacak olursak AC Güç Ünitesi, AC Jeneratör, Yardımcı Güç Ünitesi (APU) Jeneratörü, 28VDC Jeneratör, Akü 1, Akü 2 ve 270VDC Yüksek Gerilim Aküden elektrik enerjisi sağlanabilmektedir. Normal çalışmada, 115 VAC 400Hz ana jeneratör tarafından üretilmektedir. Trafo Doğrultucu Ünitesi (TRU) kullanılarak 115 VAC, 28 VDC 'ye dönüştürülmektedir. Sistemde birincil güç dağıtım birimleri (PPDU) ve ikincil güç dağıtım birimleri (SPDU) bulunmaktadır.

Elektrik güç sistemi mimarisi Şekil 2.2'de tanımlanmıştır. Mimaride AC jeneratör 115VAC 400Hz sabit güç üretmektedir. AC jeneratör Değişken Hız Sabit Frekans teknolojisine

sahiptir ve GCU jeneratörle entegredir. DC jeneratörü 28VDC gerilim üretmektedir. Bu jeneratör bir jeneratör kontrol ünitesi (GCU) ile birlikte kullanılmaktadır. GCU, MIL-STD-704 sınırları dahilinde voltaj ayarı, voltaj regülasyonu, anormal güç göstergesi sağlamaktadır. Sistemde, güç dönüştürücüleri bulunmaktadır. TRU; AC jeneratör, APU jeneratörü ve Güç Ünitesi tarafından üretilen 115VAC gerilimi DC baraya güç sağlamak için 28VDC gerilime dönüştürmektedir. TRU, APU jeneratörü tarafından üretilen 115VAC gerilimi 270 VDC gerilime dönüştürerek hidrolik pompa gibi 270 VDC ile çalışan ekipmanlara güç sağlamaktadır [8].



Şekil 2.2. Elektriksel Güç Sistemi Şeması Örneği-2

28 VDC gerilim seviyesinde çeşitli ünitelere gücün dağıtılmasını sağlayan güç dağıtım üniteleri bulunmaktadır. Bu üniteler besledikleri ünitelerin kullanım kritikliğine göre "Uçuş Kritik Bara" ya da "Görev Kritik Bara" besleyebilmektedir. Ünitelere bu besleme gücü dağıtılmadan önce çeşitli paralel ya da seri koruma yapısı bulunduran Aşırı Gerilim Koruma yapıları olabilmektedir. Özellikle kendi içerisinde paralel ya da seri koruma yapısı bulunmayan üniteler için hatta seri olarak AGK ünitesi üzerinden ünite beslemesi yapılması kritik önem taşımaktadır.

2.3. KORUMA YAPISI GEREKEN ÜNİTELER

Bu üniteler, aşırı gerilim yapısı bakımından şu şekilde 4 sınıfa ayrılabilmektedir:

- Seri veya paralel koruması olmayan üniteler,
- Sadece seri koruma yapısı olan üniteler,
- Sadece paralel koruma yapısı olan üniteler,
- Hem paralel hem seri koruma yapısı olan üniteler,

Seri ve paralel koruma yapıları uygulama olarak sırasıyla Darbe Durdurucu (Surge-Stopper) ve TVS (Transient Voltage Suppressor, Geçici Hal Sönümleyici) yapılarına karşılık gelmektedir. Bu sınıflar için iyileştirme prosedürleri alt başlıklarda verilmiştir.

2.3.1. Seri veya Paralel Koruma Yapısı Olmayan Üniteler

Bu ünitelere mümkün olan en yakın revizyonda, AGK topolojisi uygulanmalıdır. Ünitelerde giriş gerilimine maruz kalan regülatör, kapasite vb. elemanlar MIL-STD-704 kapsamında tanımlanan aşırı gerilime dayanabilse dahi bu iyileştirme adımlarının uygulanması şiddetle tavsiye edilmektedir.

2.3.2. Sadece Seri Koruma Yapısı Olan Üniteler

Bu üniteler, yapılan gerilim testlerinde MIL-STD-704 kapsamında tanımlanan aşırı gerilime dayanabiliyorsa, devreye sonraki revizyonda uygun bir TVS eklemesi yeterli olacaktır ancak darbe durdurucu yapısı basit işlemlerle daha yüksek seviyelerdeki aşırı gerilimlere dayanabilir hale getirilebiliyorsa, bu işlemler uygulanmalıdır. Örneğin, darbe durdurucu yapısındaki MOSFET'in yerine aynı kılıfta SOA'sı daha geniş bir MOSFET seçilebilir daha sonra TVS seçimi aşaması değerlendirilmelidir.

Eğer ünite, yapılan aşırı gerilim testlerinde başarısız olmuşsa, öncelikle başarısız olan eleman tespit edilmelidir. Büyük olasılıkla, başarısız olan eleman MOSFET'tir. Eğer durum böyleyse, MOSFET'lerin SOA'sı değerlendirilerek yeni bir MOSFET seçilmelidir. Basitlik açısından, revizyona ihtiyaç duyulmaması için depoda hazır olarak bulunan aynı kılıftaki MOSFET'lerin SOA'sı incelenmelidir. Eğer bunlardan uygun bir MOSFET bulunamazsa, SOA'sı uygun farklı bir MOSFET seçilmeli ve devre revize edilmelidir.

MOSFET dışında; kapasite, sigorta vb. elemanlar başarısız olmuşsa, başarısızlığın nedeni, örneğin akımı veya gerilimi yetersiz şeklinde belirlenmeli ve uygun akıma veya gerilime dayanabilecek eleman yerleştirilmelidir.

2.3.3. Sadece Paralel Koruma Yapısı Olan Üniteler

Bu koruma yapısındaki TVS elemanı, MIL-STD-704 standardında tanımlanan aşırı gerilime dayanabiliyorsa ve TVS'nin sağladığı kırpma (clamp) gerilimi, bu noktaya bağlı elemanlar için uygunsa, ilk aşamada ek bir iyileştirmeye gerek duyulmayabilir ancak TVS'nin uygun seçildiğinden emin olmak için gerekli hesaplamalar yapılıp sayısal olarak uygunluğu gösterilmelidir. Ek olarak, devreye en yakın revizyonda tavsiye edilen darbe durdurucu yapısının da eklenmesi önemle tavsiye edilmektedir.

Eğer ünite testlerde başarısız olmuşsa ve başarısızlığın nedeni TVS ise uygun TVS seçimi yapılmalıdır. TVS dışında; kapasite, sigorta vb. elemanlar başarısız olmuşsa başarısızlığın nedeni örneğin akımı veya gerilimi yetersiz şeklinde belirlenmeli ve uygun akıma veya gerilime dayanabilecek bir eleman ile değiştirilmelidir. En yakın revizyonda uygun topoloji uygulanmalıdır.

2.3.4. Hem Seri Hem Paralel Koruma Yapısı Olan Üniteler

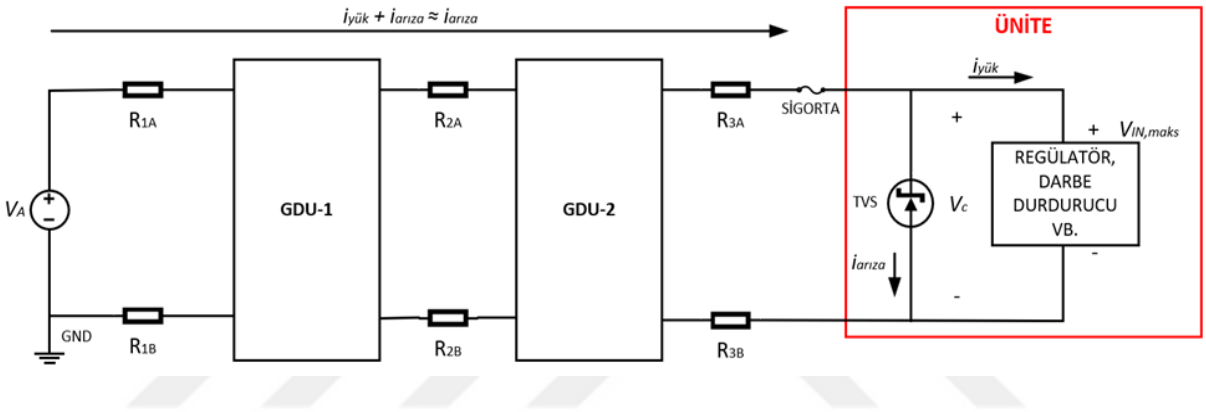
Bu üniteler, MIL-STD-704 standardında tanımlanan aşırı gerilim testlerinden geçmişse, ilk aşamada ek bir iyileştirmeye gerek duyulmayabilir ancak darbe durdurucu yapısı basit işlemlerle daha yüksek seviyedeki aşırı gerilimlere dayanabilir hale getirilebiliyorsa, bu işlemler uygulanmalıdır. Örneğin, darbe durdurucu yapısındaki MOSFET'in yerine aynı kılıfta SOA'sı daha geniş bir MOSFET seçilebilir. Daha sonra, TVS'nin uygun seçilebildiğinden emin olmak için hesaplamaları yapılıp sayısal olarak uygunluğu gösterilmelidir.

Eğer ünite testlerde başarısız olmuşsa, ilk olarak başarısızlığın kaynağı tespit edilmelidir. Eğer darbe durducu yapısından kaynaklı bir başarısızlık varsa MOSFET seçimi, TVS ile ilgili bir sorun varsa TVS seçimi tekrar gözden geçirilmelidir.

3. YÖNTEM

3.1. PARALEL KORUMA YAPISI

Bu yapıya ait hesaplama ve eleman seçiminde yardımcı olacak bir devre şeması, Şekil 3.1 ile verilmiştir.



Şekil 3.1. TVS Koruma Yapısı Değerlendirmesi için Referans Devre Şeması

Bu yapıya jeneratörden kaynaklı, V_A genlikli bir aşırı gerilim durumunda TVS elemanı doğal olarak iletime geçer ve uçları arasında V_c ile belirtilen kırpma (clamp) oluşur. Bu gerilim değeri, $i_{arıza}$ ile belirtilen arıza akımına bağlı olsa da yaklaşık sabittir yani $i_{arıza}$ çok büyük değişimler gösterse de V_c değerinin değişimi nazaran daha düşüktür. TVS elemanından geçecek arıza akımını sınırlayan faktör kaynak ile TVS arasındaki yolun empedansıdır. Yük akımı ihmal edilirse;

$$i_{arıza} \gg i_{yük} \Rightarrow i_{arıza} + i_{yük} \approx i_{arıza} \tag{3.1}$$

$$i_{arıza} = \frac{V_a - V_c}{R_T} \tag{3.2}$$

$$R_T = R_{1A} + R_{2A} + R_{3A} + R_{1B} + R_{2B} + R_{3B} \tag{3.3}$$

Buradaki, R_T toplam yol empedansı ifade etmekte olup, güç hattı ve toprak (dönüş) hatlarının toplam empedansıdır. Bir TVS elemanının teknik dokümanı incelendiğinde, dikkat edilmesi gereken parametreler şunlardır;

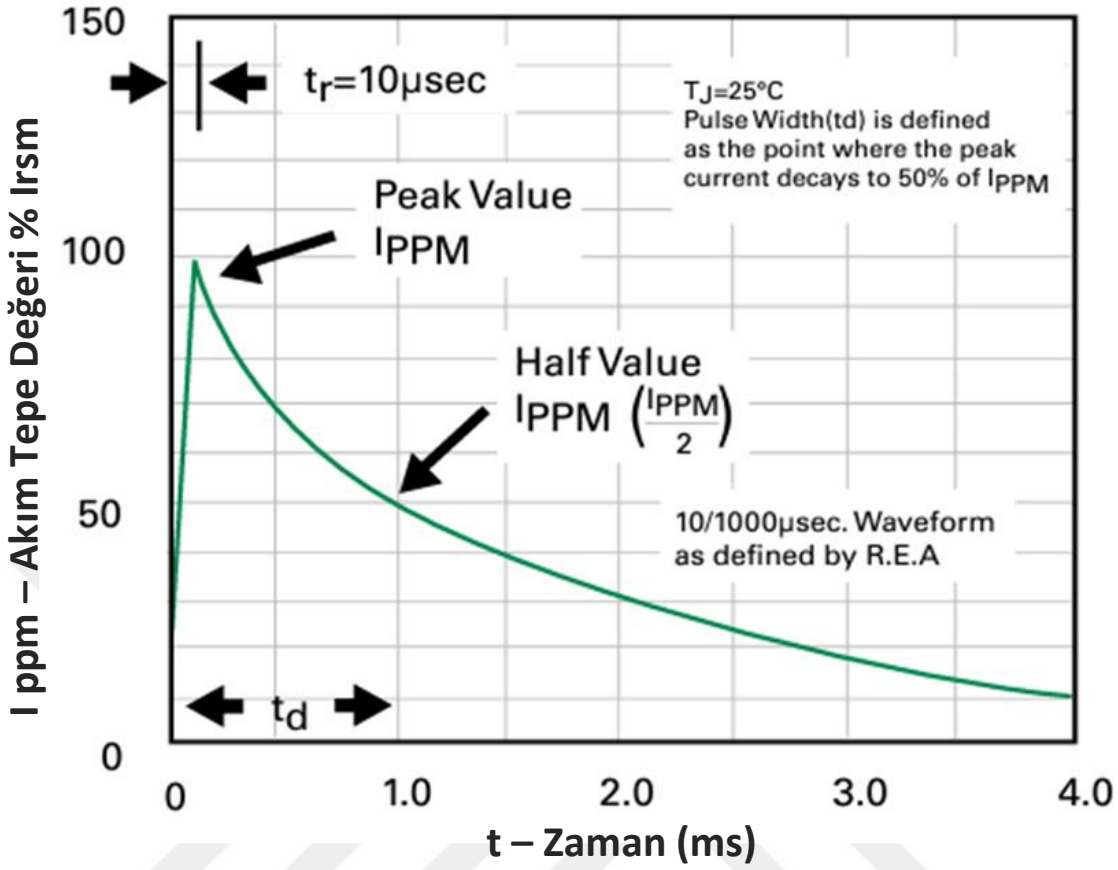
- Çalışma gerilimi, teknik dokümanda bu parametre Working Voltage; V_{VWM} veya Reverse Stand-Off Voltage; V_R şeklinde verilmekte olup, TVS elemanının küçük bir sızıntı akımı ile sürekli ve sorunsuz çalışabileceği değeridir.
- Kırpma gerilimi, teknik dokümanda bu parametre Maximum Clamping Voltage; V_C şeklinde verilmekte olup, TVS elemanının dayanabileceği maksimum arıza akımında uçlarında oluşan gerilim değeridir.
- Maksimum devre akımı, teknik dokümanda bu parametre Maximum Peak Pulse Current; I_{PP} şeklinde verilmekte olup; TVS elemanının dayanabileceği maksimum arıza akımıdır.
- Test dalgası şekli, Şekil 3.2 ile örneği verilen bu dalga şeklinde TVS elemanının nasıl bir akım profili ile test edildiği görülmektedir. Burada, I_{PP} parametresi ile birlikte akımın tepe değere inme süresi büyük önem arz etmektedir çünkü tepe değer baz alınarak hesap yapılırsa TVS elemanı ancak teknik dokümanda verilen dalga şeklindeki darbeye dayanacaktır. Bu nedenle, yarı değer akımı; $I_{PP}/2$ ve yarı değer süresi; t_d dikkate alınmalıdır.
- Darbe dayanım gücü ve darbe süresi grafiği, Şekil 3.2 ile örneği verilen grafikte, TVS elemanının farklı darbe güçlerine ne kadar süre dayanabileceği görülmektedir. Bu grafikten faydalanılarak, bir darbe süresi için TVS elemanı üzerinde ne kadar güç harcanabileceği belirlenebilir. Buradan da darbe akımı, Denklem (3.4) ile verildiği üzere dolaylı yol ile hesaplanabilir.

$$P_{PPM} \approx V_C \, x \, i_{PP} \;\Rightarrow\; i_{PP} \;\approx\; \frac{P_{PPM}}{V_C} \tag{3.4}$$

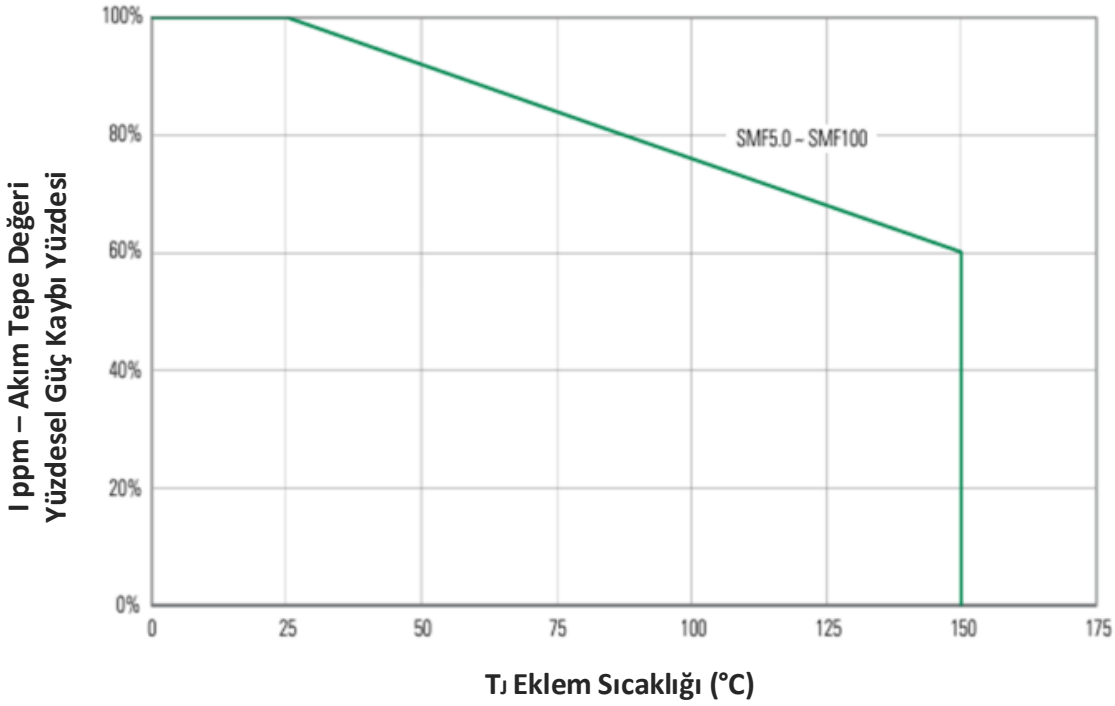
Ek olarak, P_{PPM} değeri devre üzerinde TVS elemanının bulunduğu konumun sıcaklığına göre, azaltma oranı (Derating) kullanılarak hesaplanmalıdır. Şekil 3.3 ile verilen grafikte olduğu gibi, örneğin TVS elemanı eğer 50 °C bir ortamında ise P_{PPM} değeri 0.8 ile çarpılmalıdır. Denklem (3.4) ile verilen formül geçerlidir;

$$P_{PPM}\,(T) = P_{PPM}\,(T0)\; x\; DP \tag{3.5}$$

DP, azaltma oranı faktörü, $P_{PPM}\,(T0)$ normal test şartlarındaki, örneğin oda sıcaklığında darbe dayanım gücü $P_{PPM}\,(T)$ ise T sıcaklığındaki darbe dayanım gücüdür. DP, azaltma oranı faktörü, $P_{PPM}\,(T0)$ normal test şartlarındaki, örneğin oda sıcaklığında darbe dayanım gücü $P_{PPM}\,(T)$ ise T sıcaklığındaki darbe dayanım gücüdür.



Şekil 3.2. Bir TVS Elemanı için Verilen Test Dalgası Şekli [9]



Şekil 3.3. TVS Elemanı için Azaltma Oranı Faktörü Grafiği [9]

Bir TVS ürün kataloğu incelendiğinde, Şekil 3.4 ile verildiği gibi bir ürün tablosu verilmektedir.

Part Number (Uni)	Part Number (Bi)	Marking		Reverse Stand off Voltage V_R (Volts)	Breakdown Voltage V_{BR} (Volts) @ I_T		Test Current I_T (mA)	Maximum Clamping Voltage V_C @ I_{PP} (V)	Maximum Peak Pulse Current I_{PP} (A)	Maximum Reverse Leakage I_R @ V_R (µA)	Agency Approval
		UNI	BI		MIN	MAX					
SMCJ5.0A	SMCJ5.0CA	GDE	BDE	5.0	6.40	7.00	10	9.2	163.0	800	X
SMCJ6.0A	SMCJ6.0CA	GDG	BDG	6.0	6.67	7.37	10	10.3	145.7	800	X
SMCJ6.5A	SMCJ6.5CA	GDK	BDK	6.5	7.22	7.98	10	11.2	134.0	500	X
SMCJ7.0A	SMCJ7.0CA	GDM	BDM	7.0	7.78	8.60	10	12.0	125.0	200	X
SMCJ7.5A	SMCJ7.5CA	GDP	BDP	7.5	8.33	9.21	1	12.9	116.3	100	X
SMCJ8.0A	SMCJ8.0CA	GDR	BDR	8.0	8.89	9.83	1	13.6	110.3	50	X
SMCJ8.5A	SMCJ8.5CA	GDT	BDT	8.5	9.44	10.40	1	14.4	104.2	20	X
SMCJ9.0A	SMCJ9.0CA	GDV	BDV	9.0	10.00	11.10	1	15.4	97.4	10	X
SMCJ10A	SMCJ10CA	GDX	BDX	10.0	11.10	12.30	1	17.0	88.3	5	X
SMCJ11A	SMCJ11CA	GDZ	BDZ	11.0	12.20	13.50	1	18.2	82.5	1	X
SMCJ12A	SMCJ12CA	GEE	BEE	12.0	13.30	14.70	1	19.9	75.4	1	X
SMCJ13A	SMCJ13CA	GEG	BEG	13.0	14.40	15.90	1	21.5	69.8	1	X
SMCJ14A	SMCJ14CA	GEK	BEK	14.0	15.60	17.20	1	23.2	64.7	1	X
SMCJ15A	SMCJ15CA	GEM	BEM	15.0	16.70	18.50	1	24.4	61.5	1	X
SMCJ16A	SMCJ16CA	GEP	BEP	16.0	17.80	19.70	1	26.0	57.7	1	X
SMCJ17A	SMCJ17CA	GER	BER	17.0	18.90	20.90	1	27.6	54.4	1	X
SMCJ18A	SMCJ18CA	GET	BET	18.0	20.00	22.10	1	29.2	51.4	1	X
SMCJ20A	SMCJ20CA	GEV	BEV	20.0	22.20	24.50	1	32.4	46.3	1	X
SMCJ22A	SMCJ22CA	GEX	BEX	22.0	24.40	26.90	1	35.5	42.3	1	X
SMCJ24A	SMCJ24CA	GEZ	BEZ	24.0	26.70	29.50	1	38.9	38.6	1	X
SMCJ26A	SMCJ26CA	GFE	BFE	26.0	28.90	31.90	1	42.1	35.7	1	X
SMCJ28A	SMCJ28CA	GFG	BFG	28.0	31.10	34.40	1	45.4	33.1	1	X
SMCJ30A	SMCJ30CA	GFK	BFK	30.0	33.30	36.80	1	48.4	31.0	1	X
SMCJ33A	SMCJ33CA	GFM	BFM	33.0	36.70	40.60	1	53.3	28.2	1	X

Şekil 3.4. TVS ürün Seçim Tablosu [9]

İlk aşamada, 28VDC bir sistem için seçilecek TVS elemanının çalışma gerilimi 28VDC gerilimden yüksek olmalıdır. Daha sonrasında, TVS elemanının fark edilebilir seviyede akım iletmeye başladığı kırılma gerilim aralığı verilmiştir (V_{BR}). Bir arıza anında, TVS elemanından geçecek arıza akım hesabı için bu parametrenin minimum değerinin baz alınmasında faydalı olacaktır çünkü bu noktadan sonra TVS akımı eksponansiyel olarak artmaktadır. En sonunda, artan arıza gerilimi ile birlikte TVS gerilimi kırpma gerilimi değerine (V_C) ulaşmakta ve akımı da tepe değere (I_{PPM}) ulaşmaktadır.

$$V_{TVS} = V_{BR,min} + R_S \, x \, I_{TVS} \; ; \; V_{TVS} > V_{BR,min} \tag{3.6}$$

Buradaki R_S direnci TVS elemanının iç direnci gibi düşünülebilir ve Denklem (3.7) ile verildiği gibi, kırılma ve kırpma noktalarındaki bilgiler kullanılarak hesaplanabilir.

$$R_S = \frac{V_C - V_{BR,min}}{I_{PPM} - I_T} \approx \frac{V_C - V_{BR,min}}{I_{PPM}} \; ; (I_{PPM} \gg I_T) \tag{3.7}$$

Bu bilgiler dahilinde, Denklem (3.2) ile verilen formül, Denklem (3.8) ile verildiği gibi revize edilmelidir.

$$i_{arıza} = \frac{V_A - V_{BR,min}}{R_T - R_S} \tag{3.8}$$

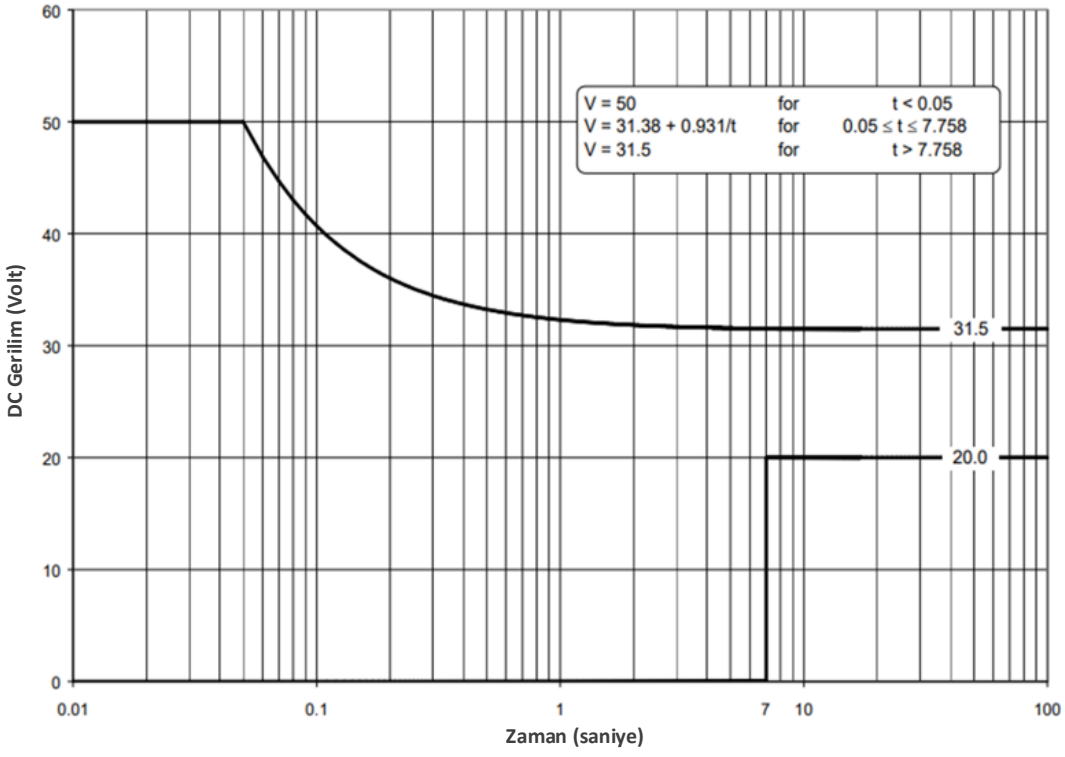
Bütün bu hususlar dikkate alındığında, seçilecek TVS elemanı için Tablo 3.1 ile verilen şartlar sağlanmalıdır.

Tablo 3.1. TVS Seçim Şartları

#	Şart	Açıklama
1	$V_{VWM} > 28VDC$	Sistem gerilimi 28VDC kabul edilmektedir.
2	$V_C < V_{IN,maks}$	$V_{IN,maks}$, TVS elemanına paralel bağlı regülatör, darbe durdurucu vb. elemanların sürekli maksimum dayanım gerilimleridir.
3	$\frac{I_{PP}}{2} = i_{arıza}$	I_{PP} değeri Denklem (3.4) ve Denklem (3.5) dikkate alınarak hesaplanmalıdır. $i_{arıza}$ değeri Denklem (8) dikkate alınarak hesaplanmalıdır.
4	$t_d > t_{arıza}$	$t_{arıza}$, aşırı gerilim arızasının süresidir.
5	Analiz	Teknik dokümanlar üzerinden analiz yapılmalıdır.
6	Test	Basit bir test düzeneği yardımıyla yapılan analiz ve test ile doğrulanmalıdır (koruma yapısı devreye uygulanmadan önce).

Arıza süreleri için Şekil 1 ile verilen eğrideki aşırı gerilim genlikleri ve süreleri baz alınmalıdır. $31.5VDC < V_A < 50VDC$ aralığı için Denklem (3.9) ile verilen formül veya Tablo 3.2 baz alınabilir. 50VDC üzerindeki testlerde bu formülün Tablo 3.2 ile verilen ekstra-polasyon yapılmış hali kullanılabilir.

$$t_{arıza}[s] = \frac{0.931}{V_A[V] - 31.38V}\ ,\ 31.5VDC < V_A < 50VDC \tag{3.9}$$



Şekil 3.5. MIL -STD-704F ile Tanımlanan Aşırı ve Düşük Gerilim Limitleri [7]

Arıza gerilimi ve süreleri Tablo 3.5 kapsamında belirtilen grafik referans alınarak Tablo 3.2 çıkarılmıştır.

Tablo 3.2. Test için Arıza Gerilim ve Arıza Süreleri

$\mathbf{V_{arıza}[V]}$	$\mathbf{t_{arıza}[s]}$
31.5	7.758
32	1.501
33	0.574
34	0.355
35	0.257
40	0.108
45	0.068
50	0.050
60	0.032
70	0.024
80	0.019
90	0.016
100	0.014

Test düzeneğinde kaynak gerilim V_A değerine ayarlanmalı, kaynak ile ünite arasındaki kablo direnci için $R_{KABLO} \approx R_T$ ($\pm\%10$) şartı sağlanmalıdır. R_T değerini hesaplamak için ilgili kablonun uzunluğu ve kesit alanı (AWG) bilgisi alınmalıdır.

Doğrudan GDU-1'den beslenen üniteler için jeneratör ve GDU-1 arası güç kablosu ortak kabul edildiği takdirde;

$$R_{1A} = R_{1B} \approx 0.5\ m\Omega \Rightarrow R_{1A} + R_{1B} = 1\ m\Omega \tag{3.10}$$

GDU-1 ve ilgili ünite arasındaki kablonun direnci hesaplanıp yukarıdaki değere eklenerek R_T bulunmalıdır.

GDU-2'den beslenen üniteler için, Jeneratör – GDU-1 ve GDU-1 – GDU-2 arası kablolar ortak kabul edildiği takdirde;

$$R_{1A} = R_{1B} \approx 0.5\ m\Omega \tag{3.11}$$

$$R_{2A} = R_{2B} \approx 0.25\ m\Omega \tag{3.12}$$

$$R_{1A} + R_{1B} + R_{2A} + R_{2B} \approx 1.5\ m\Omega \tag{3.13}$$

GDU-2 ve ilgili ünite arasındaki kablonun direnci hesaplanıp yukarıdaki değere eklenerek R_T bulunmalıdır.

Örnek bir tasarım analizi Tablo 3.4 ile verilmiştir. Buradaki analiz, 0.7Ω kaynak direnci (RT) ve SMCJ33A ürünü için verilmiştir. Bu ürün için, ürün tablosundan elde edilen ve hesaplanan parametreler Tablo 3.3 ile özetlenmiştir.

Tablo 3.3. SMCJ33A TVS Ürünü için Parametreler

V_{VWM} [V]	V_{BR} [V]	V_C [V]	I_{PPM} (I_{PPM} /2) [A]	R_S [Ω]
33	36.7-40.6	53.3	28.2/14.1	0.58

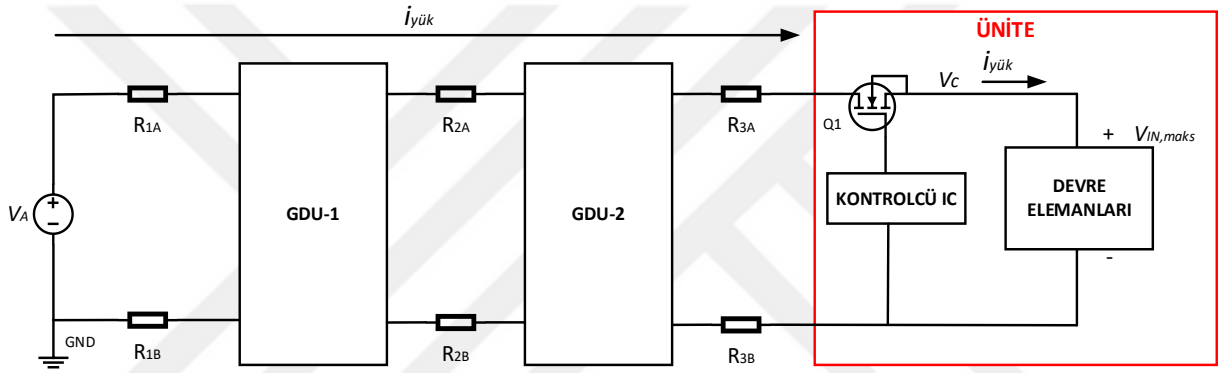
Tablo 3.4. TVS Seçimi ile İlgili Analiz Tablosu

$V_{arıza}$ [V]	$t_{arıza}$ [s]	t_d [s]	P_{PPM} [kW] (Şekil 3.3)	$i_{arıza}=I_{TVS}$ [A] (Denklem 3.8)	V_{TVS} [V] (Denklem 3.6)	P_{TVS} [kW]	Kontrol $t_{arıza} < t_d$ $i_{arıza} < i_{PPM}/2$ $P_{TVS} < P_{PPM}$
31.5	7.758	∞	-	<0.005	31.5	-	-
32	1.501	∞	-	<0.005	32	-	-
33	0.574	∞	-	<0.005	33	-	-
34	0.355	0.400	1.000	-2.109	35.223	0.074	✓
35	0.257	0.300	1.000	-1.328	35.770	0.047	✓
40	0.108	0.200	2.000	2.578	38.504	0.099	✓
45	0.068	0.070	2.000	6.484	41.239	0.267	✓
50	0.050	0.060	2.000	10.390	43.973	0.456	✓
60	0.032	0.040	2.000	18.203	49.442	0.899	Riskli
70	0.024	0.030	2.000	26.015	54.910	1.428	X
80	0.019	0.030	2.000	33.828	60.379	2.042	X
90	0.016	0.020	3.000	41.640	65.848	2.741	X
100	0.014	0.020	3.000	49.453	71.317	3.526	X

Bu analiz sonuçlarına göre seçilen TVS, 60VDC darbe gerilimine kadar güvenle çalışabilir ancak TVS kırpma gerilimi; V_{TVS} dikkate alınarak, bu noktadan beslenecek, regülatör, darbe durdurucu vb. elemanlar bu gerilim değerlerinde, tabloda verilen süreler boyunca veya sürekli çalışabilmektedir.

3.2. SERİ KORUMA YAPISI

Seri koruma yapısında, MOSFET gibi aktif bir eleman ve bir kontrolcü entegre kullanılarak devre elemanlarının maruz kalacağı gerilim, V_c ile belirtilen kırpma geriliminde sabit tutulurken aşırı gerilim bileşeni olan V_A - V_c değeri MOSFET elemanının Drain-Source uçlarında tutulmaktadır. Bu esnada devre akımı $i_{yük}$ MOSFET elemanından geçmeye devam etmekte olup MOSFET termal strese maruz kalmaktadır. Aktif darbe tutucular, günümüzde kullanılan LDO (Low Drop-Out) regülatörlerle aynı çalışma yapısına sahiptir. Aralarındaki fark, LDO regülatörler devamlı besleme yapılacak şekilde kullanılırken aktif darbe tutucular geçici hal durumlarında kullanılmasıdır.



Şekil 3.6. TVS Koruma Yapısı Değerlendirmesi için Referans Devre Şeması

Süreye bağlı olarak, MOSFET bu termal strese dayanabilir. Bu özellik MOSFET elemanının teknik dokümanında SOA grafiğinde verilmektedir. Arıza anında, MOSFET elemanının Drain-Source gerilimi, ilettiği akım ve üzerinde harcanan anlık güç için şunlar geçerlidir.

$$V_{DS} = V_A - V_C \tag{3.14}$$

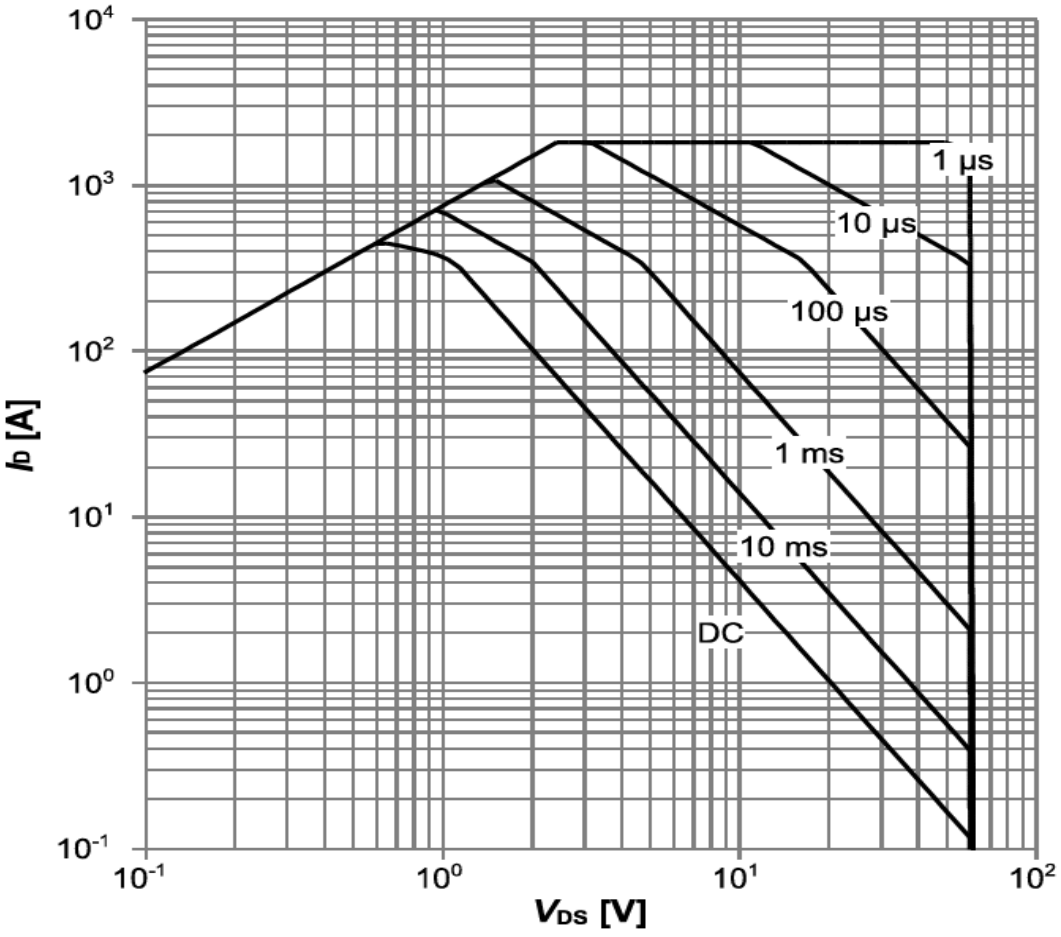
$$I_D = i_{yük} \tag{3.15}$$

$$P_{MOSFET} = V_{DS}\, x\, I_D = (V_A - V_C)\, x\, i_{yük} \tag{3.16}$$

Örnek bir MOSFET elemanının SOA grafiği verilmiştir. Burada, DC farklı darbe süreleri için MOSFET elemanının hangi gerilim-akım ikililerine dayanabileceği bilgisi

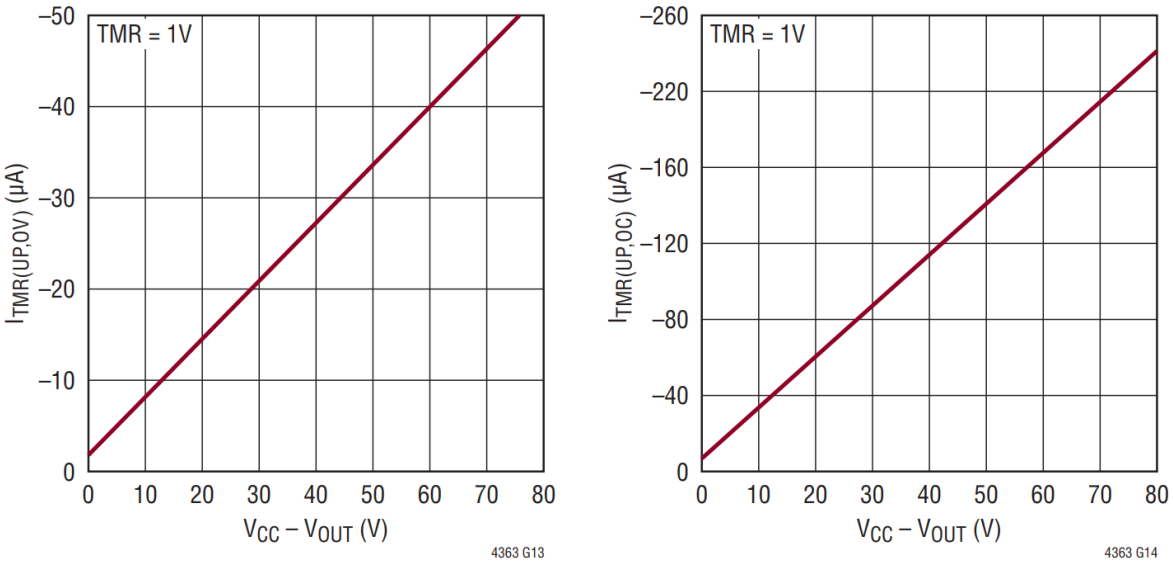
verilmiştir. Sağ tarafta kalan eğriler maksimum güç limiti eğrisi olarak bilinmektedir. Her bir darbe süresi için belirlenen bir güç limiti eğrisi üzerindeki güç değeri (yani, herhangi bir noktadaki gerilim-akım ikililerin çarpımı) yaklaşık sabit olmaktadır. Örnek olarak SOA eğrisi paylaşılmış bir MOSFET, 100 ms ve 1 s darbe süreleri için sırasıyla 500W ve 140W gücü bastırabilmektedir. Örneğin, 100 ms süreli darbeler için 500W güç değeri, gerilim ve akım olarak 5V-100A, 10V-5A veya 50V-10A gibi ikililere karşılık gelebilmektedir.

Uzun süren arızalarda MOSFET elemanının SOA sınırları dışında bir strese maruz kalması söz konusu olmaktadır. Bu durum MOSFET elemanının arızalanması ile sonuçlanmaktadır. Bunun önüne geçmek için kontrolcü entegrelerde zamanlayıcı kapasitesi kullanılmaktadır. Bu kapasite ile belirlenen süre sonunda, MOSFET kapatılarak koruma sağlanmaktadır. Bu süreye regülasyon süresi, t_{reg} denilmektedir. Bazı gelişmiş entegre türlerinde (örneğin LT4363 ve LT4364) t_{reg} süresi aynı zamanda MOSFET elemanının Drain-Source uçları arasındaki gerilim ile ters orantılı olarak değişmekte ve MOSFET elemanının SOA sınırları içerisinde kalmasını garanti etmektedir.



Şekil 3.7. Bir MOSFET içi SOA Grafiği [10]

Örnek olarak LT4363 kontrolcüsünü ele alırsak, zamanlayıcı kapasiteyi dolduran akım, MOSFET Drain-Source ucundaki gerilim ile doğru orantılı olarak artmaktadır. Dolayısıyla regülasyon süresi de artan Drain-Source gerilimi ile kısalmaktadır.



Şekil 3.8. Aşırı Gerilim ve Aşırı Akım Durumları için Zamanlayıcı Akımları [11]

Bu grafikten, zamanlayıcı akımı için şu yazılabilir:

$$i_{TMR}[\mu A] = 1.751 + 0.6371\, x\, V_{DS}[V];\ V_{DS} > V_C \tag{3.17}$$

Regülasyon süresi için teknik dokümanda verilen şu formül geçerlidir:

$$t_{reg} = C_{TMR}\left(\frac{0.775}{I_{TMR}} + \frac{100mV}{6\mu A}\right) \tag{3.18}$$

Formülün sağ tarafındaki terim, MOSFET kapanmadan önce sisteme bildirim vermek amaçlı ayrılmış kısa bir süreyi ifade etmektedir ve basitlik için ihmal edilebilmektedir.

$$t_{reg} = C_{TMR}\left(\frac{0.775}{I_{TMR}}\right) \approx C_{TMR}[\mu F]\left(\frac{0.775}{1.751+0.6371 x V_{DS}}\right) = C_{TMR}[\mu F]\left(\frac{0.775}{1.751+0.6371 x (V_A - V_C)}\right) \tag{3.19}$$

Kırpma gerilimi; V_C değeri 35V seçilirse bu ifade Denklem (3.20) ile gösterildiği gibi basitleştirilebilmektedir:

$$t_{reg} = \left(\frac{1.216 x C_{TMR}[\mu F]}{V_A - 32.25}\right) \tag{3.20}$$

Darbe durdurucu için şu şart sağlanmalıdır:

$$t_{reg} > t_{arıza} \Rightarrow \frac{1.216 x C_{TMR}[\mu F]}{V_A - 32.25} > \frac{0.931}{V_A - 31.38} \tag{3.21}$$

$V_A \geq 35V$ için şu şartın sağlanması yeterlidir:

$$C_{TMR} > 582\ nF$$

Buradan, standart C_{TMR} kapasitesi seçimi ve t_{reg} süresinin hesabı yapılabilmektedir. Bu işlemden sonra MOSFET elemanının SOA grafiği kontrol edilerek her bir aşırı gerilim seviyesi için MOSFET üzerinde harcanan darbe gücünün SOA grafiğindeki eğrinin altında kaldığı doğrulanmaktadır. Normal yük akımı altında, örneğin $i_{yük} = 5A$ için örnek bir tasarım hesabı ve SOA değerlendirmesi aşağıdaki tabloda verilmiştir.

SOA değerlendirmesi yaparken, TVS elemanına benzer şekilde MOSFET elemanının bulunduğu ortamın sıcaklığına göre azaltma oranı uygulanmalıdır (MOSFET elemanının iletimsel güç kaybından kaynaklı jonksiyon bölgesinin ısınması dikkate alınmalıdır, $T = T_j$).

$$P_{SOA}(T) = P_{SOA}(T0)\ x\ DP \tag{3.22}$$

$$DP = \frac{T_{J(\max)} - T}{T_{J(\max)} - T0} \tag{3.23}$$

$$T_C = 25°C,\ T_{j(\max)} = 150°C \tag{3.24}$$

$$DP = \frac{150-50}{150-25} = 0.8 \tag{3.25}$$

şeklinde hesaplanabilmektedir.

Bu kontrolcü entegre ek olarak yük akımını limitleme özelliğine de sahiptir. Bu sayede MOSFET elemanından geçebilecek maksimum akım sınırlandıracağından SOA açısından güvenle çalışabileceği garanti edilmektedir. I_{LIM} olarak belirtilen bu parametre topolojiye eklenen bir Sense direnci ile ayarlanmaktadır. Yük tarafında aşırı akım (veya daha kötü senaryoda kısa devre gibi bir arıza) olması durumunda kontrolcü, MOSFET elemanını akım limitinde çalıştırmaktadır. Akım limitindeyken zamanlayıcı akımı, aşırı gerilime göre 5 kat daha fazla olmaktadır. Bu nedenle MOSFET elemanının daha kısa regülasyon süresinde güvenle kapatılacağı söylenebilir ancak SOA güvenliği açısından akım limiti durum için de TVS hesabında yapıldığı gibi bir tabloda analiz yapılmalıdır.

En kötü senaryoda, bir aşırı gerilim arızası ve aşırı akım arızası aynı anda gerçekleşebilir. Bu durumda Tablo 3.6 ile hesaplamadan farklı olarak darbe durdurucu çıkış gerilimi 0V olmalıdır. Örnek bir hesaplama Tablo 3.7 ile verilmiştir.

Tablo 3.5, Tablo 3.6 ve Tablo 3.7 ile verilen hesaplamalar, $C_{TMR} = 0.68\,\mu F$ için yapılmıştır. Kapasitesinin ±10% toleransı olduğu için regülasyon süresi minimum ve maksimum olarak verilmiştir. $t_{reg} > t_{arıza}$ kıyaslaması için minimum regülasyon süresi dikkate alınmalıdır. SOA kontrolü için ise maksimum regülasyon süresi dikkate alınmalıdır.

İletim bölgesi, SOA bölgesinin $R_{DS(on)}$şeklinde belirtilen kısmına denk gelmelidir. Bu kısım için SOA değerlendirmesine gerek yoktur çünkü burada MOSFET tamamen iletimdedir ve üzerindeki güç kaybı tamamen iletimsel olup $i_{yük}^2\, x\, R_{DS(on)}$ şeklinde ifade edilmektedir. Tablolarda verilen P_{SOA} değerleri, Şekil 3.7 ile verilen grafikten elde edilen güç değerinin azaltma faktörü ile çarpılmış halidir ($T = 50°C, DP = 0.8$).

SOA gücüne çok yakın MOSFET güç kaybı olan durumlar "Riskli" olarak belirtilmiştir. Tablo 3.5, Tablo 3.6 ve Tablo 3.7 birlikte değerlendirildiğinde, bu darbe durdurucu yapısının maksimum 100V aşırı gerilimlere dayanabileceği söylenebilir ($V_{A(maks)} = 100V$).

$V_{A(maks)}$ değerinin üzerindeki aşırı gerilimlerde, entegre anlık kapatma yaparak MOSFET elemanını korumalıdır. Bu işlem entegrenin OVLO (Over Voltage Lock-Out, Aşırı Gerilim Kapatması) pini kullanılarak yapılabilmektedir.

Bu yöntem uygulandığında $V_{A(maks)}$ üzerindeki aşırı gerilimlerde MOSFET, mümkün olan en kısa süre içinde kapatılarak bir strese maruz kalması engellenmektedir.

$V_{A(maks)}$ parametresi topolojiye daha sonra eklenecek TVS seçimi için önemlidir çünkü MOSFET kapatılsa dahi, MOSFET elemanının kırılma geriliminden (V_{BR}) yüksek aşırı gerilimlerde MOSFET delinip arızaya neden olabilmektedir. Bu tarz durumlarda TVS elemanı devreye girmeli ve $V_{A(maks)}$ değerinden yüksek aşırı gerilimleri $V_{C(TVS)} < V_{BR(MOSFET)}$ olacak şeklinde kırpmalıdır.

Tablo 3.5. Normal Aşırı Gerilim Arızası için Örnek Tasarım Hesabı

#	$V_{arıza}$ [V]	$t_{arıza}$ [ms]	V_c [V]	V_{DS} [V]	$i_{yük} = I_D$ [A]	P_{MOSFET} [W]	$\dot{I}_{TMR}$ [µA]	t_{reg} [ms]		Baz Alınacak SOA Grafiği	P_{SOA} [W]	SOA Kontrolü $P_{SOA} > P_{MOSFET}$
								Min.	Maks.			
İLETİM BÖLGESİ	28	∞	28	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
	31.5	7758	31.5	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
	32	1502	32	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
	33	575	33	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
	34	355	34	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
	35	257	35	0	5	$i_{yük}^2 \, x \, R_{DS(on)}$	0	∞	∞	$R_{DS(on)}$	-	-
AKTİF KIRPMA BÖLGESİ	36	202	35	1	5	5	2.388	209	255	1s	112	✓
	37	166	35	2	5	10	3.025	167	204	1s	112	✓
	38	141	35	3	5	15	3.663	140	171	1s	112	✓
	39	122	35	4	5	20	4.3	121	147	1s	112	✓
	40	108	35	5	5	25	4.937	106	130	1s	112	✓
	45	68	35	10	5	50	8.123	69	84	100ms	400	✓
	50	50	35	15	5	75	11.309	52	64	100ms	400	✓
	60	33	35	25	5	125	17.681	37	45	100ms	400	✓
	70	24	35	35	5	175	24.053	30	37	100ms	400	✓
	80	19	35	45	5	225	30.425	26	32	100ms	400	✓
	90	16	35	55	5	275	36.797	23	28	100ms	400	✓
	100	14	35	65	5	325	43.169	21	26	100ms	400	✓
	110	12	35	75	5	375	49.541	20	24	100ms	400	Riskli
	120	11	35	85	5	425	55.913	19	23	100ms	400	X
	130	9	35	95	5	475	62.285	18	22	100ms	400	X

Tablo 3.6. Akım Limitinde Aşırı Gerilim Arızası için Örnek Tasarım Hesabı

#	$V_{arıza}$ [V]	$t_{arıza}$ [ms]	V_c [V]	V_{DS} [V]	$i_{yük}=I_{LIM}$ [A]	P_{MOSFET} [W]	$\dot{I}_{TMR}$ [µA]	t_{reg} [ms]		Baz Alınacak SOA Grafiği	P_{SOA} [W]	SOA Kontrolü $P_{SOA} > P_{MOSFET}$
								Min.	Maks.			
AKTİF LİMİTLEME BÖLGESİ	28	∞	28	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
	31.5	7758	31.5	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
	32	1502	32	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
	33	575	33	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
	34	355	34	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
	35	257	35	~ 0	6	$i_{yük}^2 \, x \, R_{DS(on)}$	8	67	82	100ms	400	✓
AKTİF LİMİTLEME VE KIRPMA BÖLGESİ	36	202	35	1	6	6	11.17	48	59	100ms	400	✓
	37	166	35	2	6	12	14.34	37	46	100ms	400	✓
	38	141	35	3	6	18	17.509	31	37	100ms	400	✓
	39	122	35	4	6	24	20.679	26	32	100ms	400	✓
	40	108	35	5	6	30	23.849	22	27	100ms	400	✓
	45	68	35	10	6	60	39.698	13	16	100ms	400	✓
	50	50	35	15	6	90	55.547	10	12	100ms	400	✓
	60	33	35	25	6	150	87.245	6	8	10ms	800	✓
	70	24	35	35	6	210	118.94	5	6	10ms	800	✓
	80	19	35	45	6	270	150.64	4	4	10ms	800	✓
	90	16	35	55	6	330	182.33	3	4	10ms	800	✓
	100	14	35	65	6	390	214.03	3	3	10ms	800	✓
	110	12	35	75	6	450	245.73	2	3	10ms	800	✓
	120	11	35	85	6	510	277.43	2	2	10ms	800	✓
	130	9	35	95	6	570	309.13	2	2	10ms	800	✓

Tablo 3.7. Kısa Devre ve Aşırı Gerilim Arızası için Örnek Tasarım Hesabı

#	$V_{arıza}$ [V]	$t_{arıza}$ [ms]	V_c [V]	V_{DS} [V]	$i_{yük}=I_{LIM}$ [A]	P_{MOSFET} [W]	$\dot{I}_{TMR}$ [µA]	t_{reg} [ms]		Baz Alınacak SOA Grafiği	P_{SOA} [W]	SOA Kontrolü $P_{SOA} > P_{MOSFET}$
								Min.	Maks.			
KISA DEVRE	28	∞	0	28	6	168	96.75	6	7	10ms	800	✓
	31.5	7758	0	31.5	6	189	107.84	5	6	10ms	800	✓
	32	1502	0	32	6	192	109.43	5	6	10ms	800	✓
	33	575	0	33	6	198	112.6	5	6	10ms	800	✓
	34	355	0	34	6	204	115.77	5	6	10ms	800	✓
	35	257	0	35	6	210	118.94	5	6	10ms	800	✓
	36	202	0	36	6	216	122.11	4	5	10ms	800	✓
	37	166	0	37	6	222	125.28	4	5	10ms	800	✓
	38	141	0	38	6	228	128.45	4	5	10ms	800	✓
	39	122	0	39	6	234	131.62	4	5	10ms	800	✓
	40	108	0	40	6	240	134.79	4	5	10ms	800	✓
	45	68	0	45	6	270	150.64	4	4	10ms	800	✓
	50	50	0	50	6	300	166.49	3	4	10ms	800	✓
	60	33	0	60	6	360	198.18	3	3	10ms	800	✓
	70	24	0	70	6	420	229.88	2	3	10ms	800	✓
	80	19	0	80	6	480	261.58	2	3	10ms	800	✓
	90	16	0	90	6	540	293.28	2	2	10ms	800	✓
	100	14	0	100	6	600	324.98	2	2	10ms	800	✓
	110	12	0	110	6	660	356.67	2	2	10ms	800	✓
	120	11	0	120	6	720	288.37	1	2	10ms	800	Riskli
	130	9	0	130	6	780	420.07	1	2	10ms	800	Riskli

Bütün bu hususlar dikkate alındığında, darbe durdurucu yapı için Tablo 3.8 ile verilen şartlar sağlanmalıdır.

Tablo 3.8. Darbe Durdurucu Tasarım Şartları

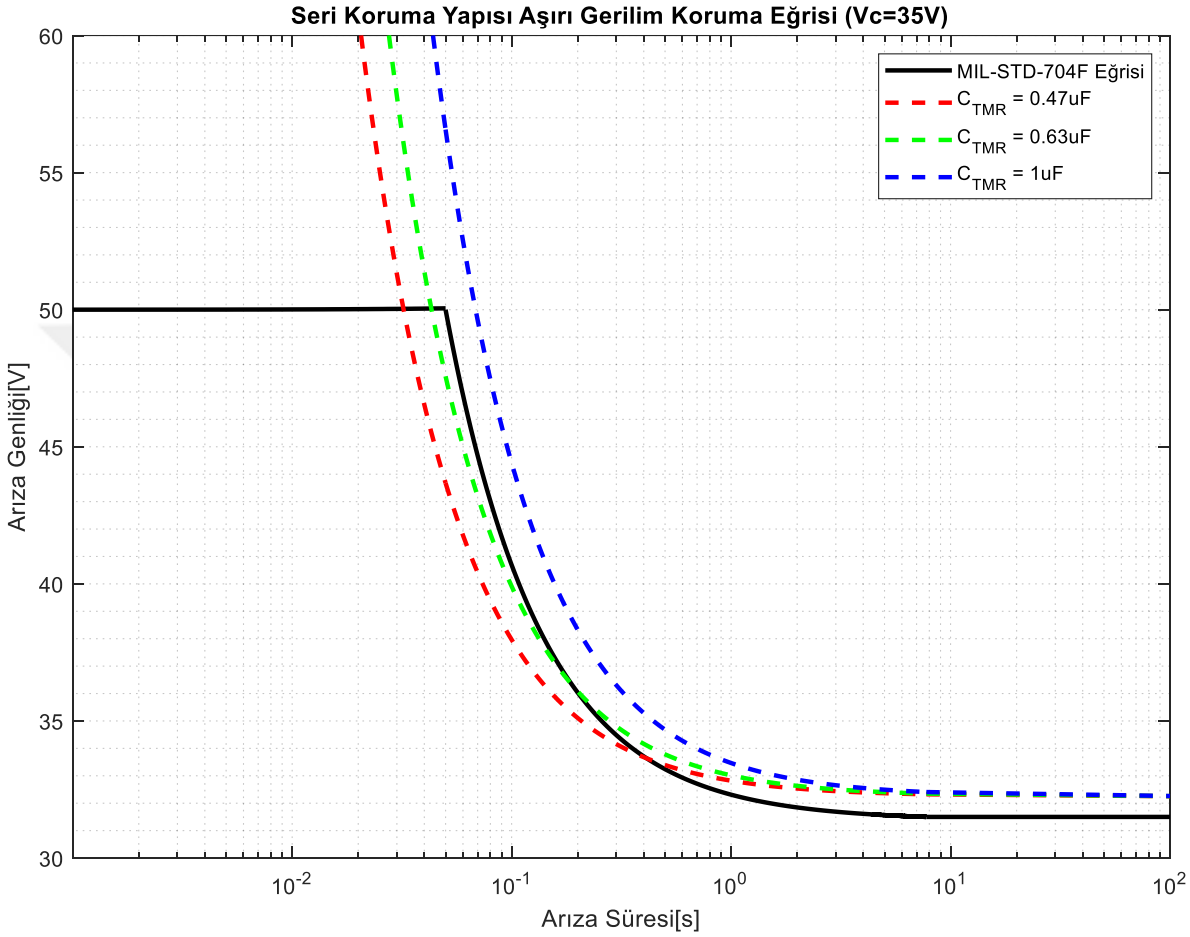
#	Şart	Açıklama
1	$V_C < V_{IN,maks}$	$V_{IN,maks}$, darbe durdurucu yapının çıkışından beslenen elemanların sürekli maksimum dayanım gerilimidir. Bu veri değerlendirilirken teknik dokümanda yer alan mutlak maksimum değerler tablosu değil elektriksel karakteristik bölümünde yer alan gerilim dayanım referans alınmalıdır. Bu sayede elemanlar kırpma gerilimi altında sürekli çalışabilmelidir.
2	$P_{MOSFET} < P_{SOA}(T)$	T sıcaklığında çalışan MOSFET için darbe anındaki güç kaybı SOA gücünden düşük olmalıdır. Bu şart; Tablo 1, Tablo 2 ve Tablo 3 ile verilen tüm arıza süreleri için sağlanmalıdır.
3	$t_{reg,min} > t_{arıza}$	Minimum regülasyon süresi arıza süresinden daha uzun olmalıdır. Bu şart, sadece Tablo 1 ile verilen tüm arıza genlikleri için sağlanmalıdır.
4	$t_{reg,maks} < t_{SOA}$	Maksimum regülasyon süresi SOA süresinden daha kısa olmalıdır. Bu şart; Tablo 1, Tablo 2 ve Tablo 3 ile verilen tüm arıza genlikleri için sağlanmalıdır.
5	$I_{LIM} > i_{yük(maks)}$	Akım limiti maksimum yük akımından yüksek olmalıdır.

Bütün bu işlemlere ek olarak, darbe durdurucu yapının gerçekten MIL-STD-704F ile tanımlanan aşırı gerilim profili üzerinde koruma sağladığı grafiksel olarak da gösterebilir. Uygun zamanlayıcı kapasitesi için grafiksel yöntem daha kesin bir sonuç verecektir. Şekil 3.9 ile 0.47µF, 0.63µF ve 1µF zamanlayıcı kapasiteleri için örnek bir grafik analizi verilmiştir. Bu 3 farklı zamanlayıcı kapasiteleri için şunlar söylenebilmektedir:

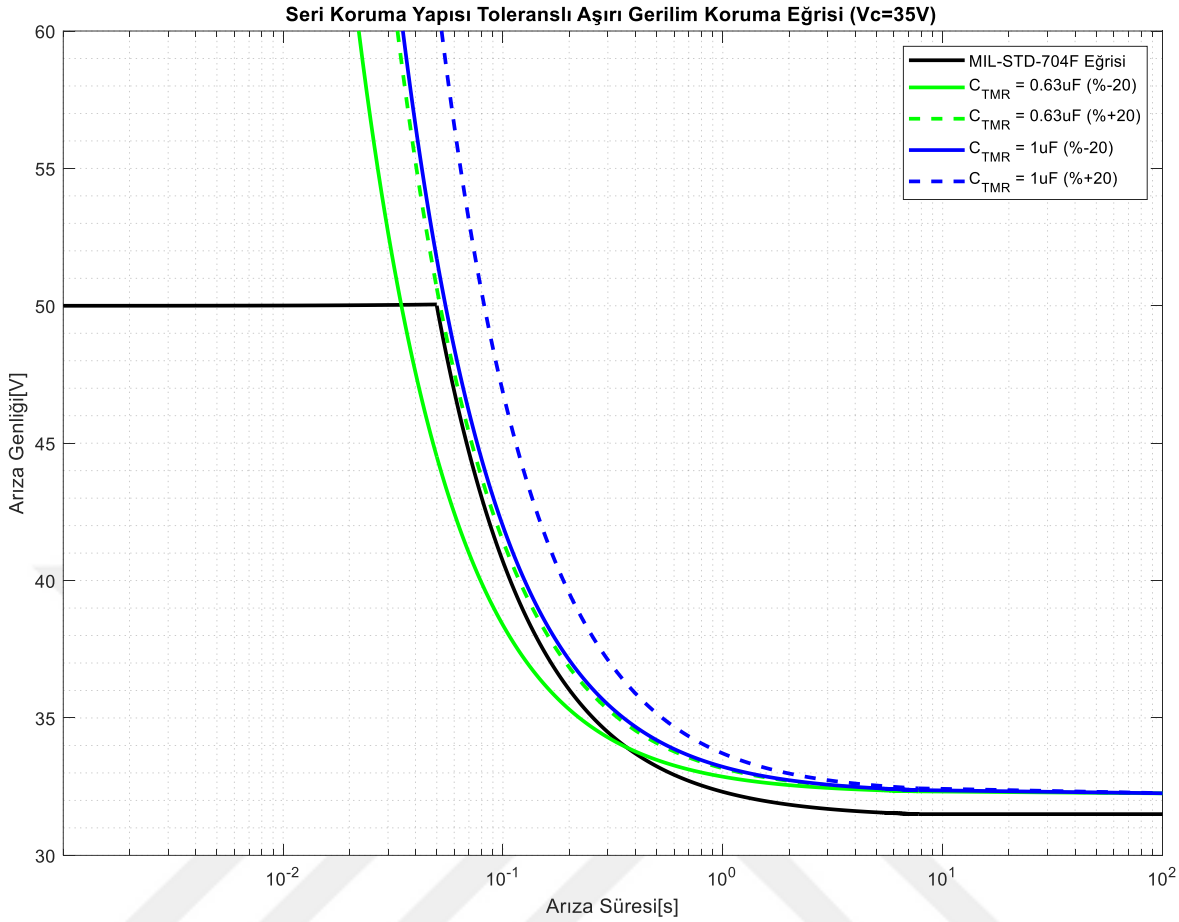
- 0.47µF zamanlayıcı kapasitesi ile sağlanan koruma eğrisi MIL-STD-704F eğrisinin altında kalmakta olup yetersizdir.
- 0.63µF zamanlayıcı kapasitesi ile sağlanan koruma eğrisi MIL-STD-704F eğrisinin sınırında olup yeterli sayılabilmektedir.
- 1µF zamanlayıcı kapasitesi ile sağlanan koruma eğrisi MIL-STD-704F eğrisinin üstünde olup garanti edilen bir koruma eğrisi sağlamaktadır.

Dikkat edilmesi gereken bir başka husus, kapasitelerin toleranslarıdır. Örnek olarak, Şekil 3.10 ile 0.63µF ve 1µF zamanlayıcı kapasitelerinin %±20 tolerans değerleri için farklı eğriler verilmiştir.

0.63µF zamanlayıcı kapasitesi için %-20 toleransta MIL-STD-704F eğrisinin altında kalmaktadır ve sonuç olarak uygun değildir. 1µF zamanlayıcı kapasitesi için ise her iki tolerans sınırı için de MIL-STD-704F eğrisinin üstünde kaldığı görülmüştür ve sonuç olarak bu yapının sağladığı regülasyon süresi uygundur.



Şekil 3.9. Seri Koruma Yapısında Farklı Zamanlayıcı Kapasiteleri için Aşırı Gerilim Koruma Eğrisi



Şekil 3.10. Seri Koruma Yapısında Farklı Zamanlayıcı Kapasiteleri için Toleranslı Aşırı Gerilim Koruma Eğrisi

Gerilim-zaman eğrilerini çizdirirken baz alınacak formüller Denklem 3.26 ve Denklem 3.27 ile verilmiştir. MIL-STD-704F eğrisi için:

$$V_{arıza} = \begin{Bmatrix} 50 & ; & t_{arıza} \leq 0.05 \\ 31.38 + \frac{0.931}{t_{arıza}} & ; & 0.05 < t_{arıza} < 7.758 \\ 31.5 & ; & t_{arıza} \geq 7.758 \end{Bmatrix} \quad (3.26)$$

Darbe durdurucu için (LT4363 entegresine özeldir);

$$t_{reg} = \begin{Bmatrix} \infty & ; V_{arıza} \leq V_C \\ C_{TMR} x \left(\frac{0.775}{1.751 + 0.637 x (V_{arıza} - V_C)} + \frac{0.1}{6} \right); & V_{arıza} > V_C \end{Bmatrix} \quad (3.27)$$

Gerilim, zaman ve kapasite için kullanılan birimler sırasıyla volt, saniye ve mikrofarad şeklindedir.

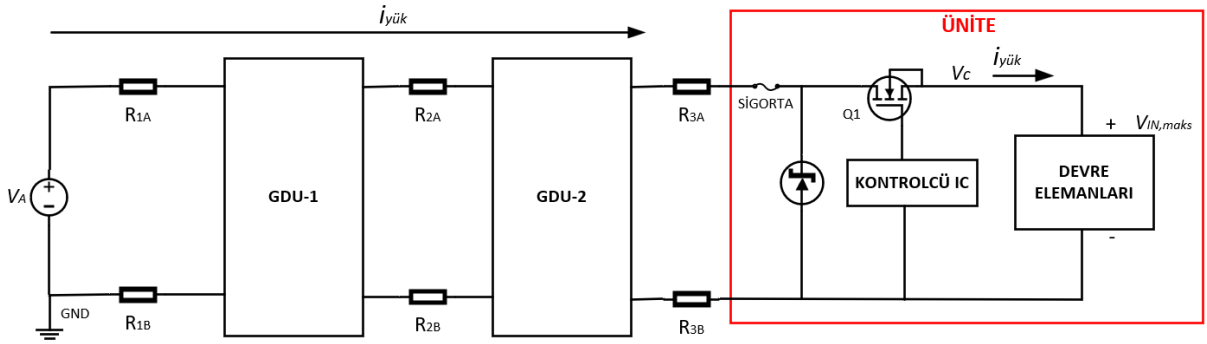
3.3. KOMBİNE KORUMA YAPISI

Tasarım veya iyileştirme sırasında, ilk olarak seri koruma yapısından başlanmalıdır. Bu yapının dayanabileceği maksimum aşırı gerilim genliği olan $V_{A,maks}$ belirlenmelidir. Daha sonra, bu yapıya paralel bağlanacak TVS elemanı için $V_{A,maks}$ parametresi, $V_{IN,maks}$ parametresine eşdeğer olmaktadır. TVS seçimi için paralel koruma yapısı başlığı altında verilen adımlar aynı şekilde uygulanmaktadır.

Tablo 3.9. Paralel Koruma Yapısı için Tasarım Şartları

#	Şart	Açıklama
1	$V_{VWM} > 28VDC$	Sistem gerilimi 28VDC kabul edilmektedir.
2	$V_C < V_{IN,maks}$	$V_{IN,maks}$, TVS elemanına paralel bağlı regülatör, darbe durdurucu vb. elemanların sürekli maksimum dayanım gerilimleridir.
3	$\frac{I_{PP}}{2} = i_{arıza}$	Paralel koruma yapısı içerisinde yer alan denklemler dikkate alınarak hesaplanmalıdır.
4	$t_d > t_{arıza}$	$t_{arıza}$, aşırı gerilim arızasının süresidir.
5	$V_C < V_{IN,maks}$	$V_{IN,maks}$, darbe durdurucu yapının çıkışından beslenen elemanların sürekli maksimum dayanım gerilimidir. Bu veri değerlendirilirken teknik dokümanda yer alan mutlak maksimum değerler tablosu değil elektriksel karakteristik bölümünde yer alan gerilim dayanım referans alınmalıdır. Bu sayede elemanlar kırpma gerilimi altında sürekli çalışabilmelidir.
6	$P_{MOSFET} < P_{SOA}(T)$	T sıcaklığında çalışan MOSFET için darbe anındaki güç kaybı SOA gücünden düşük olmalıdır. Bu şart; seri koruma yapısı içerisinde verilen tüm arıza süreleri için sağlanmalıdır.
7	$t_{reg,min} > t_{arıza}$	Minimum regülasyon süresi arıza süresinden daha uzun olmalıdır. Bu şart, sadece Tablo 1 ile verilen tüm arıza genlikleri için sağlanmalıdır.
8	$t_{reg,maks} < t_{SOA}$	Maksimum regülasyon süresi SOA süresinden daha kısa olmalıdır. Bu şart; seri koruma yapısı içerisinde verilen tüm arıza genlikleri için sağlanmalıdır.
9	$I_{LIM} > i_{yük(maks)}$	Akım limiti maksimum yük akımından yüksek olmalıdır.
10	$V_{A(maks)} < V_{C(TVS)} < V_{BR(MOSFET)}$	TVS elemanının oluşturacağı kırpma gerilimi, darbe durdurucunun aktif kırpma yapabileceği maksimum arıza geriliminden yüksek, MOSFET elemanının kırılma geriliminden düşük olmalıdır.

Bu yapıda, Şekil 3.11 ile gösterildiği üzere darbe durdurucu ve TVS diyot yapısı birlikte kullanılmaktadır.



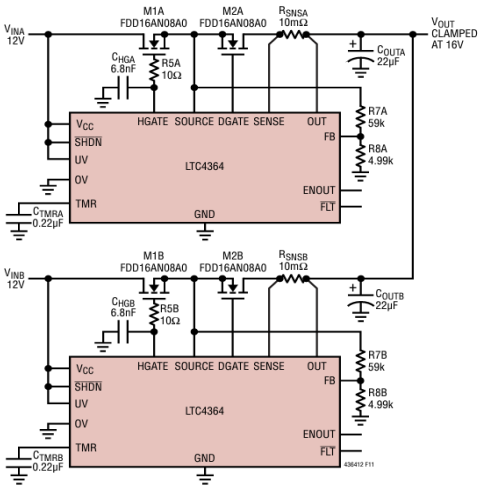
Şekil 3.11. Kombine Koruma Topolojisi Devre Şeması

3.4. YEDEKLİ KORUMA YAPISI

Yedekli koruma yapıları, kritik sistemlerde yüksek güvenilirlik sağlamak amacıyla tasarlanmıştır. Paralel ya da seri bağlantı yapılarında kullanılarak aşırı gerilim, akım veya sıcaklık gibi durumlarda sistemi koruma altına alır [11].

LT4364 gibi entegre çözümler, MOSFET sürücüleri ve programlanabilir zamanlayıcılar ile yüksek voltaj sıçramalarına karşı koruma sağlar. Bu entegre, yük tarafını korumak için hem giriş hem de çıkışta kullanılabilir [12].

Kritik yüklerde kullanılan koruma yapısı arızalandığında, örneğin kısa devre olması ve sigortasının atması gibi, bu yapının yerine geçecek yedek yapıya ihtiyaç duyulabilmektedir. LTC4364 entegresi ile oluşturulmuş örnek bir yedekli yapı Şekil 3.12 ile verilmiştir. Bu yapıda her bir darbe durdurucu kanalı tek başına ilgili yük akımını ve aşırı gerilim korumasını sağlayabilmektedir. Herhangi bir kanalda arıza meydana geldiğinde ve güç akışı durduğunda aktif ORing (Orlama, VEYAlama) yapısı sayesinde diğer kanaldan güç akışı devam etmektedir.



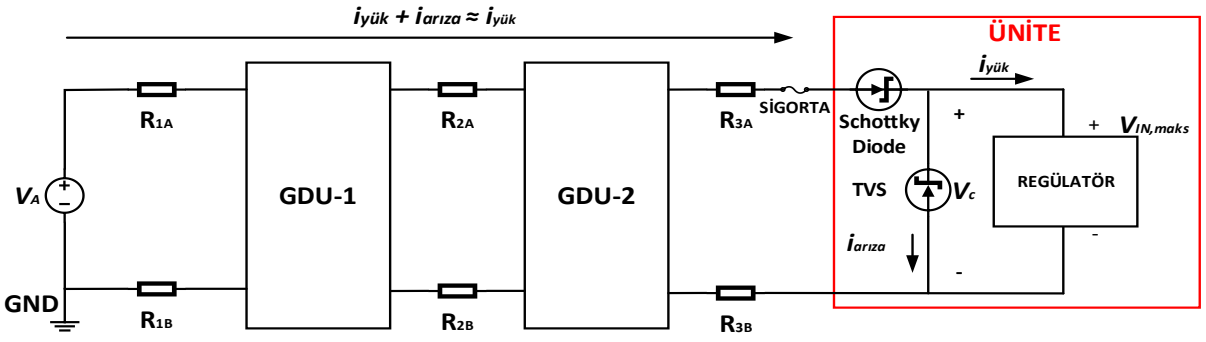
Şekil 3.12. Yedekli Darbe Durdurucu Topolojisi [11]

Verilen bu örnek yapıda sadece 2 kanal kullanılmıştır ancak ilgili yükün kritiklik durumuna göre kanal sayısı artırılabilmektedir. Ek olarak, kombine koruma yapısındaki TVS elemanı kombine koruma yapısındaki tasarım şartları ve yöntemler uygulanarak bu yapıya eklenebilmektedir. Kanalların herhangi birindeki arızanın, örneğin kısa devre gibi, diğer kanalları ve ortak güç hattını etkilememesi için kanal bazlı sigorta kullanılmalıdır. Sigorta seçerken akım limit değeri ve arıza süreleri dikkate alınmalıdır.

Sigortanın; normal aşırı gerilim, akım limitinde aşırı gerilim, kısa devre altında aşırı ve TVS elemanının kırpma geriliminde akım iletmesi durumlarında atmamalıdır. Sigortanın uygunluğu incelenirken sigorta teknik dokümanında verilen akım-atma süresi eğrisi baz alınmalı ve ek olarak sıcaklığa göre sigorta akımının azalma faktörü de (Derating) dikkate alınmalıdır. Sigortayı arttıracak durumlar için, sigortadan sonra gelen güç hattı üzerindeki noktalardan toprak hattına kısa devre olması durumları değerlendirilmelidir. Örneğin, Back-to-Back bağlı MOSFET elemanlarının ortak source uçlarından toprağa kısa devre olması durumu değerlendirilebilmektedir.

3.5. ADAPTİF KORUMA YAPISI

Bu topoloji için hesaplamalara yardımcı olacak bir blok diyagramı aşağıda verilmiştir. Bu topolojide, VA büyüklüğündeki jeneratörün neden olduğu aşırı gerilim durumu sırasında, TVS bileşeni doğal olarak iletkenliğe başlar ve terminalleri arasında bir sıkıştırma gerilimi (VC) oluşur. Bu voltaj değeri, arıza akımının gösterdiği gibi arıza akımıyla ilişkili olsa da, yaklaşık olarak sabittir. Arıza akımı büyük değişimler gösterebilse de, VC değerindeki değişim nispeten düşüktür. TVS bileşeninden geçen arıza akımını sınırlayan faktör, kaynak ile TVS arasındaki yolun empedansıdır. Yük akımı ihmal edilirse;



Şekil 3.13. Adaptif Koruma Yapısı Değerlendirmesi için Referans Devre Şeması

$$i_{arıza} \gg i_{yük} \Rightarrow i_{arıza} + i_{yük} \approx i_{arıza} \quad (3.28)$$

$$i_{arıza} = \frac{V_a - V_c}{R_T} \quad (3.29)$$

$$R_T = R_{1A} + R_{2A} + R_{3A} + R_{1B} + R_{2B} + R_{3B} \quad (3.30)$$

Burada RT, güç hattının ve toprak (dönüş) hattının empedansının toplamı olan toplam yol empedansını temsil eder.

$$P_{PPM}(T) = P_{PPM}(T0)\ x\ DP \quad (3.31)$$

DP, derecelendirme faktörüdür, PPPM (T0), oda sıcaklığı gibi normal test koşulları altındaki darbe güç derecesidir ve PPPM (T), T sıcaklığındaki darbe güç derecesidir. Blok diyagramda gösterilen schottky diyotunun amacı, ters voltaj girişi durumunda voltajın PMIC tarafına geçmesini önlemektir. Bu şekilde diyot, ters voltaj koşulları sırasında açık devre görevi görerek sistemi korur. Diyot seçilirken, doğru voltaj durumu altında ileri önyargı koşulundaki bariyer voltajı değerinin dikkate alınması önemlidir. Tercih edilen koşul şudur:

$$V_{f,schottky} \leq 0.6V \quad (3.32)$$

Denklemde küçük bir ileri önyargı voltajı seçilmesinin nedeni, diyot boyunca güç kaybını mümkün olduğunca düşük tutmaktır.

$$P_{loss,schottky} = V_{f,schottky}\ x\ i_{fault} \quad (3.33)$$

Bu topolojinin kullanıldığı yüksek akım devrelerinde, seçilen diyotun kasasına dikkat edilmelidir. Diyot uygun kasa ile seçilmezse, yayacağı ısı nedeniyle lehim sızıntısı meydana gelebilir.

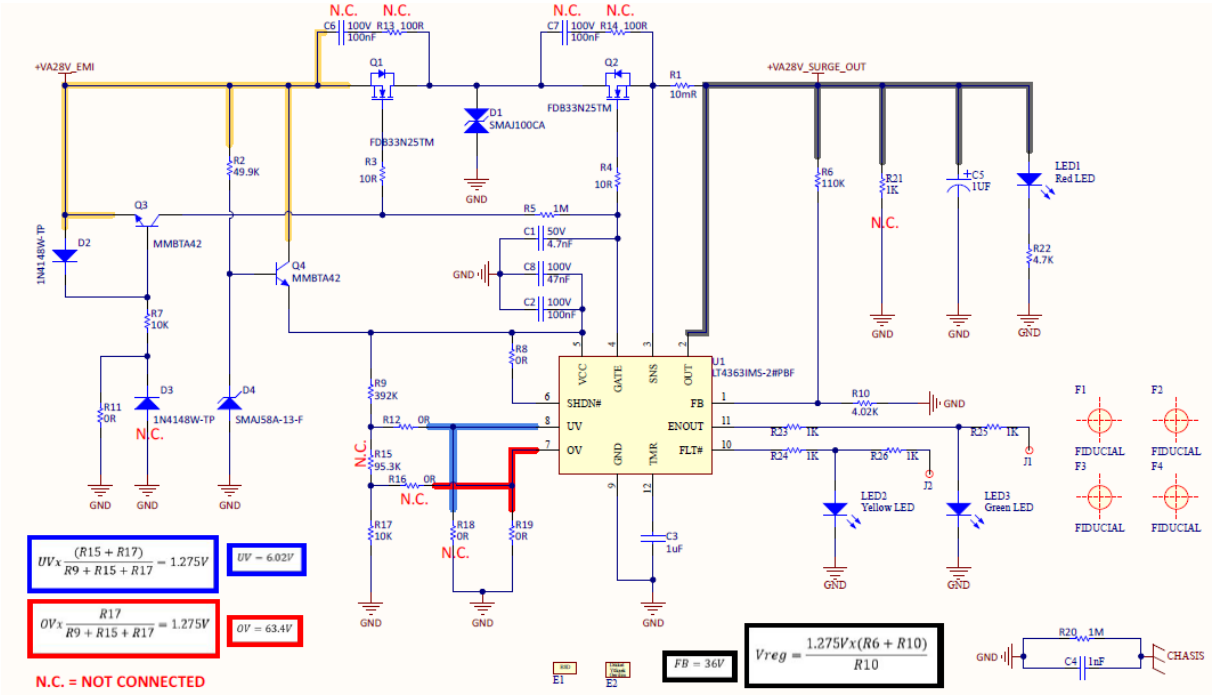
Tablo 3.10. Paralel Koruma Yapısı için Tasarım Şartları

#	Şart	Açıklama
1	$V_{VWM} > 28VDC$	Sistem gerilimi 28VDC kabul edilmektedir.
2	$V_C < V_{IN,maks}$	$V_{IN,maks}$, TVS elemanına paralel bağlı regülatör, darbe durdurucu vb. elemanların sürekli maksimum dayanım gerilimleridir.
3	$\frac{I_{PP}}{2} = i_{arıza}$	Paralel koruma yapısı içerisinde yer alan denklemler dikkate alınarak hesaplanmalıdır.
4	$t_d > t_{arıza}$	$t_{arıza}$, aşırı gerilim arızasının süresidir.
5	$V_{f,schottky} \leq 0.6V$	Ters voltaj için, Schottky diyotunun ileri önyargı voltajı küçük seçilmelidir. Bu, normal çalışma sırasında diyot boyunca güç kaybını en aza indirmeye yardımcı olur.

4. BULGULAR

4.1. TERCİH EDİLEN KORUMA YAPISI TASARIMI

Bu yapıda, Şekil 4.1 ile gösterildiği üzere darbe durdurucu ve TVS diyot yapısı birlikte kullanılmaktadır.



Şekil 4.1. MIL-STD-704F Uyumlu Güç Topolojisi

Aşağıdaki özelliklere sahip bir uygulamayı tasarım örneği olarak ele aldığımızda;

V_{CC} = 8V ila 14V DC, 150 Voltluk bir geçici durum (transient) ve 400 milisaniyelik bir bozulma zaman sabiti (τ), $V_{OUT} \leq$ 36V, akım sınırı (I_{LIM}) 5A, düşük gerilim tespiti (UV) 6V, giriş aşırı gerilim seviyesi 63.4V ve 15ms'lik aşırı gerilim erken uyarısı veren yapıda yapılabilmektedir. Tasarım yapısı Şekil 4.1 ile verilmiştir.

D4 diyotu için SMAJ58A'nın seçimi, 150 Voltluk ani yükselme sırasında V_{CC} pinindeki gerilimi, 71 Volt gerilimin altına sınırlamaktadır. V_{CC} pinindeki minimum gerekli gerilim, V_{IN}

8 Volt olduğu zaman 4 Volt olmaktadır. LT4363 için besleme akımı 1.5 mA'dir. Uygun yapıyı sağlamak için R7 direncinin maksimum değeri:

$$R_2 = \frac{8V-4V}{1.5\ mA} = 2.67k\Omega \quad (4.1)$$

Olmaktadır. R_7 direnci için tüm koşulları karşılamak üzere 49.9kΩ seçilmiştir. R_2 direnci üzerinden D_4 diyotundan geçen maksimum akım aşağıdaki gibi hesaplanmaktadır:

$$I_{D4} = \frac{150V-64V}{49.9\ k\Omega} = 1.72\ mA \quad (4.2)$$

SMAJ58A, 150 Voltluk bir geçici durumda 1.72 mA'lik akımı 500 ms'den daha uzun süre taşıyabilmektedir.

Bir aşırı gerilim durumunda V_{OUT} gerilimini 36V ile sınırlamak için direnç bölücü değeri hesaplanmıştır:

$$V_{REG} = \frac{1.275Vx(R6+R10)}{R10} = 36V \quad (4.3)$$

Aşırı voltaj durumunda R6 ve R10 direnci üzerinden akan akımı 250µA'ya ayarlanmalıdır.

$$R_{10} = \frac{1.275V}{250\mu A} = 5k\Omega\ \approx 4.02k\Omega \quad (4.4)$$

$$R_6 = \frac{(36V-1.275V)xR10}{1.275V} = 110k\Omega \quad (4.5)$$

$$R_{SNS} = \frac{50mV}{I_{LIM}} = \frac{50mV}{5A} = 10m\Omega \quad (4.6)$$

$$C_{TMR} = \frac{15msx6\mu A}{100mV} = 0.9\mu F\ \approx 1\mu F \quad (4.7)$$

Son olarak, 6V düşük gerilim tespiti ve 60V giriş aşırı voltaj seviyesi için R9, R15 ve R17 direnci hesaplanmıştır:

$$6Vx\ \frac{R15+R17}{R9+R15+R17} = 1.275V \quad (4.8)$$

$$63.4Vx\ \frac{R17}{R9+R15+R17} = 1.275V \quad (4.9)$$

$$R9+R15 = \frac{63.4Vx10k\Omega}{1.275V} - 10k\Omega = 487.25k\Omega \quad (4.10)$$

$$R15 = 1.275Vx\frac{487.25k\Omega+10k\Omega}{6V} - 10k\Omega = 95.3k\Omega \quad (4.11)$$

$$R9+R15 = 487.25k\Omega - 95.3k\Omega \approx 392k\Omega \quad (4.12)$$

Q1 transistörü, VCC = 14V ile bir kısa devre durumunu karşılamak üzere seçilmiştir. VOUT = 0V olduğu ciddi bir çıkış kısa devre durumunda, toplam aşırı akım hata süresi:

$$toc = \frac{1000nFx0.875V}{45.5\mu A} = 19.2ms \quad (4.13)$$

$$P = \frac{14Vx25mV}{10m\Omega} = 35W \quad (4.14)$$

Aşırı yüklenme veya kısa devre durumunda çıkış, OUT pinindeki voltaj 2V veya daha yüksek kalabilmektedir. V_{OUT} = 2V olduğunda toplam aşırı akım hata süresi:

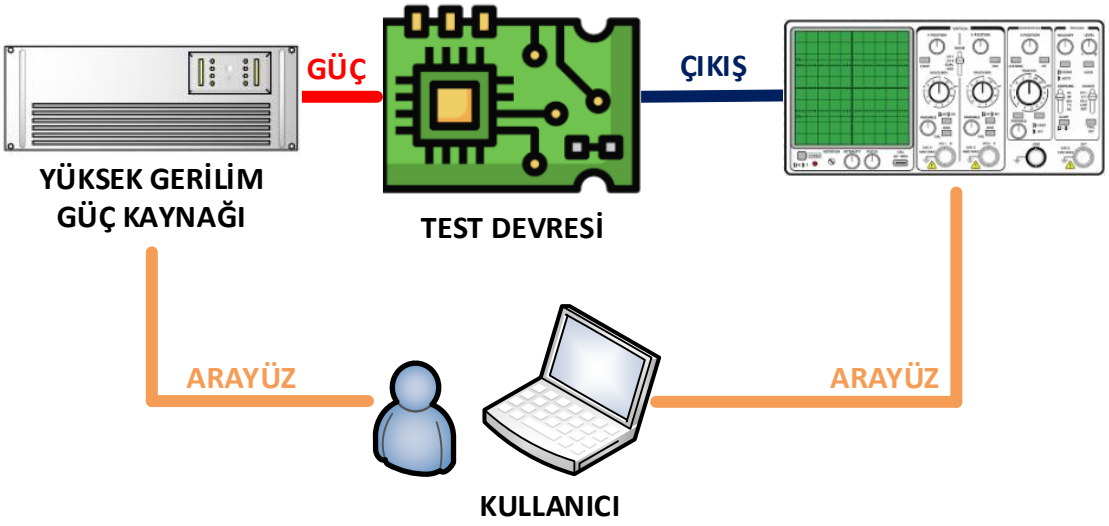
$$toc = \frac{1000nFx0.875V}{40\mu A} = 21.9ms \quad (4.15)$$

$$P = \frac{(14V-2V)x50mV}{10m\Omega} = 60W \quad (4.16)$$

Bu koşullar, FDB33N25'in Güvenli Çalışma Alanı (Safe Operating Area) içindedir.

4.2. MIL-STD-704F-8 TESTLERİ

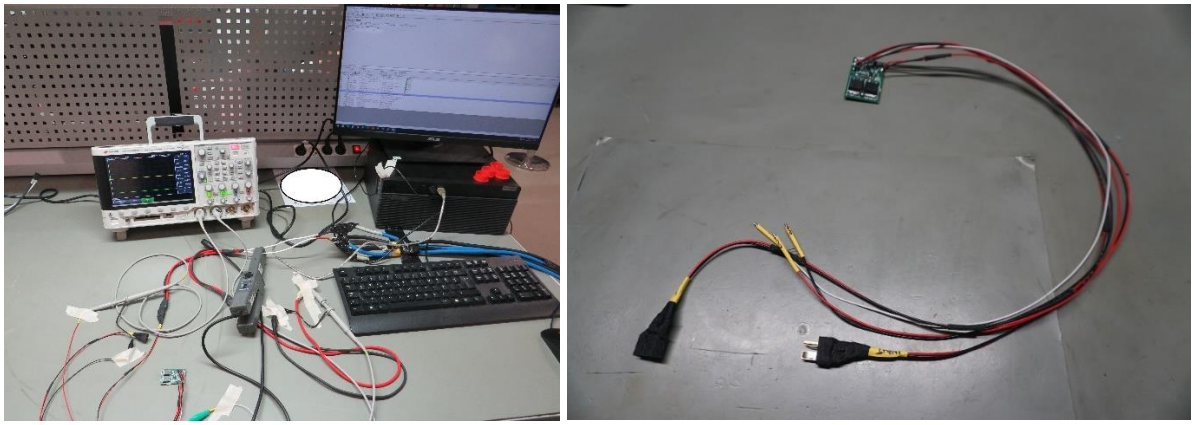
MIL-STD-704F standartları kapsamında 12 adet test gerçekleştirilmektedir. Bunlar LDC101, LDC102, LDC103, LDC104, LDC201, LDC301, LDC401, LDC501, LDC601 ve LDC602 testleridir. Testlerde devrenin osiloskop cihazı aracılığıyla giriş ve çıkış sinyalleri gözlemlenmiştir. Teste dair oluşturulan düzeneğin belirtildiği blok şema Şekil 4.2 ile gösterilmiştir.



Şekil 4.2. MIL-STD-704 Standardı Test Düzeneği Blok Şeması

Teste dair oluşturulan düzeneğin belirtildiği görseller Şekil 4.3 ile gösterilmiştir. Test süreci ESD önlemleri alınarak akım probu, osioloskop probları, osiloskop cihazı, yüksek

gerilim güç kaynağı ve ESD önlük ve bileklik kullanılarak test devresi üzerinde gerçekleştirilmiştir.

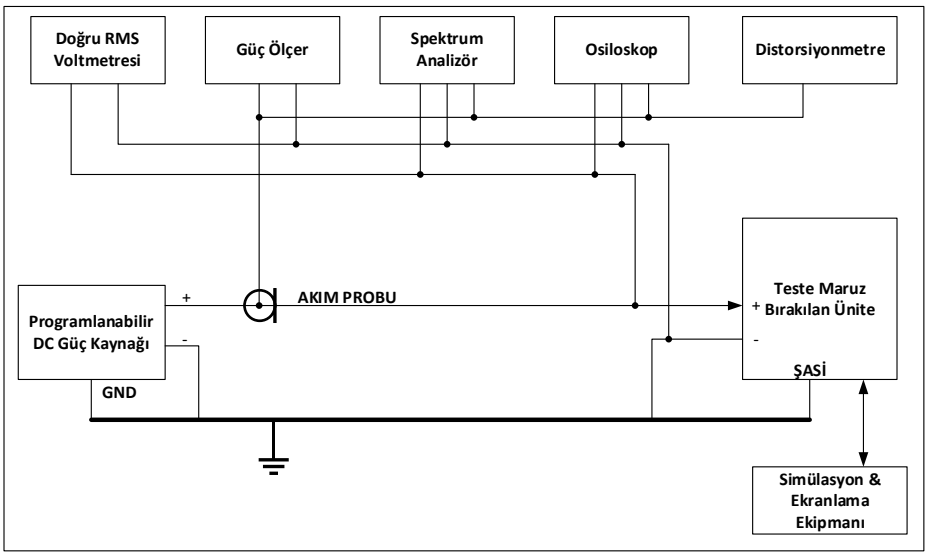


Şekil 4.3. Test Düzeneği Görselleri

4.2.1. LDC101 Testi

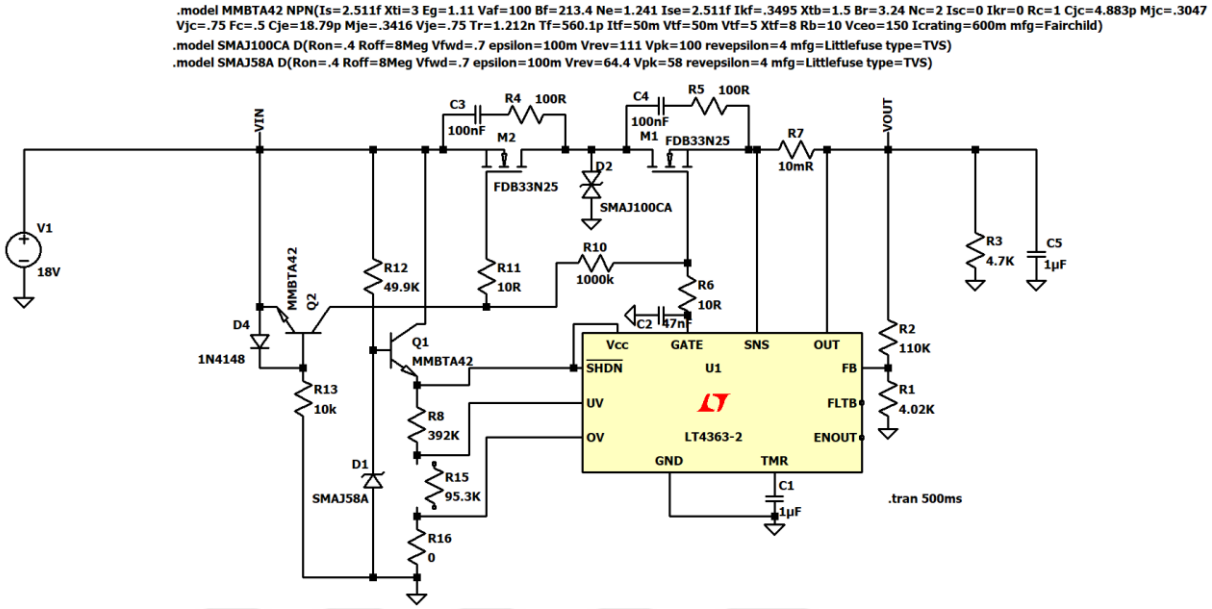
LDC101 testi, MIL-STD-704 standardı kapsamında gerçekleştirilen bir yük ölçüm testidir. Bu testin amacı, 28V DC ile çalışan sistemlerin, belirli sınırlar içinde güvenli ve verimli şekilde çalıştığını doğrulamaktır. Test, sistemlerin yük altındaki voltaj ve akım değerlerini belirlemek ve bu değerlerin sınır değerlerle uyumlu olup olmadığını kontrol etmek için yapılır. Bu kapsamda, ünite güç verildiğinde giriş akımı dalgalanmaları, yük altında sistemin voltaj ve akım spektrumu ölçülür.

LTSpice programı kullanılarak hazırlanan LDC101 devre simülasyon şematiği aşağıdaki Şekil 4.5 ile verilmiştir. Devrenin LDC101 test düzeneği şeması aşağıdaki Şekil 4.4 ile verilmiştir.



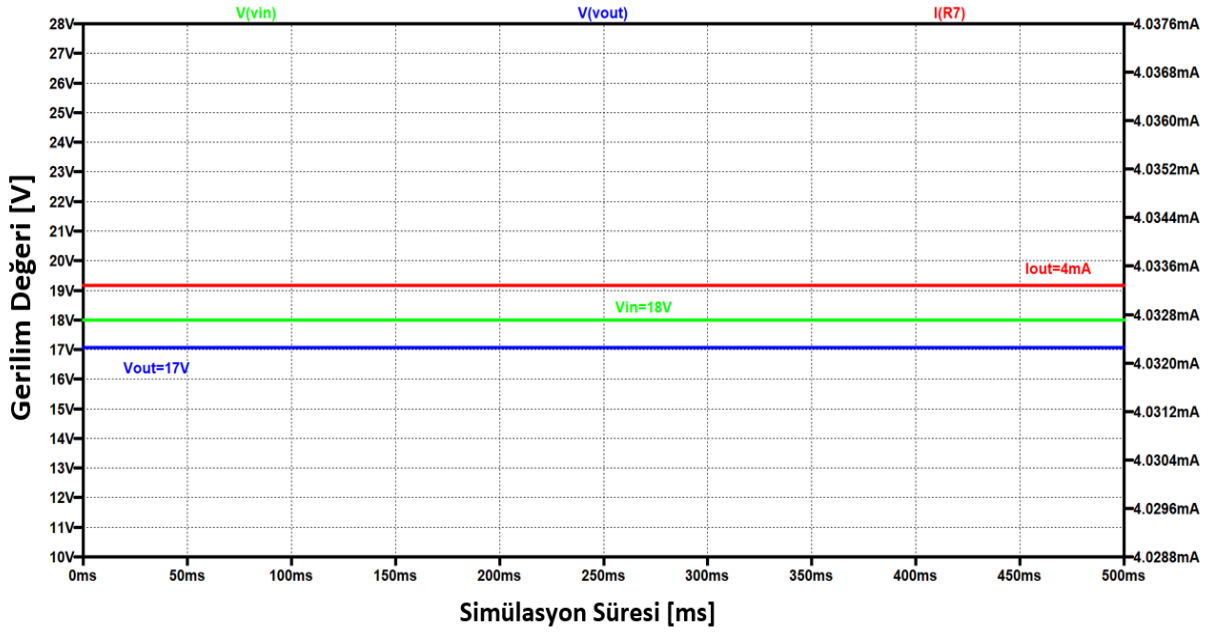
Şekil 4.4. LDC101 Test Düzeneği Şeması

Teste dair; 18VDC gerilim değerlerinde simülasyon şeması Şekil 4.5 ile aşağıdaki grafikte gösterilmiştir.



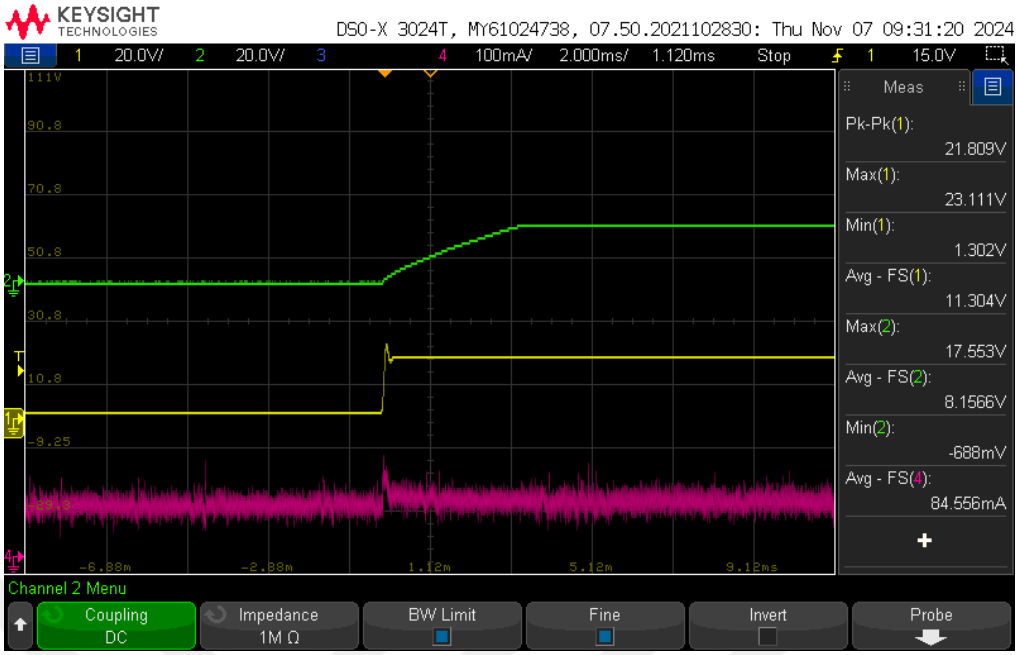
Şekil 4.5. LDC101 18V Testi Simülasyon Şematik Devresi

Teste dair; 18VDC gerilim değerlerinde simülasyon sonucu Şekil 4.6 ile aşağıdaki grafikte gösterilmiştir.



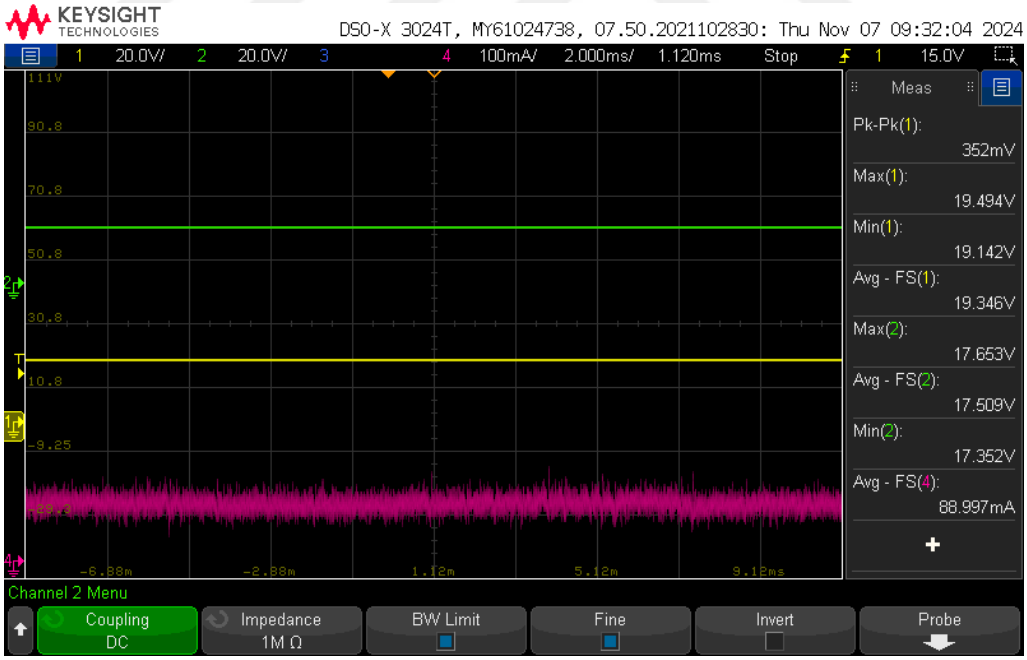
Şekil 4.6. LDC101- 18VDC Steady State Grafiği

Teste dair; 18VDC gerilim değerlerinde inrush akımının test sonucu Şekil 4.7 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.7. LDC101 - 18VDC Inrush Akımı Grafiği

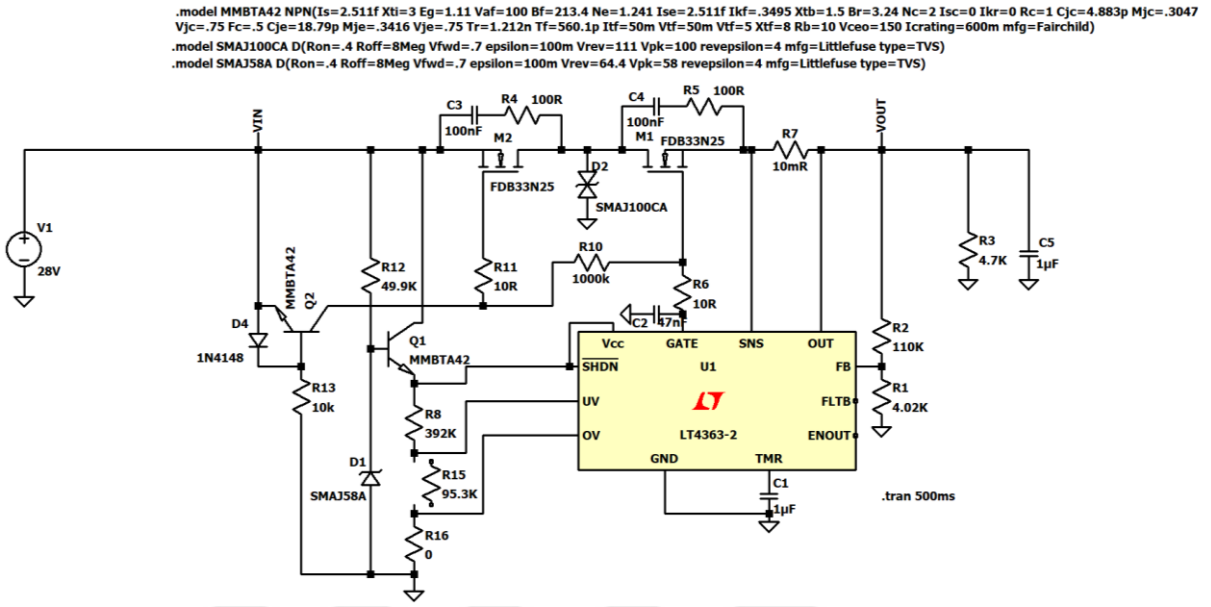
Teste dair; 18VDC gerilim değerlerinde durağan gerilim test sonucu Şekil 4.8 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.8. LDC101- 18VDC Steady State Grafiği

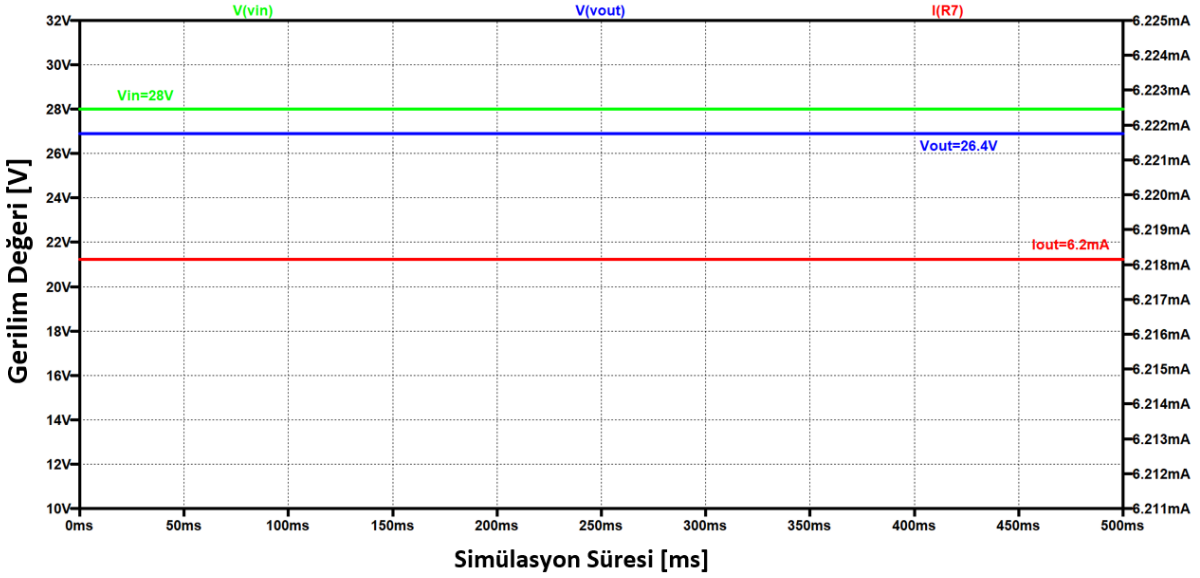
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

Teste dair; 28VDC gerilim değerlerinde simülasyon şeması Şekil 4.9 ile aşağıdaki grafikte gösterilmiştir.



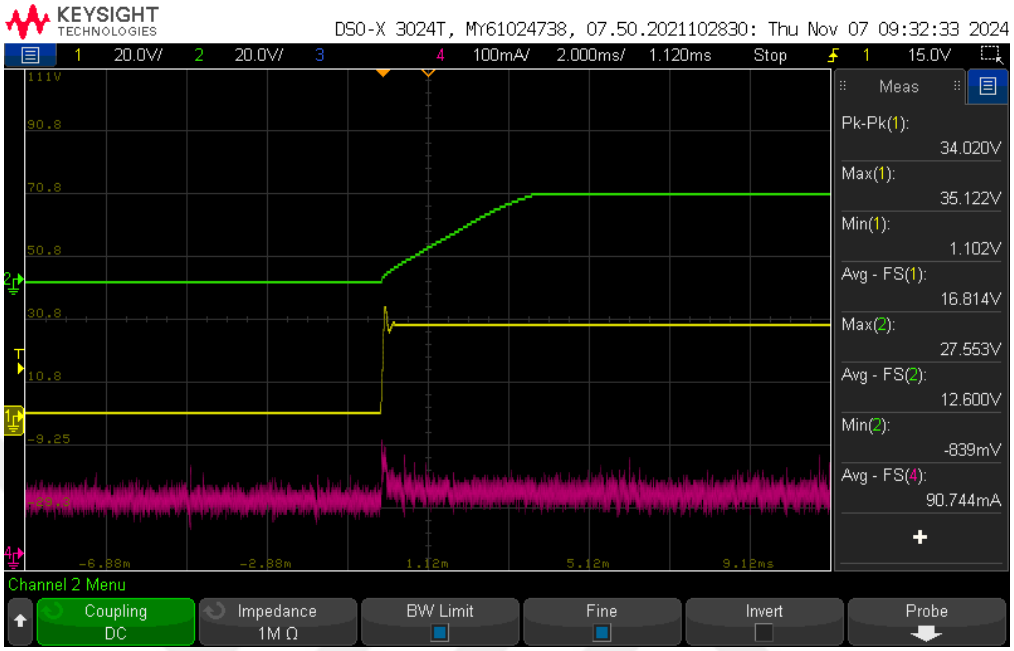
Şekil 4.9. LDC101 28V Testi Simülasyon Şematik Devresi

Teste dair; 28VDC gerilim değerlerinde simülasyon sonucu Şekil 4.10 ile aşağıdaki grafikte gösterilmiştir.



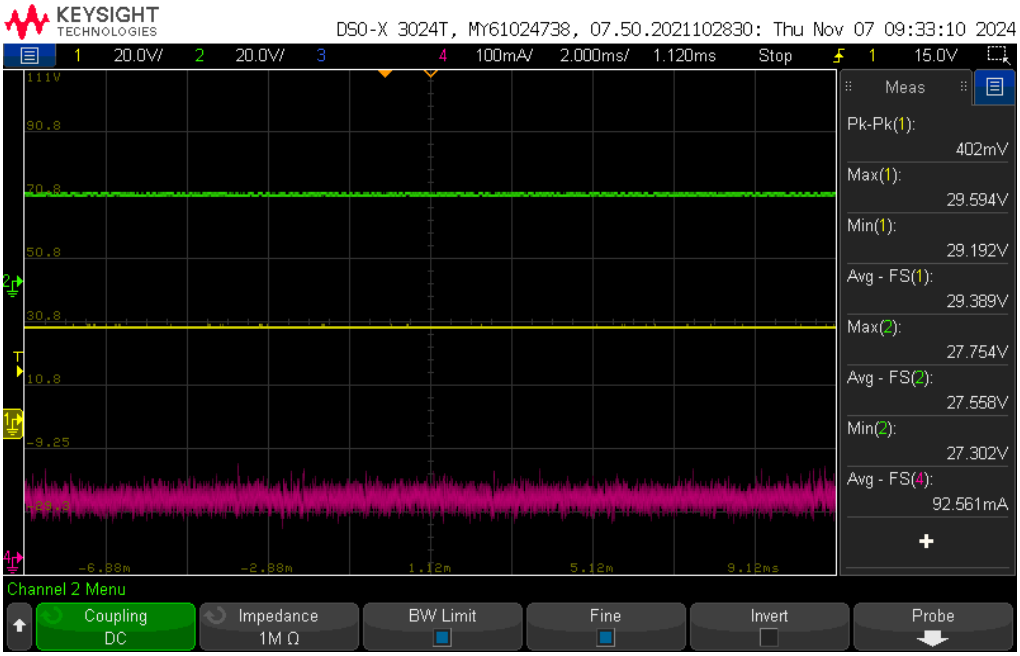
Şekil 4.10. LDC101- 28VDC Steady State Grafiği

Teste dair; 28VDC gerilim değerlerinde inrush akımının test sonucu Şekil 4.11 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.11. LDC101- 28VDC Inrush Akımı Grafiği

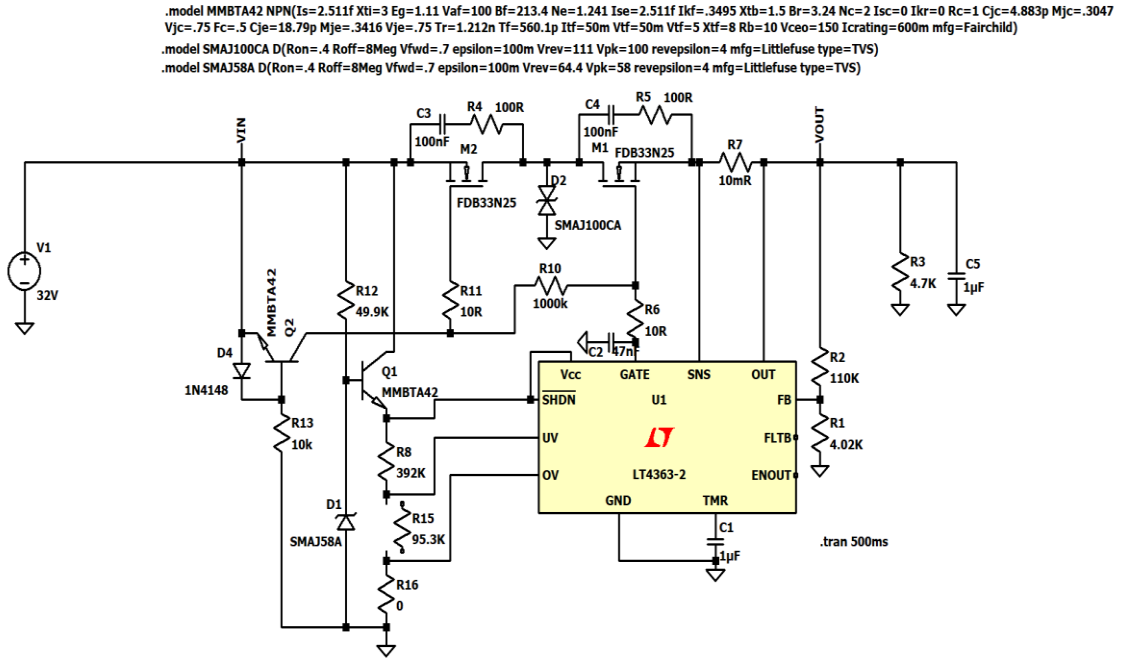
Teste dair; 28VDC gerilim değerlerinde durağan gerilim test sonucu Şekil 4.12 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.12. LDC101- 28VDC Steady State Grafiği

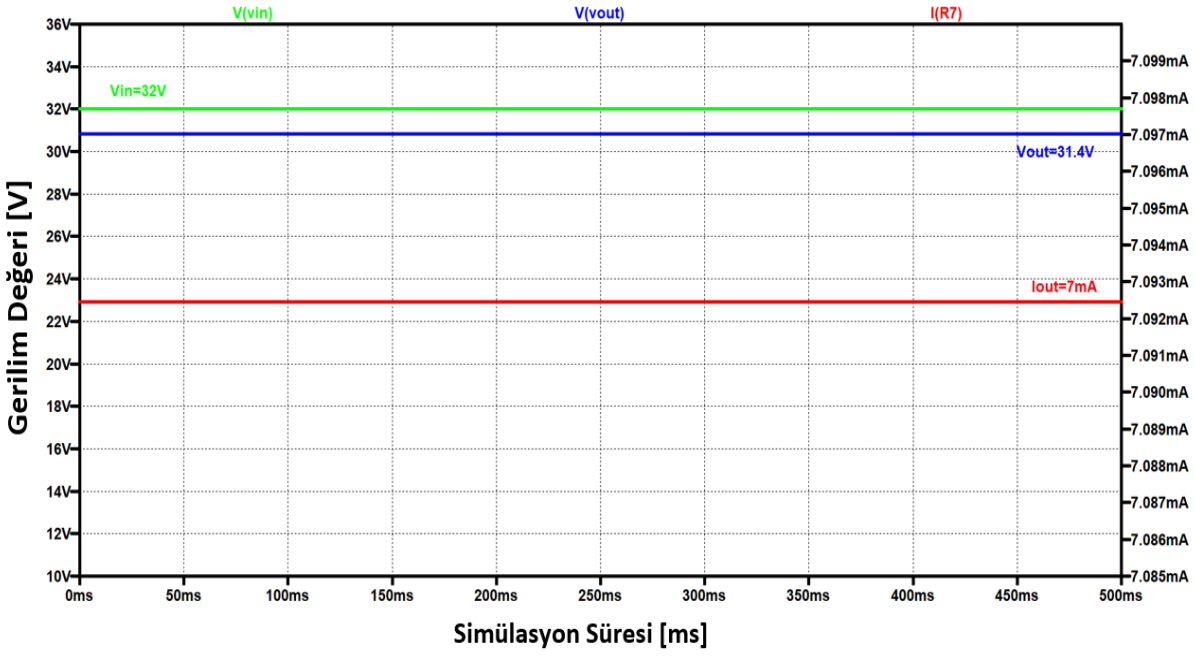
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

Teste dair; 32VDC gerilim değerlerinde simülasyon şeması Şekil 4.13 ile aşağıdaki grafikte gösterilmiştir.



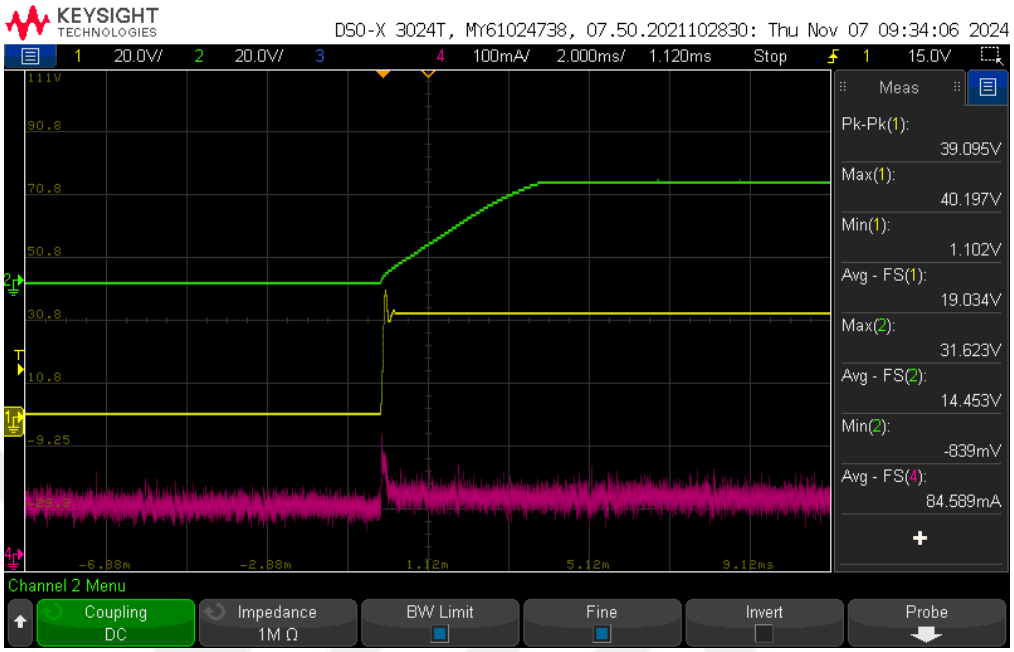
Şekil 4.13. LDC101 32V Testi Simülasyon Şematik Devresi

Teste dair; 32VDC gerilim değerlerinde simülasyon sonucu Şekil 4.14 ile aşağıdaki grafikte gösterilmiştir.



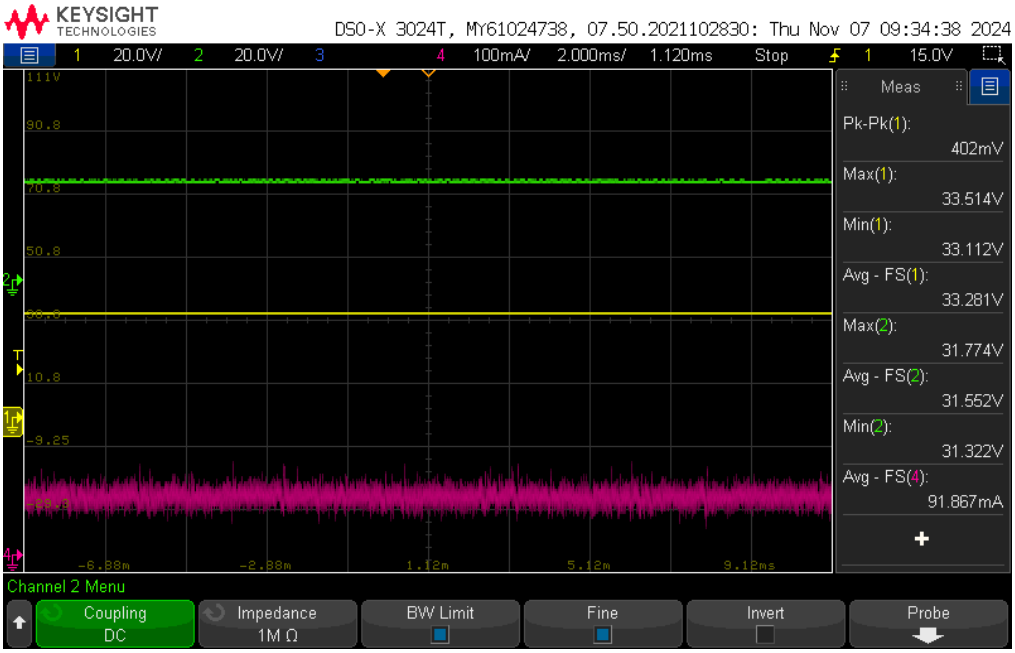
Şekil 4.14. LDC101- 32VDC Steady State Grafiği

Teste dair; 32VDC gerilim değerlerinde inrush akımının test sonucu Şekil 4.15 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.15. LDC101- 32VDC Inrush Akımı Grafiği

Teste dair; 32VDC gerilim değerlerinde durağan gerilim test sonucu Şekil 4.16 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.16. LDC101- 32VDC Steady State Grafiği

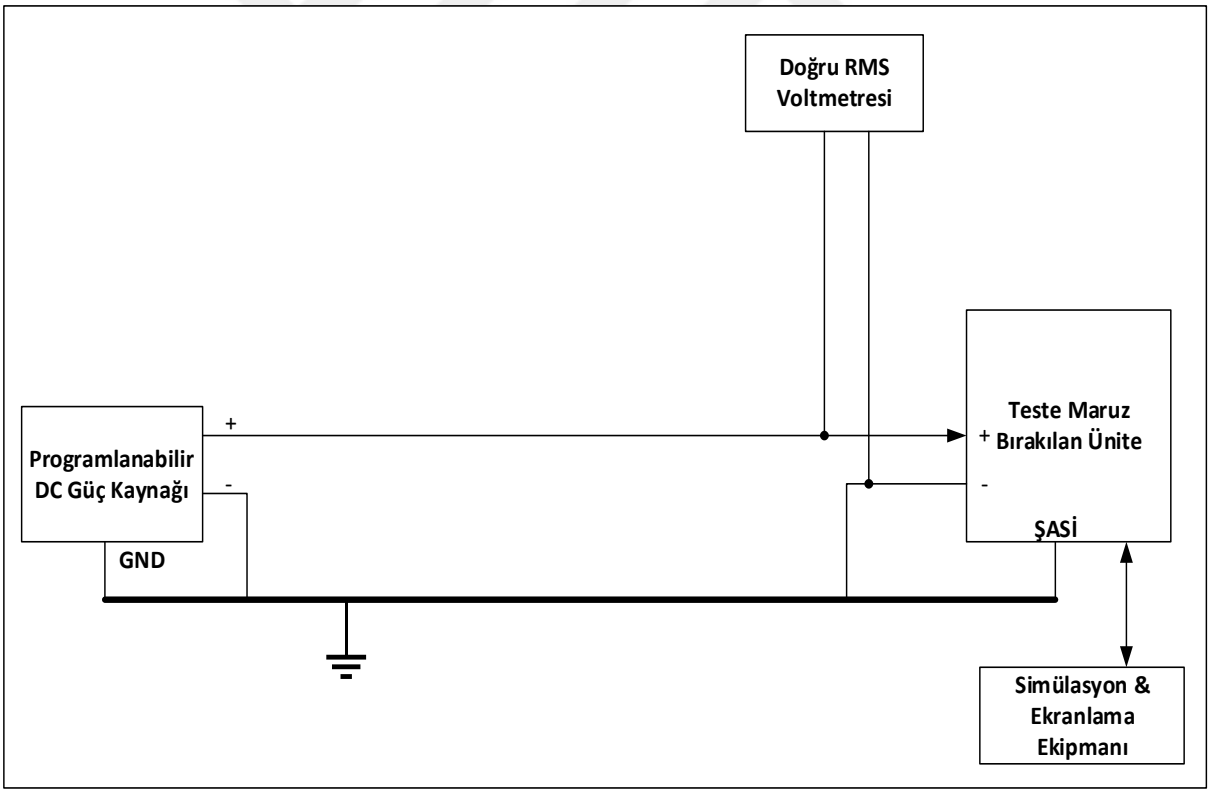
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.2. LDC102 Testi

LDC102 Gerilim Karalı Hal testinin amacı, ünitenin güç girişi MIL-STD-704F standardının belirtilen Normal Düşük Kararlı Hal Gerilimi (NLSS – Normal Low Steady State) ve Normal Yüksek Kararlı Hal Gerilimi (NHSS – Normal High Steady State) test koşullarına maruz bırakıldığı durumda belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan Normal Düşük Kararlı Hal Gerilimi (NLSS) ve Normal Yüksek Kararlı Hal Gerilimi (NHSS) ve test düzeneği aşağıdaki tablo ve şekilde verilmiştir.

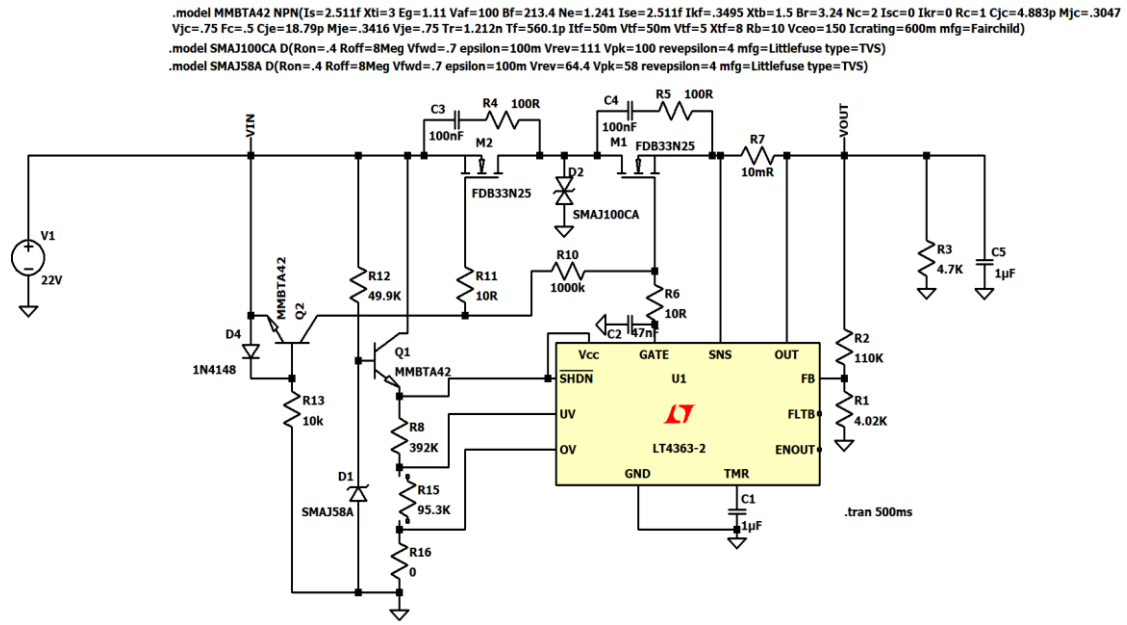
Tablo 4.1. MIL-STD-704F Kararlı Hal Gerilim Limitleri

Normal Limit	MIL-STD-704F
Voltage NLSS	22 VDC
Voltage NHSS	29 VDC



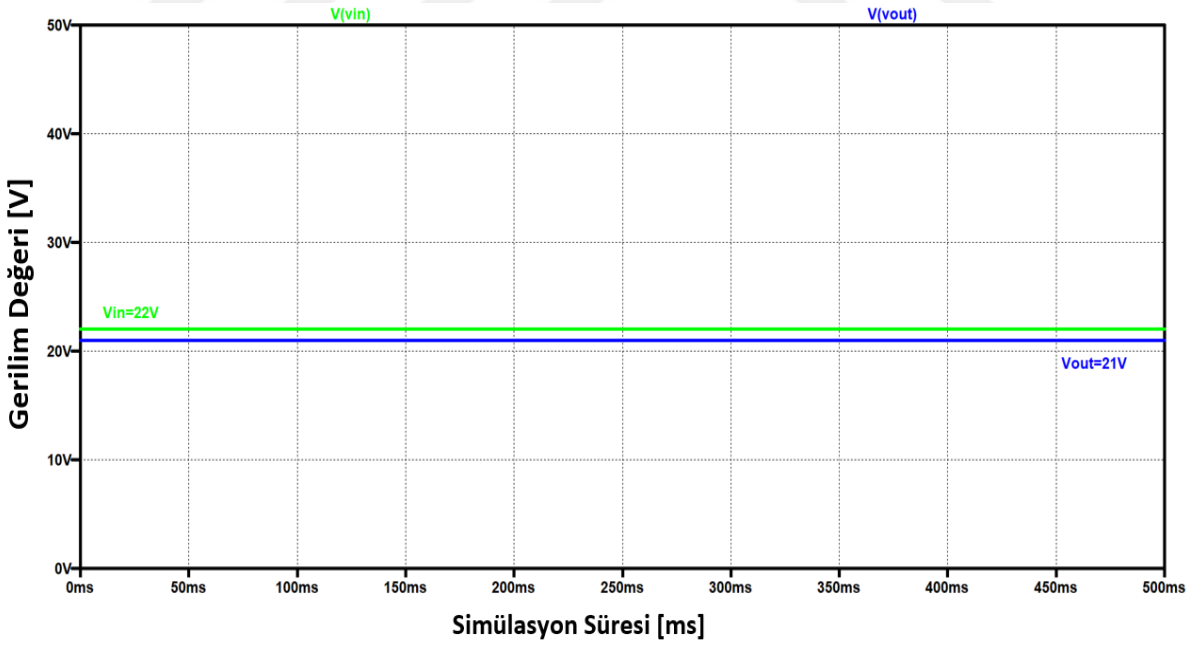
Şekil 4.17. LDC102 Test Düzeneği Şeması

Devrenin LDC102 test düzeneği şeması aşağıdaki Şekil 4.17 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC102-NLSS devre simülasyon şematiği aşağıdaki Şekil 4.18 ile verilmiştir.



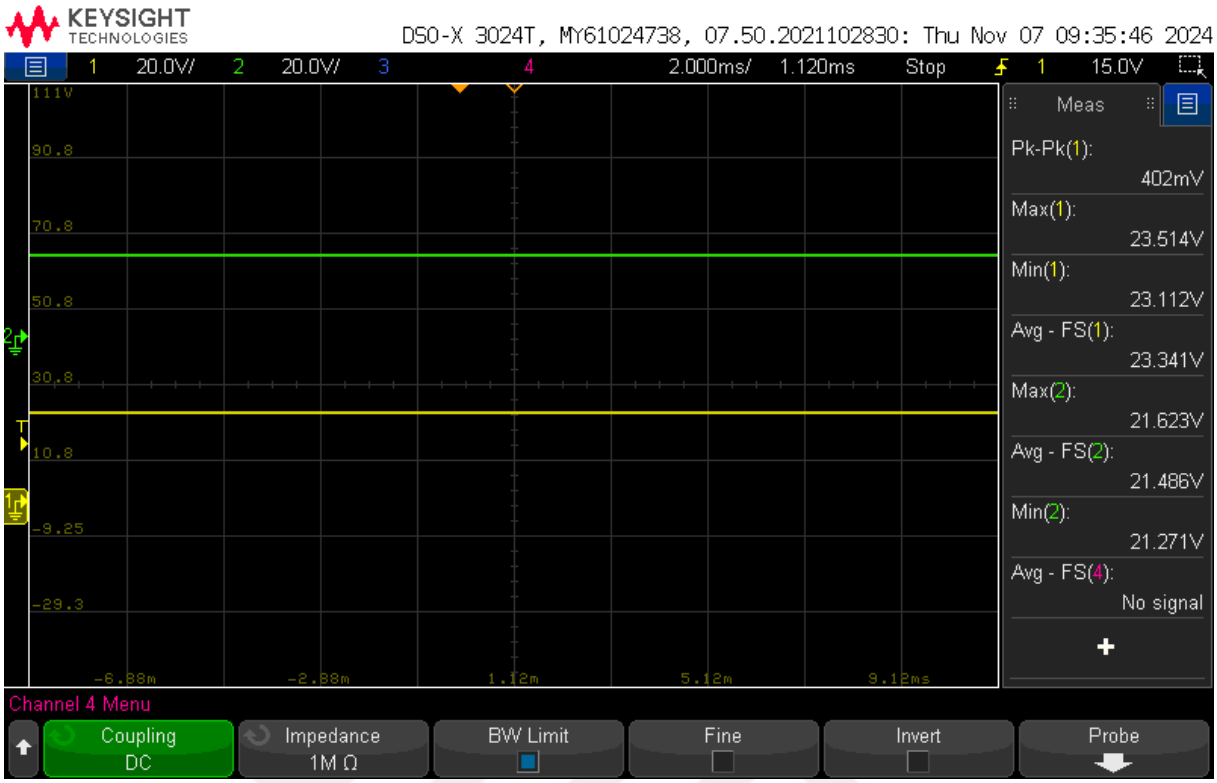
Şekil 4.18. LDC102 NLSS Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC102-NLSS devre devre simülasyon grafiği aşağıdaki Şekil 4.19 ile verilmiştir.



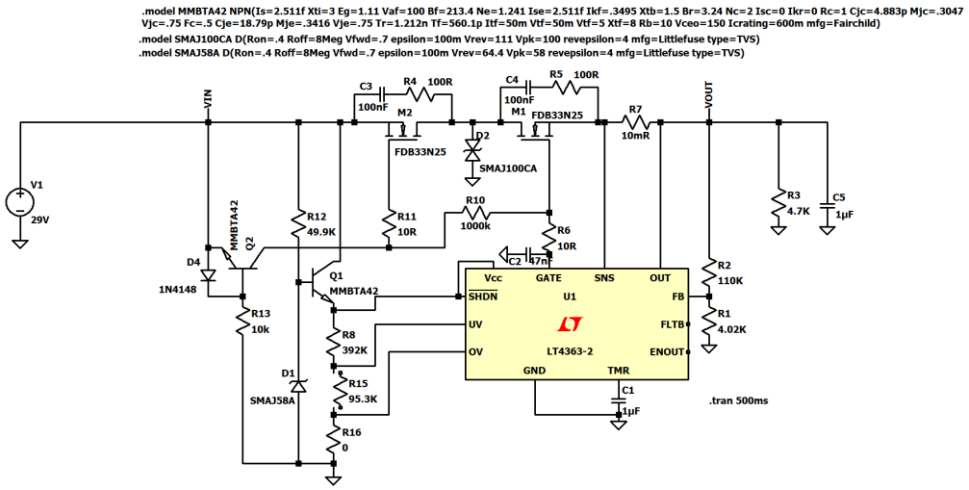
Şekil 4.19. LDC102 NLSS Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.20 ile aşağıdaki grafikte gösterilmiştir.



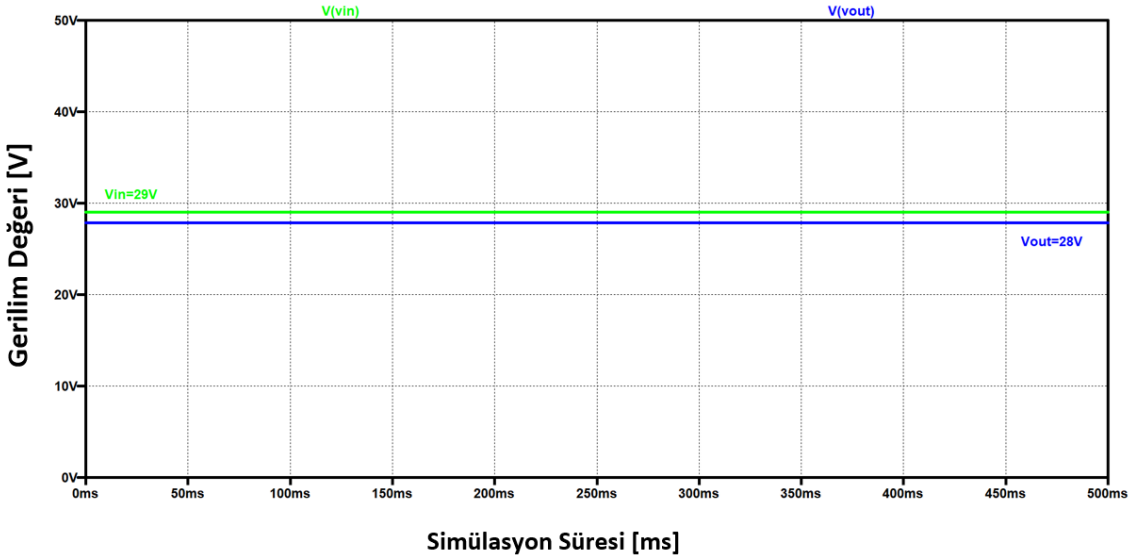
Şekil 4.20. LDC102 NLSS Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC102-NHSS devre simülasyon şematiği aşağıdaki Şekil 4.21 ile verilmiştir.



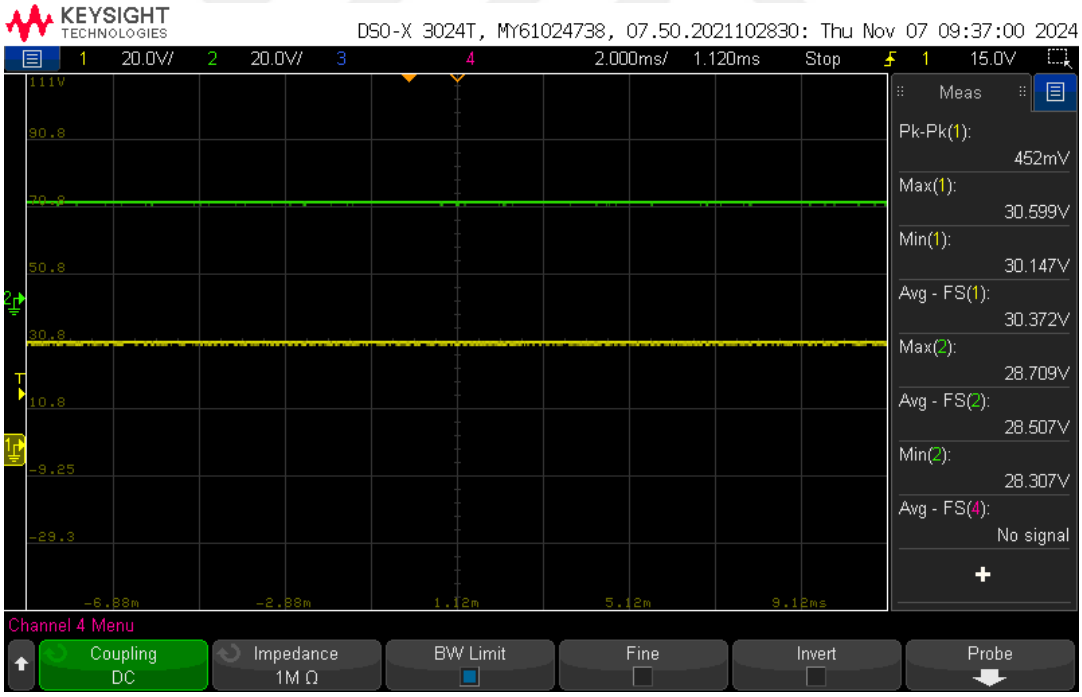
Şekil 4.21. LDC102 NHSS Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC102-NHSS devre devre simülasyon grafiği aşağıdaki Şekil 4.22 ile verilmiştir.



Şekil 4.22. LDC102 NHSS Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.23 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.23. LDC102 NHSS Testi Grafiği

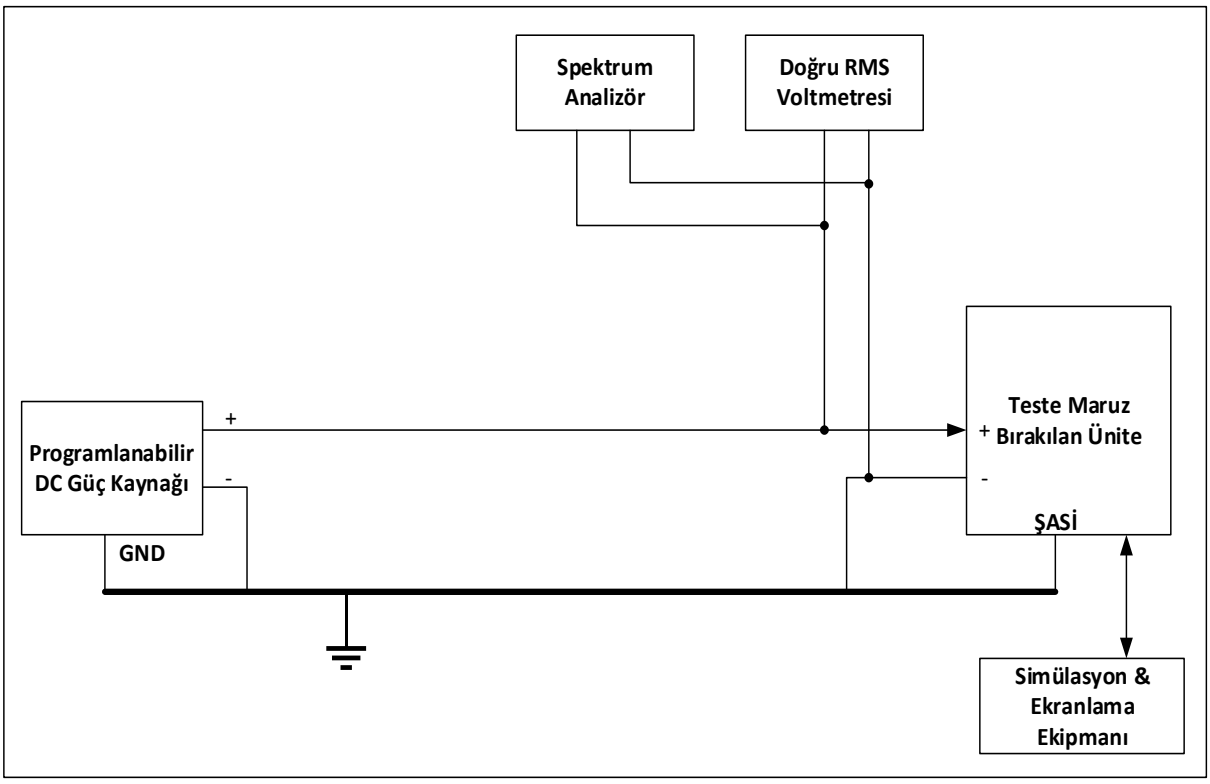
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.3. LDC103 Testi

LDC103 Gerilim Bozunum Tayfı testinin amacı; ünitenin güç girişinin, MIL-STD-704F standardının belirtilen farklı frekanslarda dalgalanan bir gerilime maruz bıraktığı durumda belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan farklı frekanslarda dalgalanan gerilim değerleri aşağıdaki tabloda gösterilmiştir.

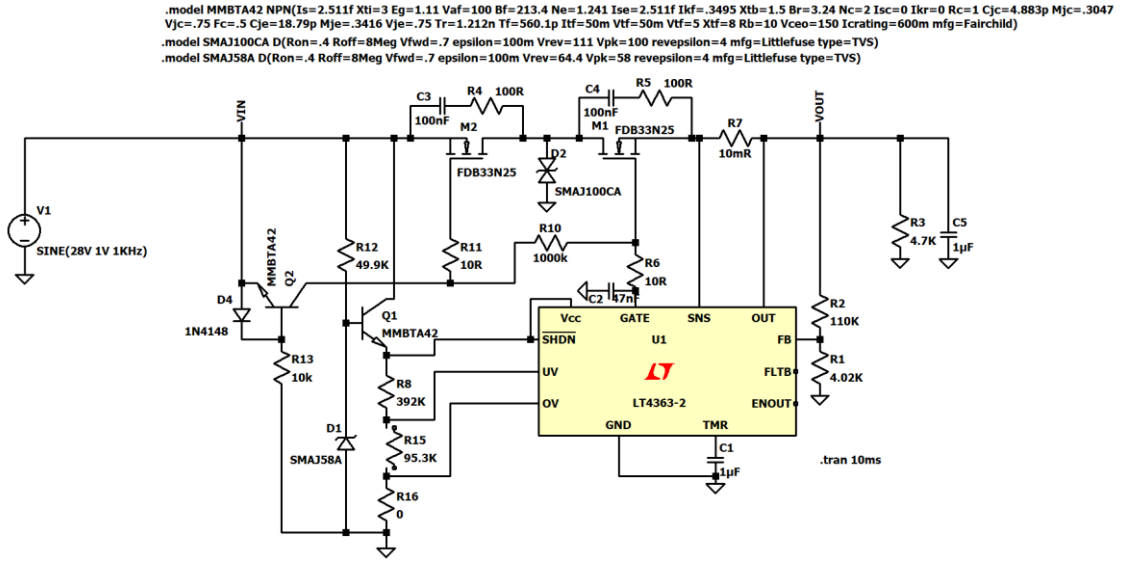
Tablo 4.2. MIL-STD-704F Gerilim Bozunum Limitleri

Test Durumu	Gerilim Distorsiyon Frekansı	MIL-STD-704F Distorsiyon Gerilimi (Vrms)
A	10 Hz	0.100 Vrms
B	25 Hz	0.158 Vrms
C	50 Hz	0.223 Vrms
D	60 Hz	0.245 Vrms
E	250 Hz	0.500 Vrms
F	**1 kHz**	**1.000 Vrms**
G	1.7 kHz	1.000 Vrms
H	2 kHz	1.000 Vrms
I	5 kHz	1.000 Vrms
J	6.5 kHz	0.707 Vrms
K	**10 kHz**	**0.500 Vrms**



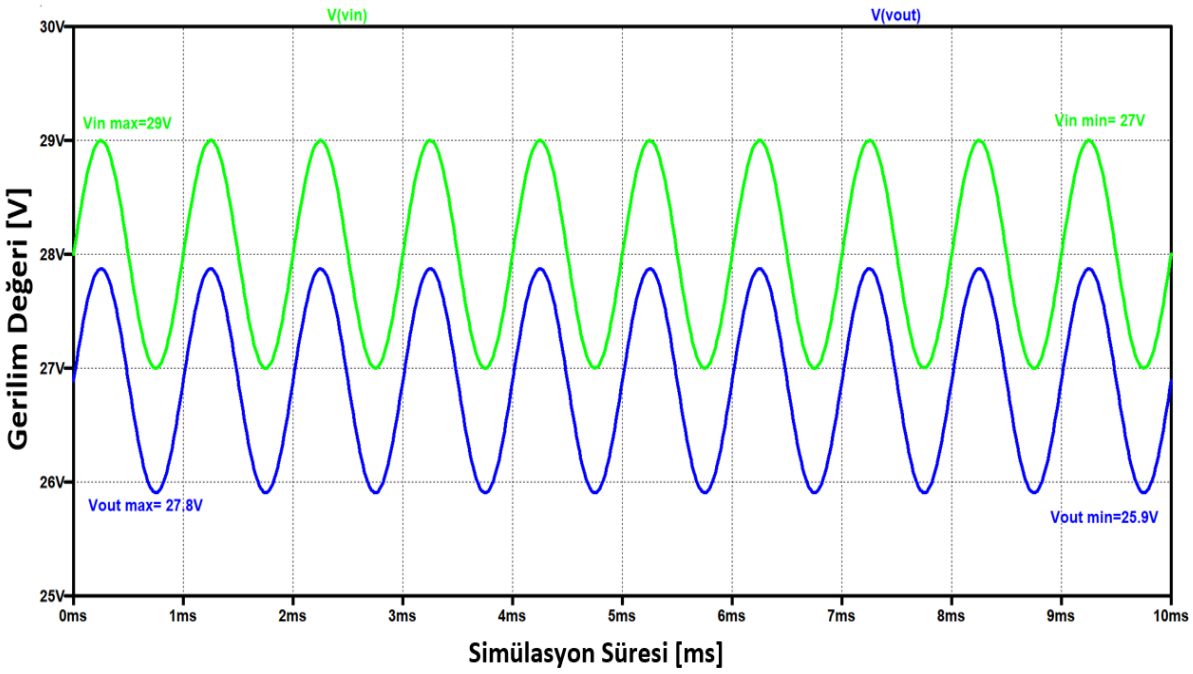
Şekil 4.24. LDC103 Test Düzeneği Şeması

Devrenin LDC103 test düzeneği şeması aşağıdaki Şekil 4.24 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC103-F devre simülasyon şematiği aşağıdaki Şekil 4.25 ile verilmiştir.



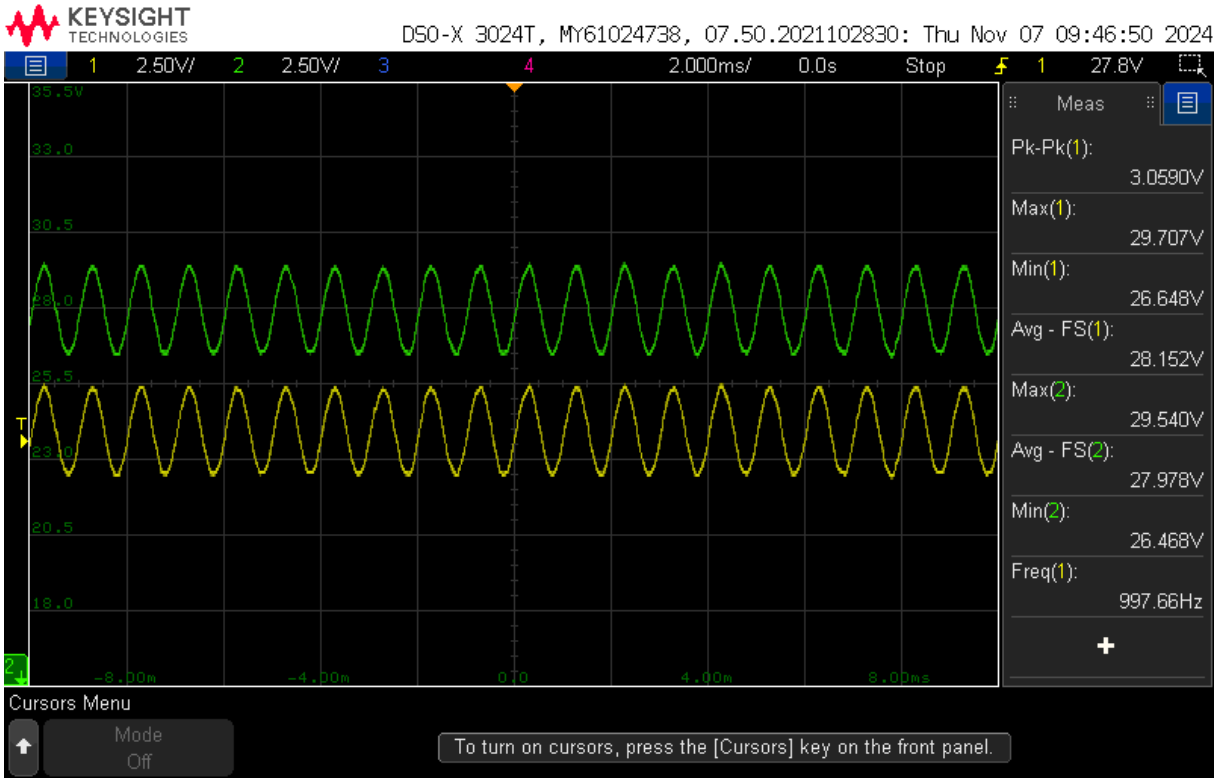
Şekil 4.25. LDC103 F Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC103-F devre devre simülasyon grafiği aşağıdaki Şekil 4.26 ile verilmiştir.



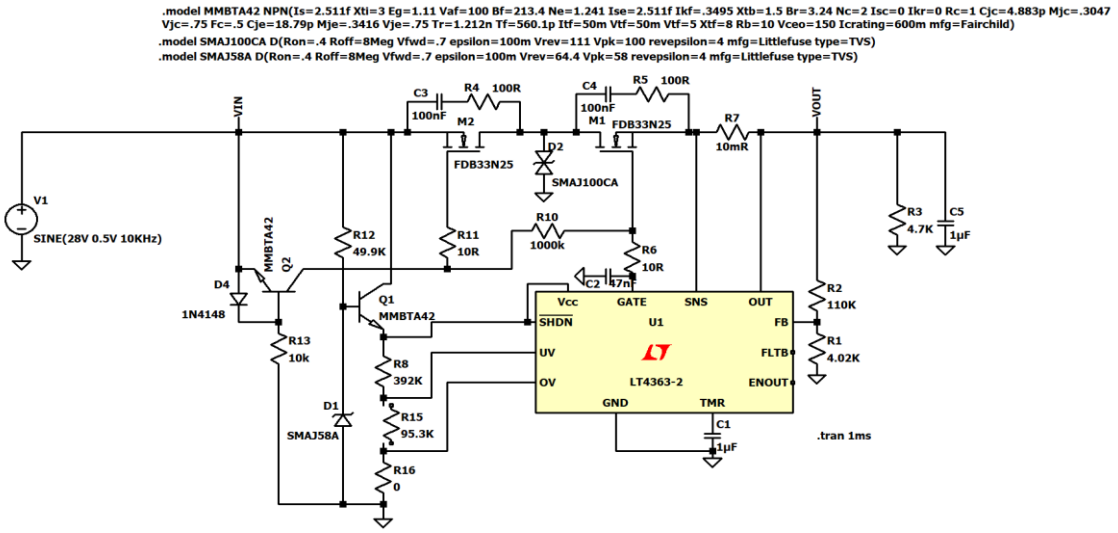
Şekil 4.26. LDC103 F Testi Simülasyon Grafiği

Üniteye uygulanan LDC103 test durumu K sonucunda Vrms gerilim grafikleri ve ünite sonuç grafikleri aşağıdaki test grafiklerinde verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.27 ile aşağıdaki grafikte gösterilmiştir.



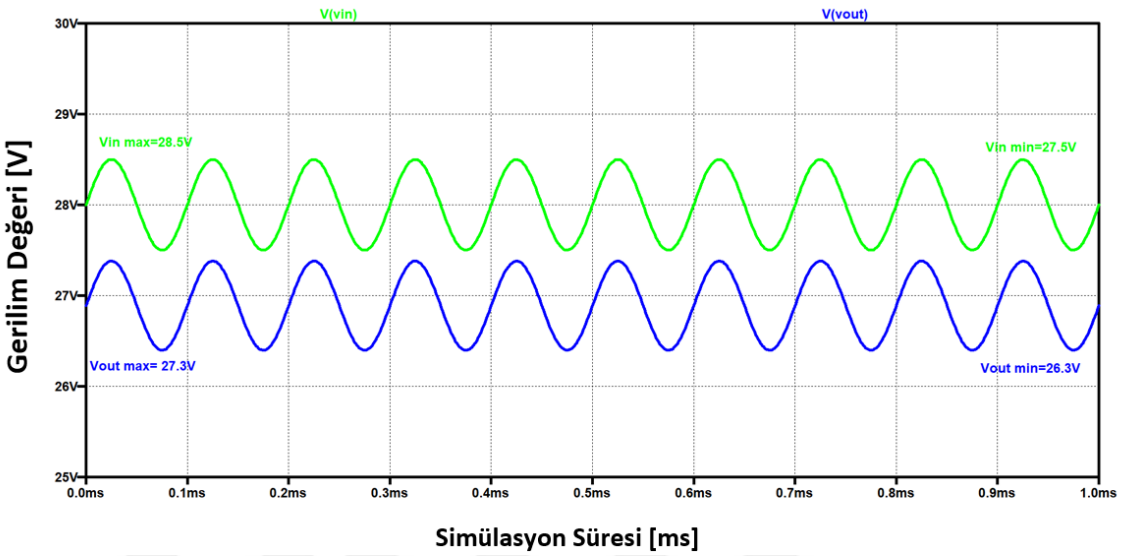
Şekil 4.27. LDC103-F Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC103-K devre simülasyon şematiği aşağıdaki Şekil 4.28 ile verilmiştir.



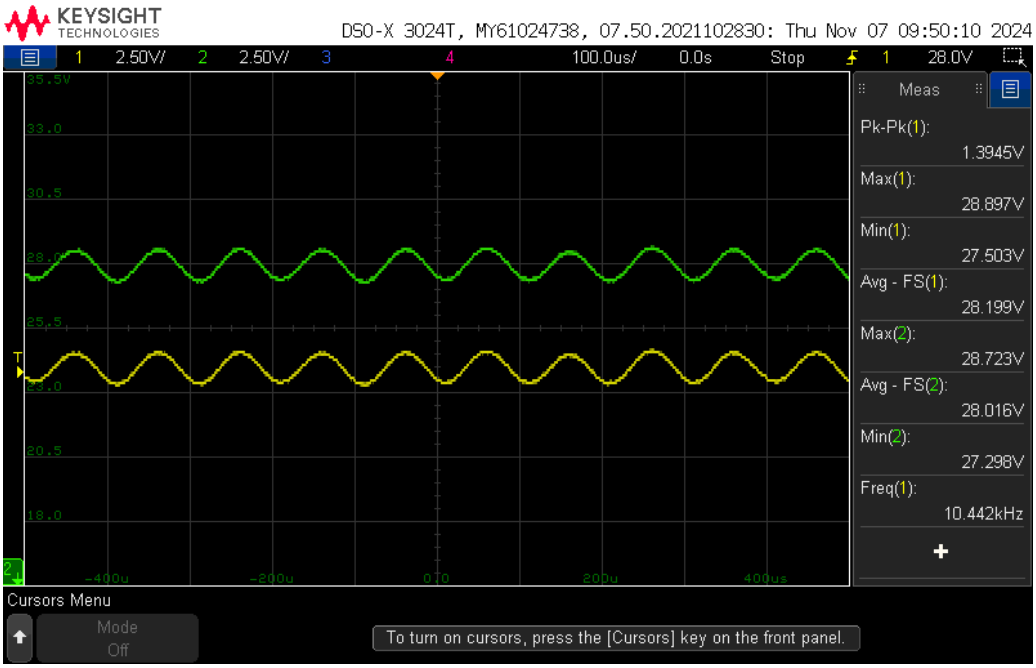
Şekil 4.28. LDC103 K Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC103-K devre devre simülasyon grafiği aşağıdaki Şekil 4.29 ile verilmiştir.



Şekil 4.29. LDC103 K Testi Simülasyon Grafiği

Üniteye uygulanan LDC103 test durumu K sonucunda Vrms gerilim grafikleri ve ünite sonuç grafikleri aşağıdaki test grafiklerinde verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.30 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.30. LDC103-K Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

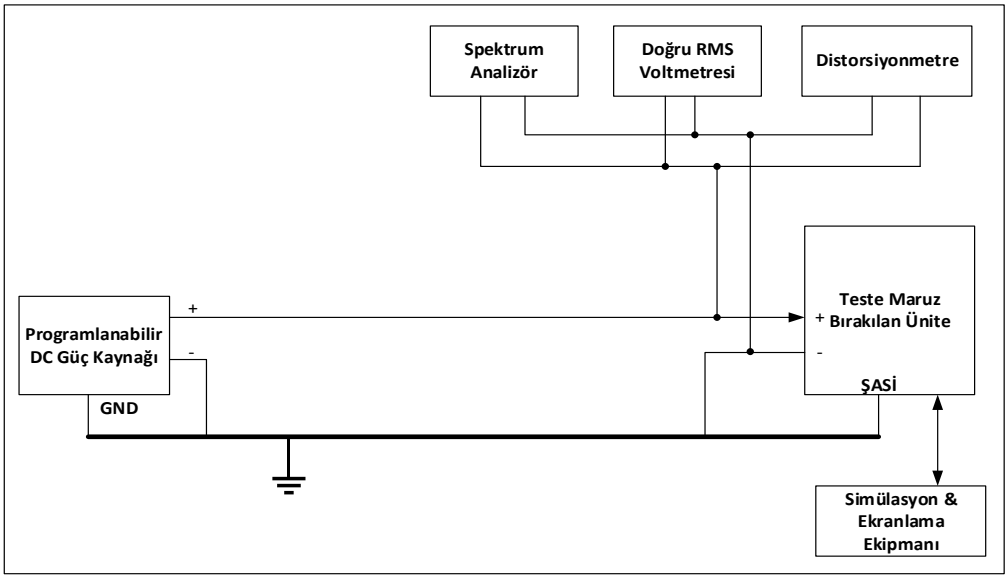
4.2.4. LDC104 Testi

LDC104 Gerilim Dalgalanma testinin amacı; ünitenin güç girişinin, MIL-STD-704F standardının belirtilen dalgalanma ve frekans olarak bozulma test koşullarına maruz bıraktığı durumda belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan farklı frekanslarda dalgalanan gerilim değerleri aşağıdaki tabloda gösterilmiştir.

Tablo 4.3. MIL-STD-704F Gerilim Dalgalanma Limitleri

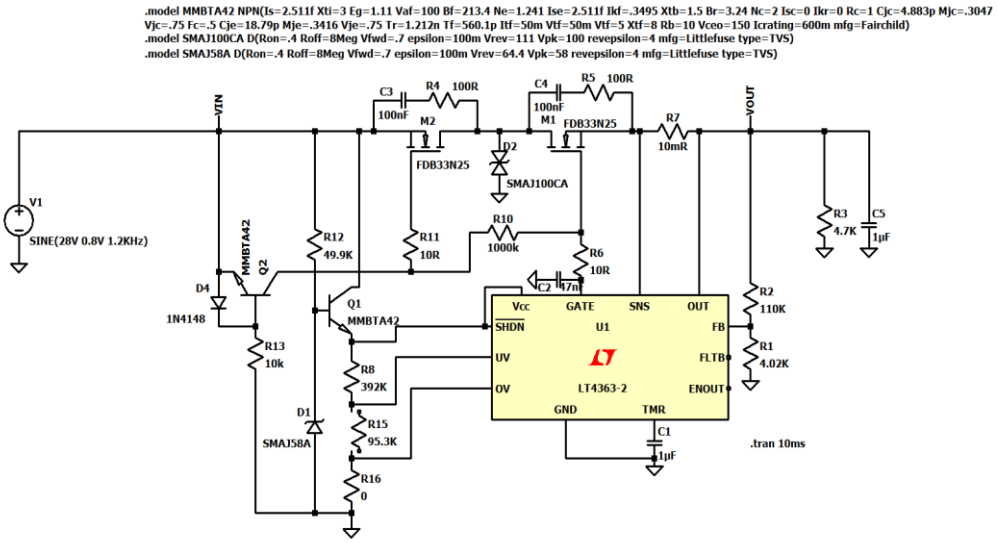
Test Durumu	Gerilim Distorsiyon Frekansı	MIL-STD-704F Distorsiyon Gerilimi (Vrms)
A	1200 Hz	0.80 Vrms
	2400 Hz	0.16 Vrms
	3600 Hz	0.26 Vrms
	4800 Hz	0.08 Vrms
	6000 Hz	0.13 Vrms
	7200 Hz	0.04 Vrms
	8400 Hz	0.06 Vrms
B	2400 Hz	0.80 Vrms
	4800 Hz	0.16 Vrms
	7200 Hz	0.26 Vrms
	9600 Hz	0.08 Vrms
	12000 Hz	0.13 Vrms
	14400 Hz	0.04 Vrms
	16800 Hz	0.06 Vrms

Ünitede uygulanan LDC104 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Ünitenin test düzeneği şeması aşağıdaki Şekil 4.31 verilmiştir.



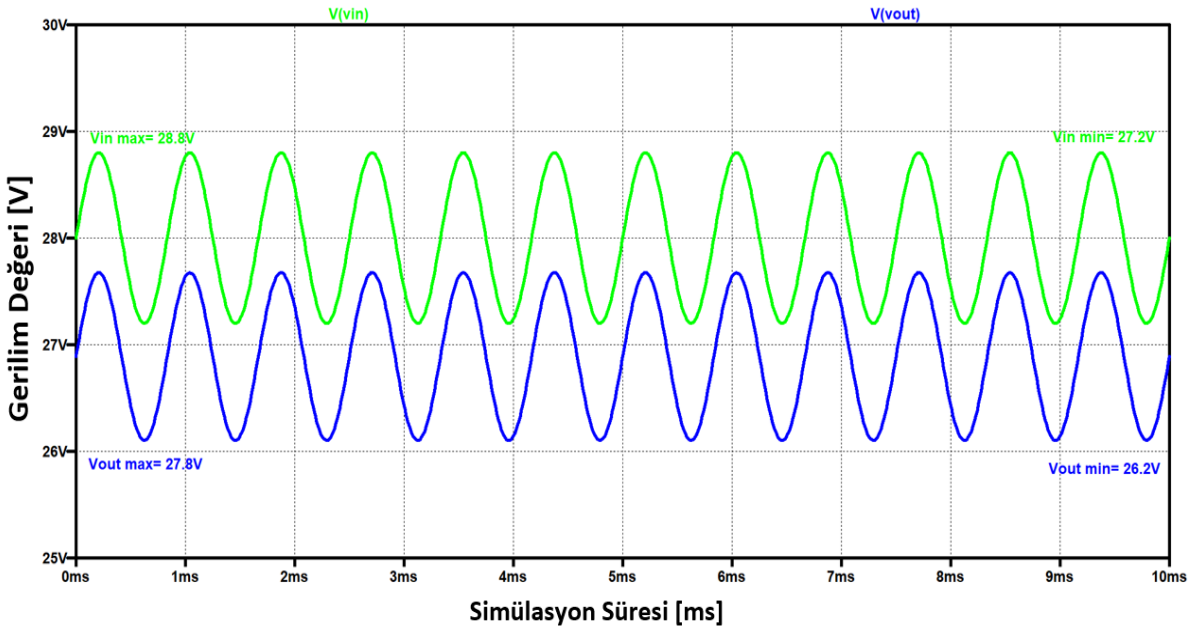
Şekil 4.31. LDC104 Test Düzeneği Şeması

LTSpice programı kullanılarak hazırlanan LDC104-A-1 devre simülasyon şematiği aşağıdaki Şekil 4.32 ile verilmiştir.



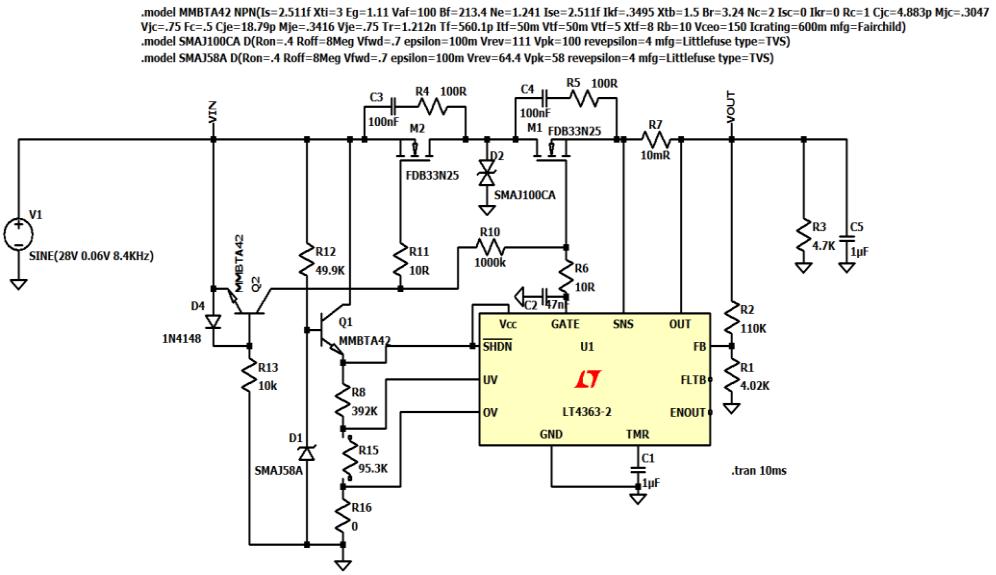
Şekil 4.32. LDC104 A-1 Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC104-A-1 devre devre simülasyon grafiği aşağıdaki Şekil 4.33 ile verilmiştir.



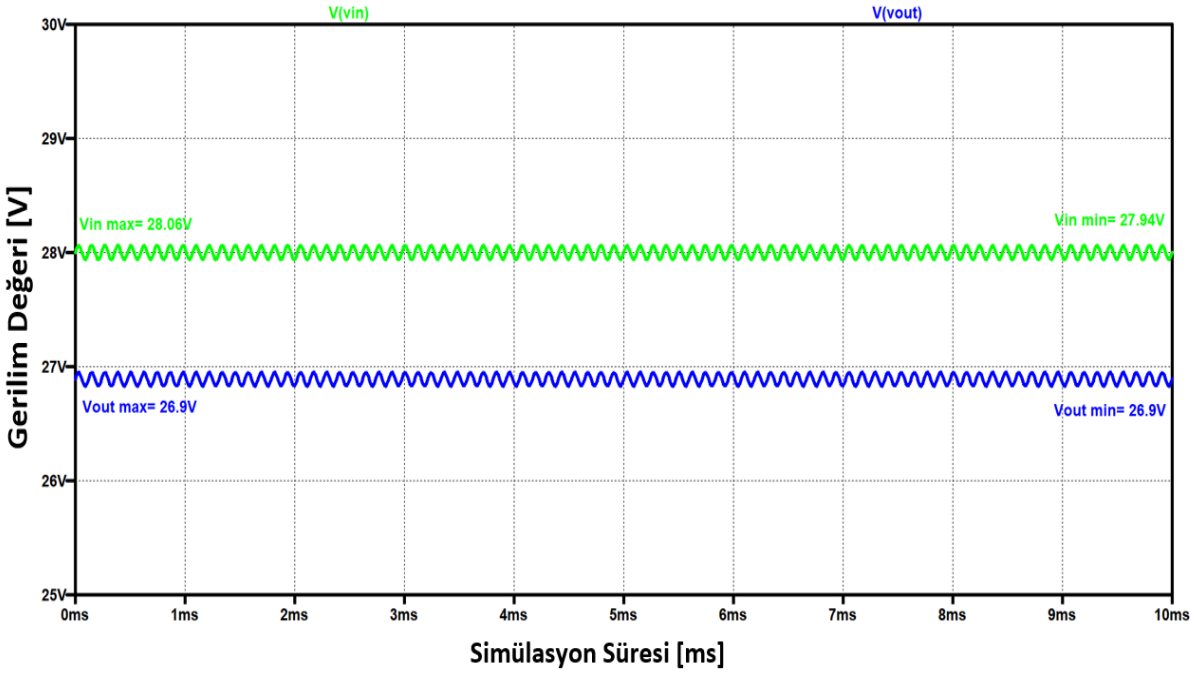
Şekil 4.33. LDC104 A-1 Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. LTSpice programı kullanılarak hazırlanan LDC104-A-7 devre simülasyon şematiği aşağıdaki Şekil 4.34 ile verilmiştir.



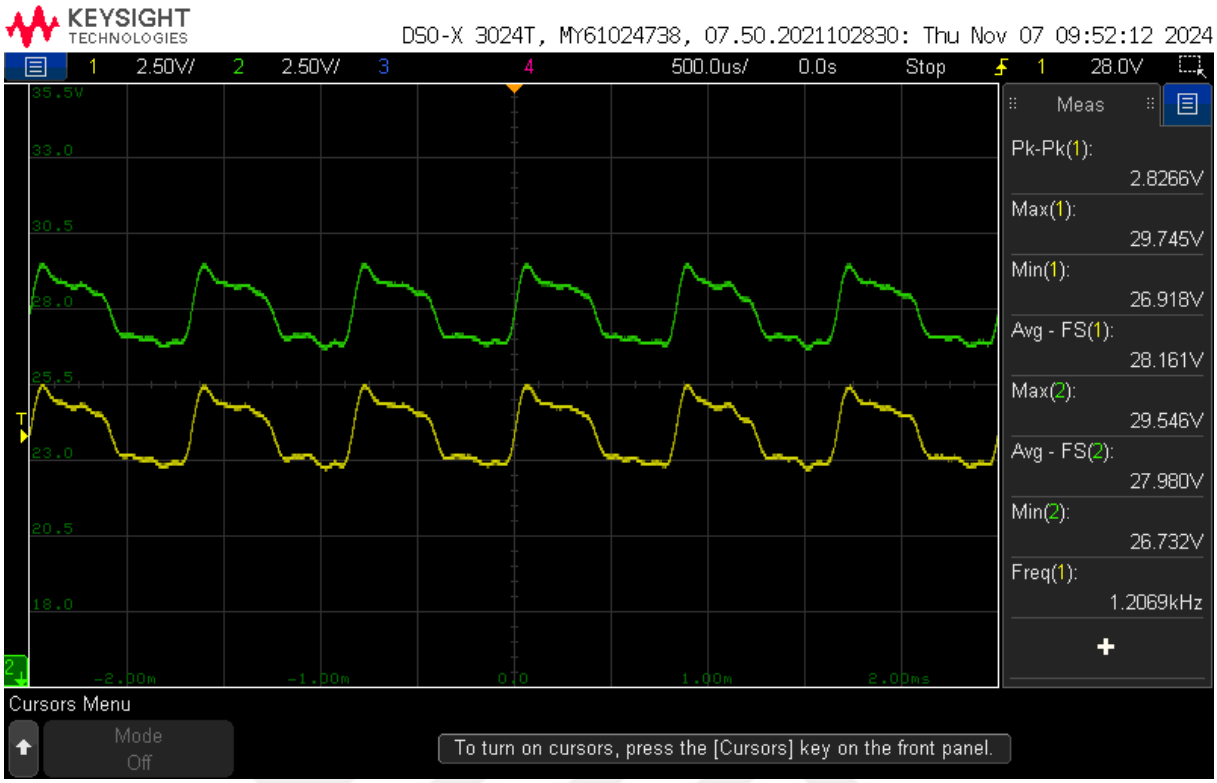
Şekil 4.34. LDC104 A-7 Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC104-A-7 devre devre simülasyon grafiği aşağıdaki Şekil 4.35 ile verilmiştir.



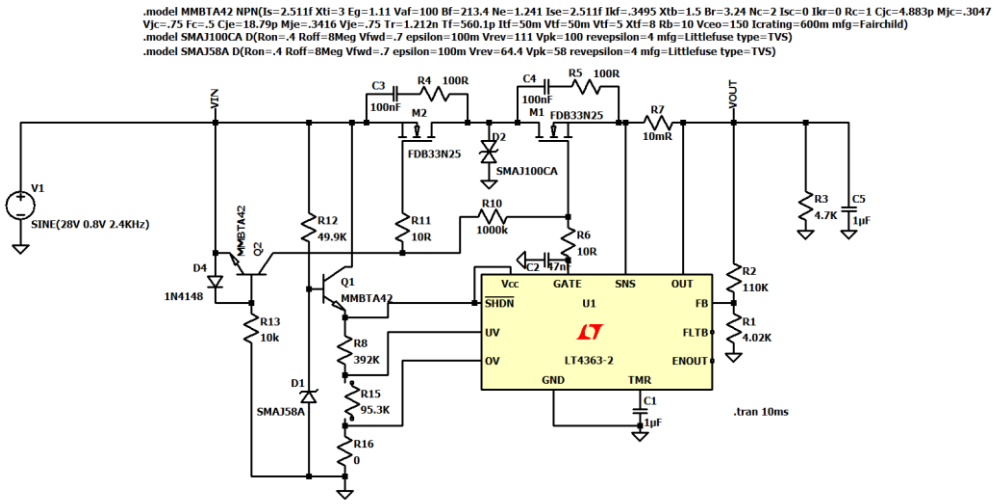
Şekil 4.35. LDC104 A-7 Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.36 ile aşağıdaki grafikte gösterilmiştir.



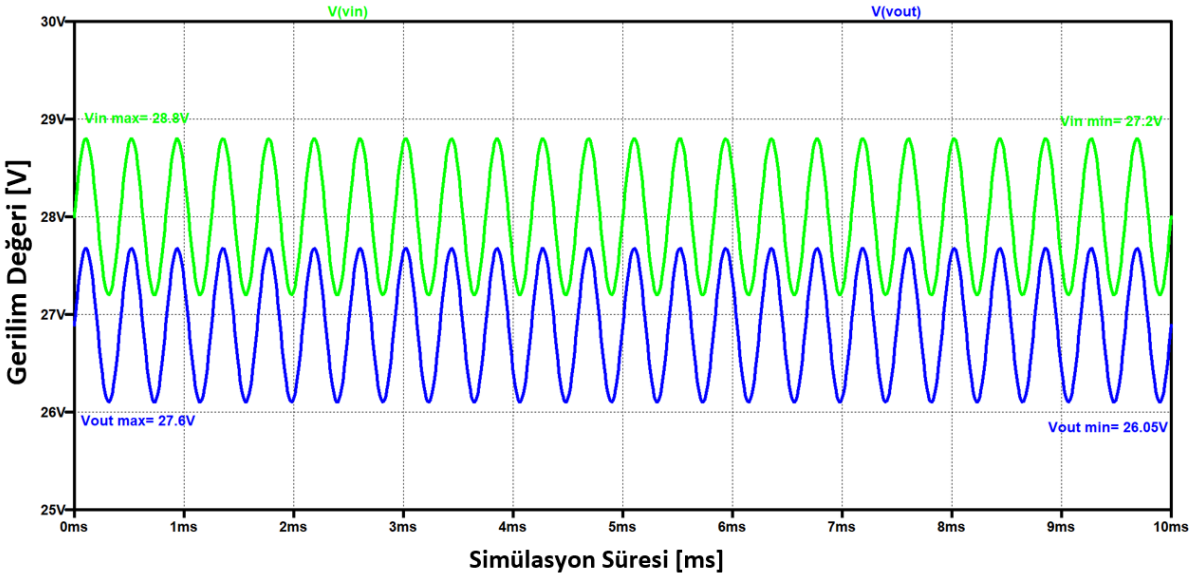
Şekil 4.36. LDC104-A Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC104-B-1 devre simülasyon şematiği aşağıdaki Şekil 4.37 ile verilmiştir.



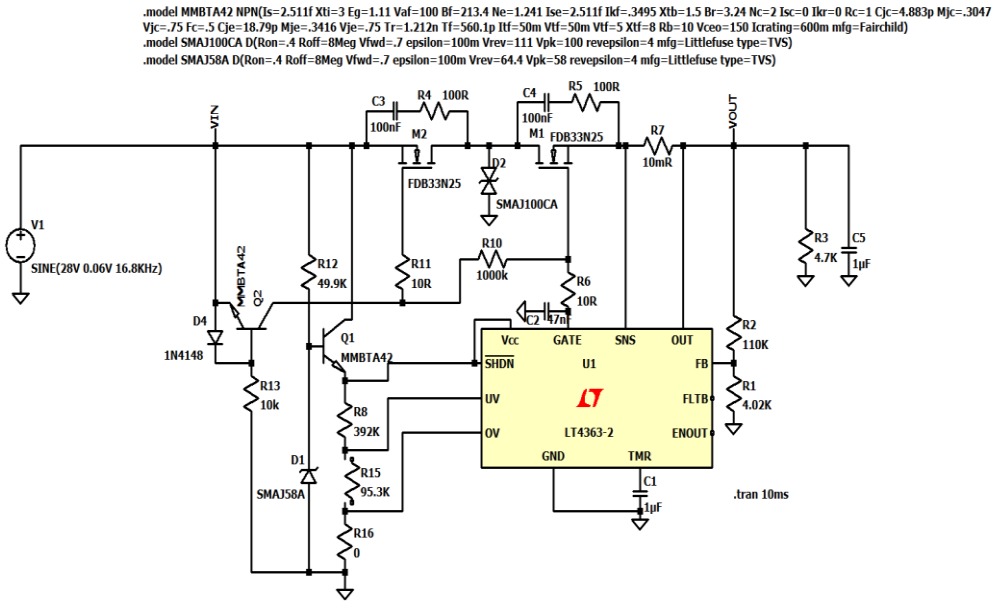
Şekil 4.37. LDC104 B-1 Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC104-B-1 devre devre simülasyon grafiği aşağıdaki Şekil 4.38 ile verilmiştir.



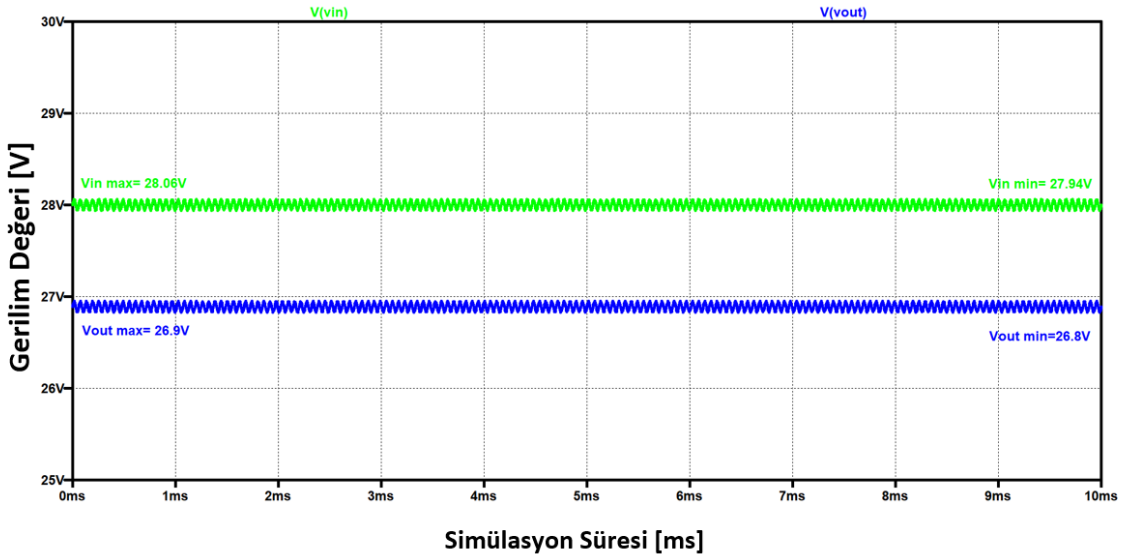
Şekil 4.38. LDC104 B-1 Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. LTSpice programı kullanılarak hazırlanan LDC104-B-7 devre simülasyon şematiği aşağıdaki Şekil 4.39 ile verilmiştir.



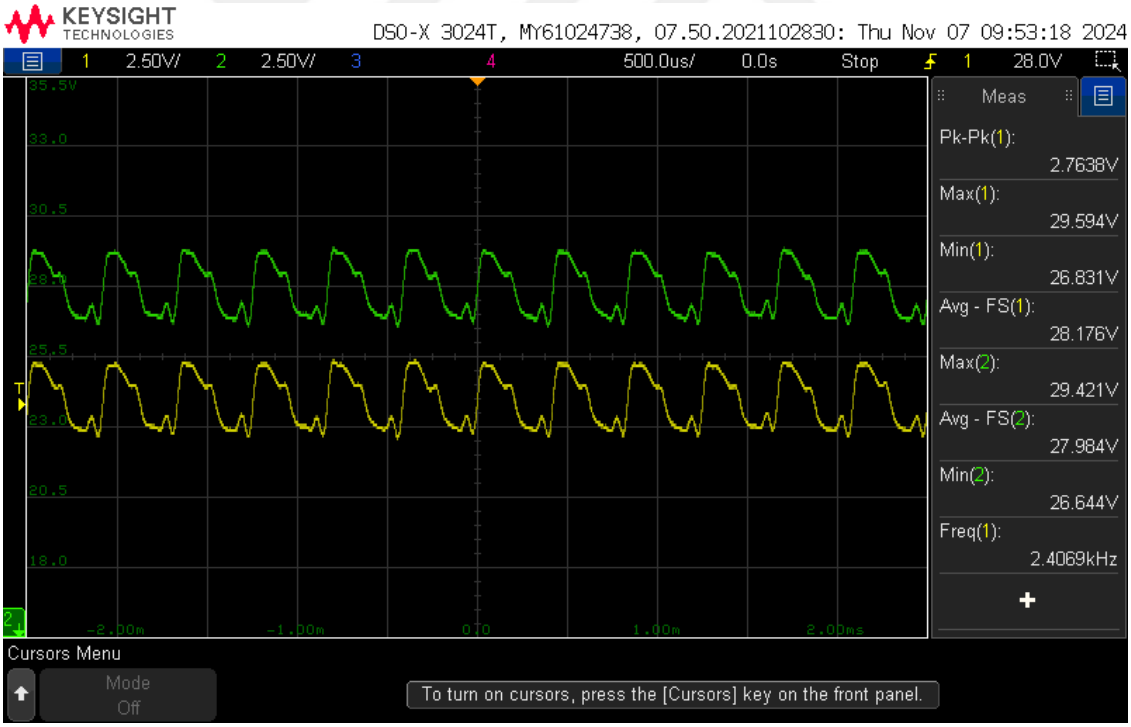
Şekil 4.39. LDC104 B-7 Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC104-B-7 devre devre simülasyon grafiği aşağıdaki Şekil 4.40 ile verilmiştir.



Şekil 4.40. LDC104 B-7 Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.41 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.41. LDC104-B Testi Grafiği

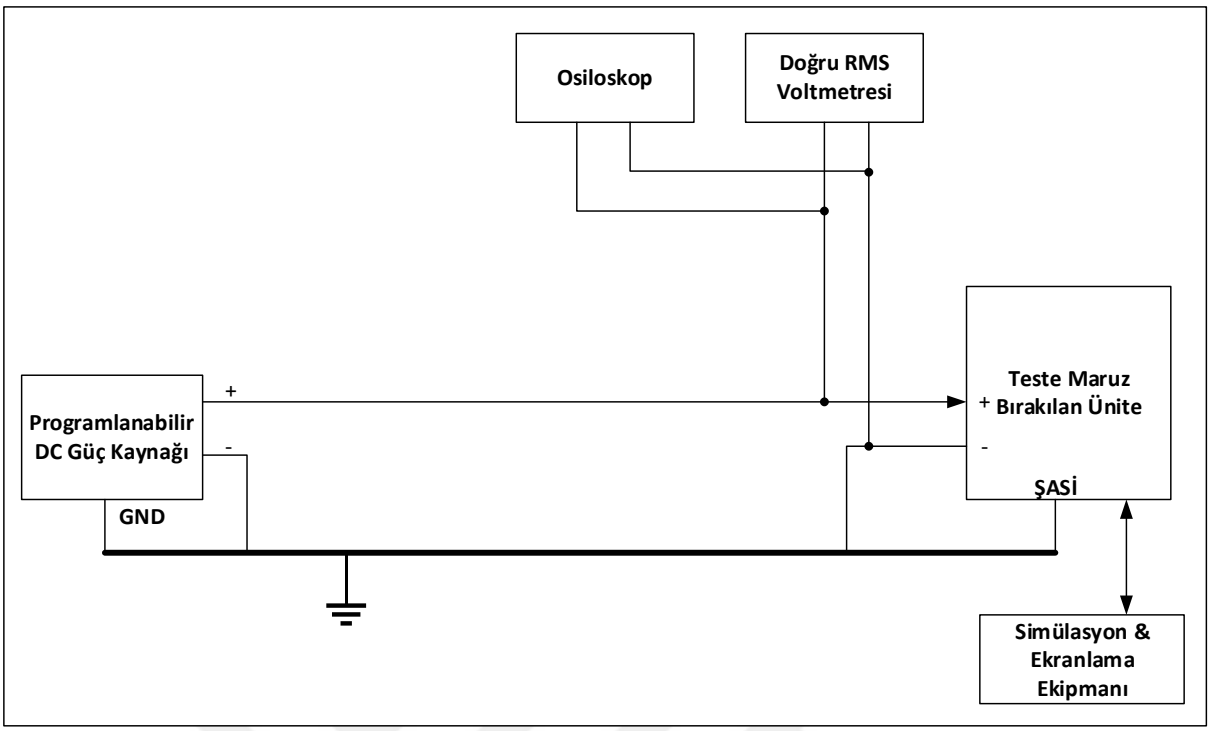
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.5. LDC105 Testi

LDC105 Gerilim Geçiş testinin amacı, ünitenin güç girişi MIL-STD-704F standardının gerilim geçici halleri test koşullarına maruz kaldığı durumda belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda verilmiştir.

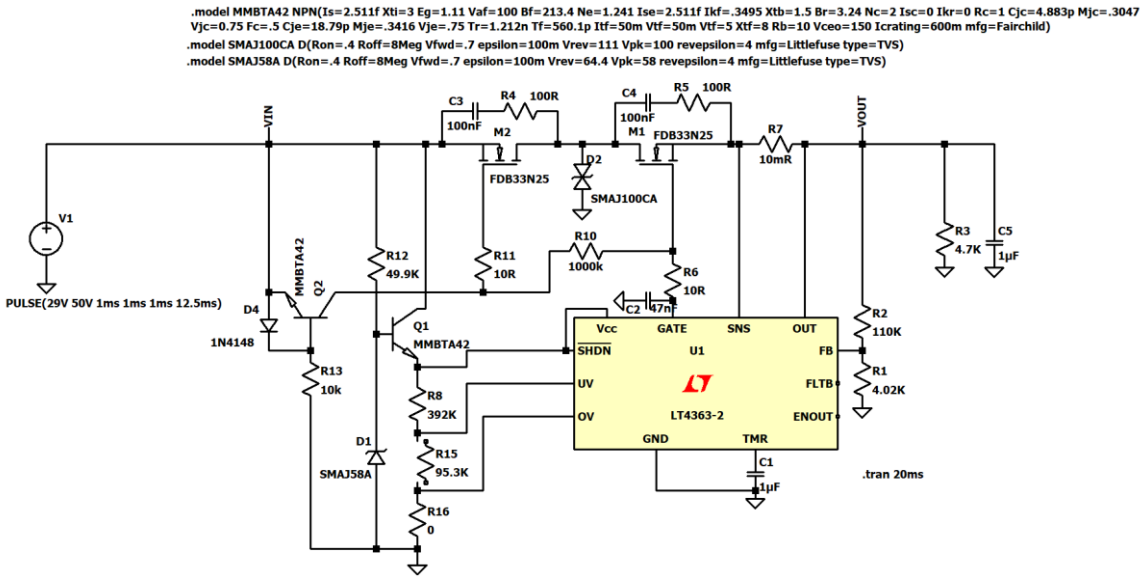
Tablo 4.4. MIL-STD-704F Gerilim Geçiş Limitleri

Test Durumu	Kararlı Hal Gerilimi	Kararlı Hal Geriliminden Transient Gerilimine Geçiş Süresi	Transient Gerilim Limiti	Transient Geriliminde Bekleme Süresi	Transient Geriliminden Kararlı Hal Gerilimine Geçiş Süresi
Yüksek Gerilim Transient Uygulaması					
AA	**29 VDC**	**<1 msec**	**50 VDC**	**12.5 msec**	**<1 msec**
BB	**29 VDC**	**<1 msec**	**50 VDC**	**12.5 msec**	**70 msec**
CC	**29 VDC**	**<1 msec**	**40 VDC**	**45 msec**	**<1 msec**
DD	**29 VDC**	**<1 msec**	**40 VDC**	**45 msec**	**37.5 msec**
EE	**29 VDC**	**<1 msec**	**50 VDC (3 tms)**	**10 msec (Every 0.5 msec)**	**<1 msec**
FF	**22 VDC**	**<1 msec**	**50 VDC**	**12.5 msec**	**<1 msec**
GG	**22 VDC**	**<1 msec**	**50 VDC**	**12.5 msec**	**95 msec**
HH	**22 VDC**	**<1 msec**	**40 VDC**	**45 msec**	**<1 msec**
II	**22 VDC**	**<1 msec**	**40 VDC**	**45 msec**	**62.5 msec**
JJ	**22 VDC**	**<1 msec**	**50 VDC (3 tms)**	**10 msec (Every 0.5 msec)**	**<1 msec**
Düşük Gerilim Transient Uygulaması					
KK	29 VDC	<1 msec	18 VDC	15 msec	<1 msec
LL	29 VDC	<1 msec	18 VDC	15 msec	234 msec
MM	29 VDC	<1 msec	18 VDC (3 tms)	10 msec (Every 0.5 msec)	<1 msec
NN	22 VDC	<1 msec	18 VDC	15 msec	<1 msec
OO	22 VDC	<1 msec	18 VDC	15 msec	85 msec
PP	22 VDC	<1 msec	18 VDC (3 tms)	10 msec (Every 0.5 msec)	<1 msec
Karışık Transient Gerilim Uygulaması					
QQ	29 VDC Sonra	<1 msec <1 msec	18 VDC 50 VDC	10 msec 12.5 msec	<1 msec 70 msec
RR	22 VDC Sonra	<1 msec <1 msec	18 VDC 50 VDC	10 msec 12.5 msec	<1 msec 62.5 msec



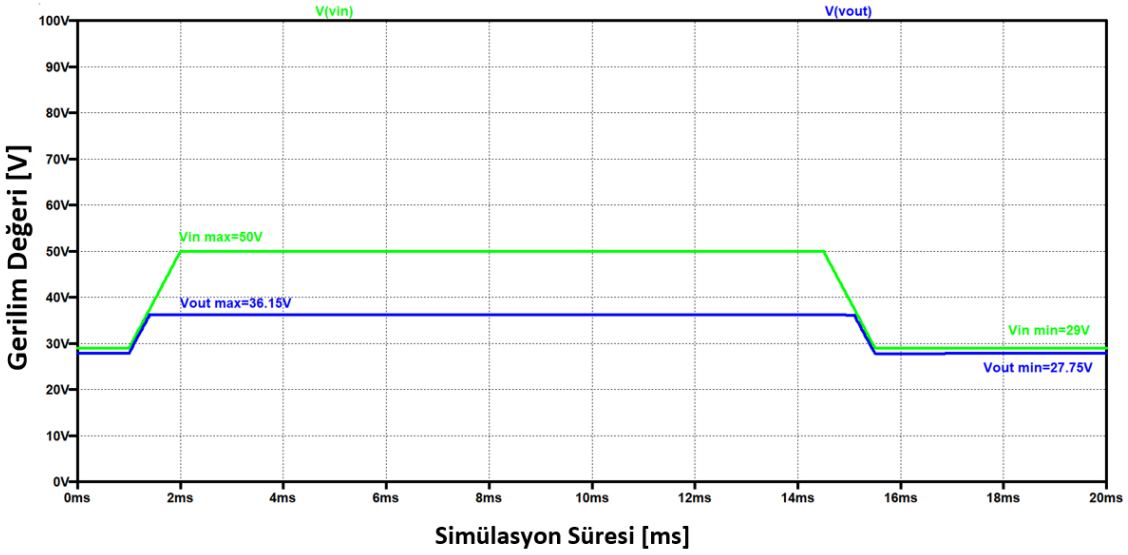
Şekil 4.42. LDC105 Test Düzeneği Şeması

Ünite için testte kullanılan düzeneğin şeması aşağıdaki Şekil 4.42 verilmiştir. LTSpice programı kullanılarak hazırlanan LDC105-AA devre simülasyon şematiği aşağıdaki Şekil 4.43 ile verilmiştir.



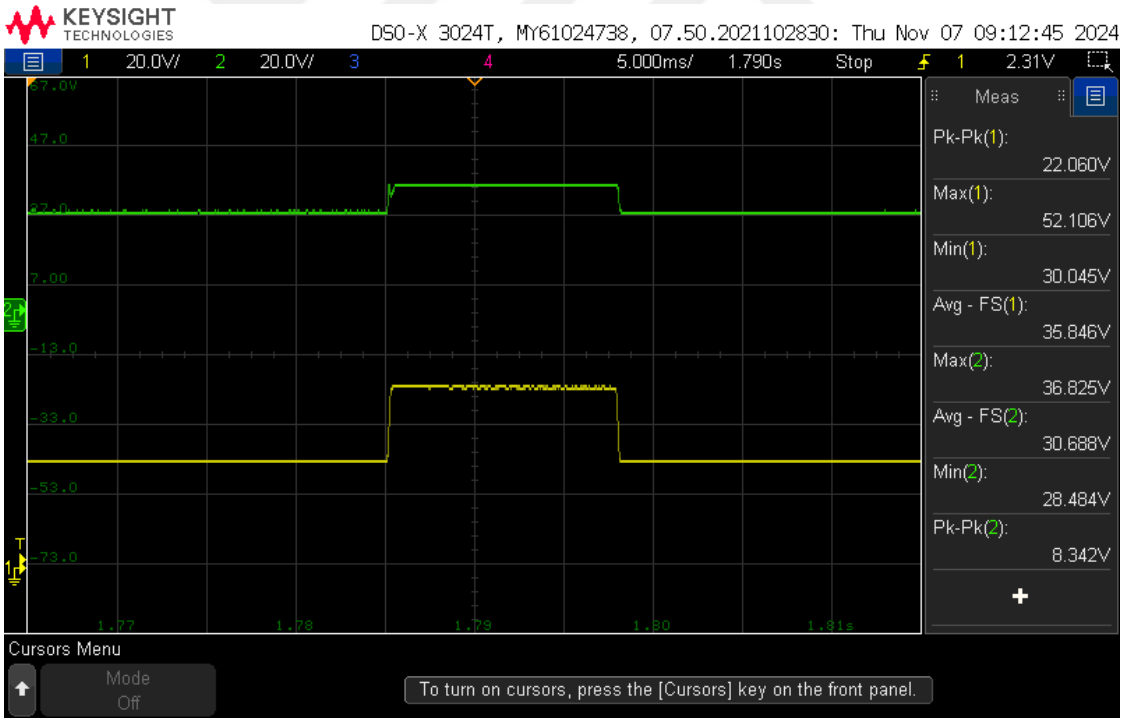
Şekil 4.43. LDC105 AA Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-AA devre devre simülasyon grafiği aşağıdaki Şekil 4.44 ile verilmiştir.



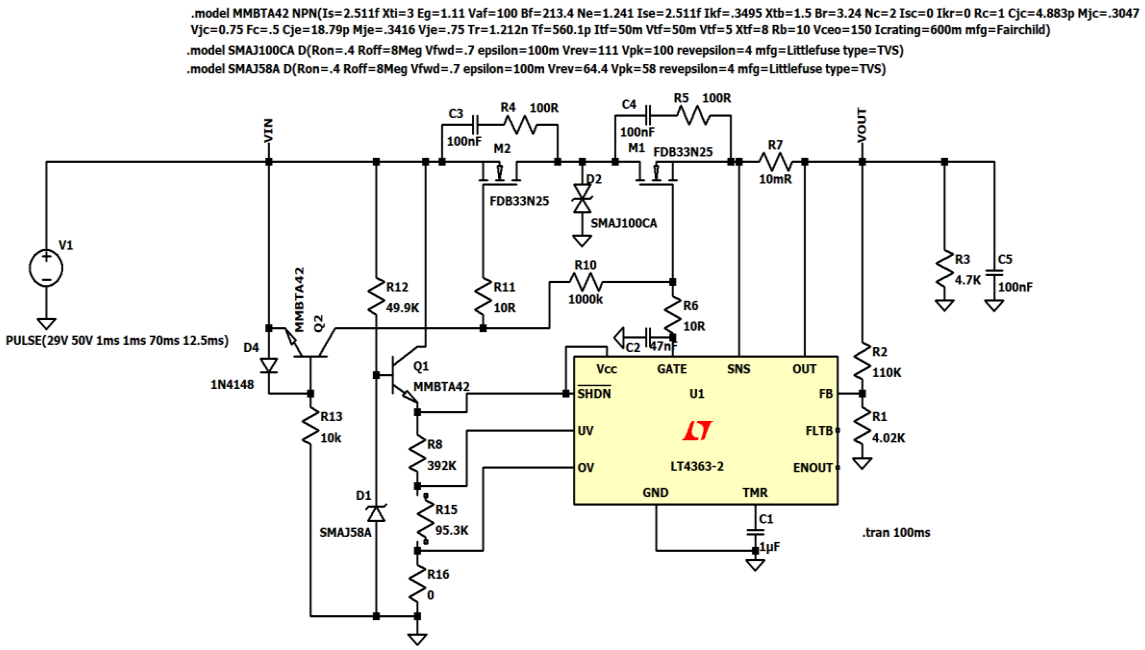
Şekil 4.44. LDC105 AA Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.45 ile aşağıdaki grafikte gösterilmiştir.



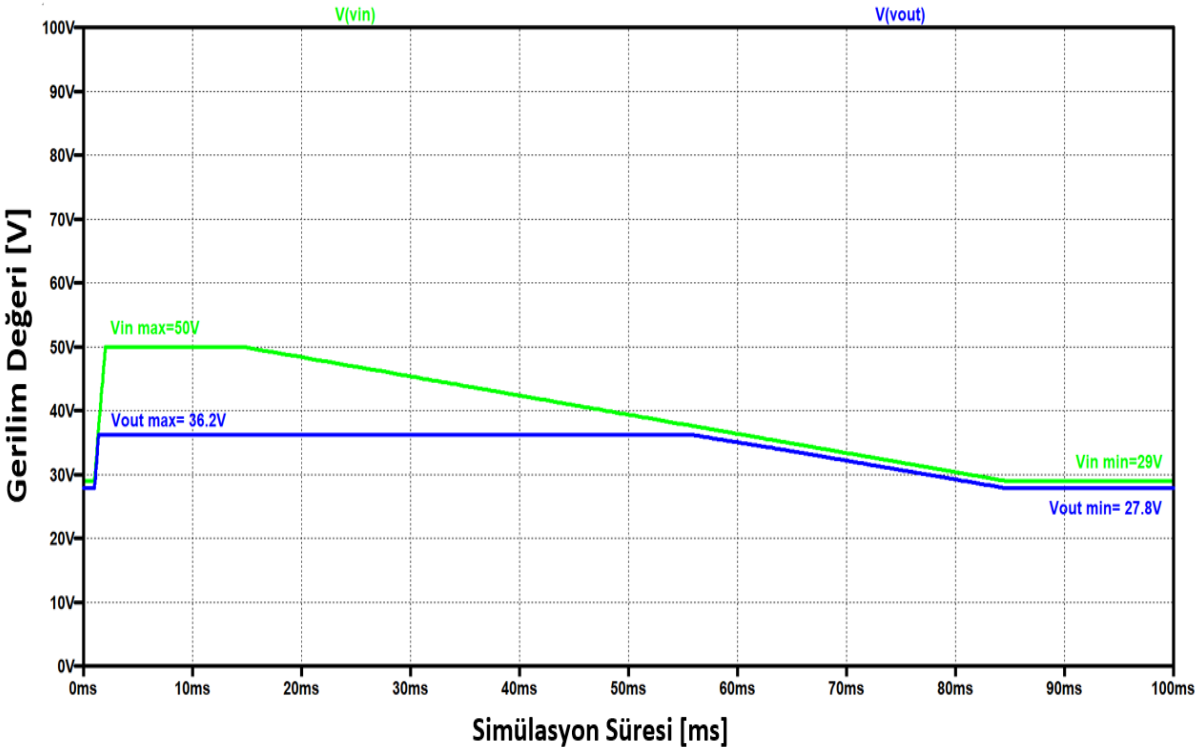
Şekil 4.45. LDC105-AA Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-BB devre simülasyon şematiği aşağıdaki Şekil 4.46 ile verilmiştir.



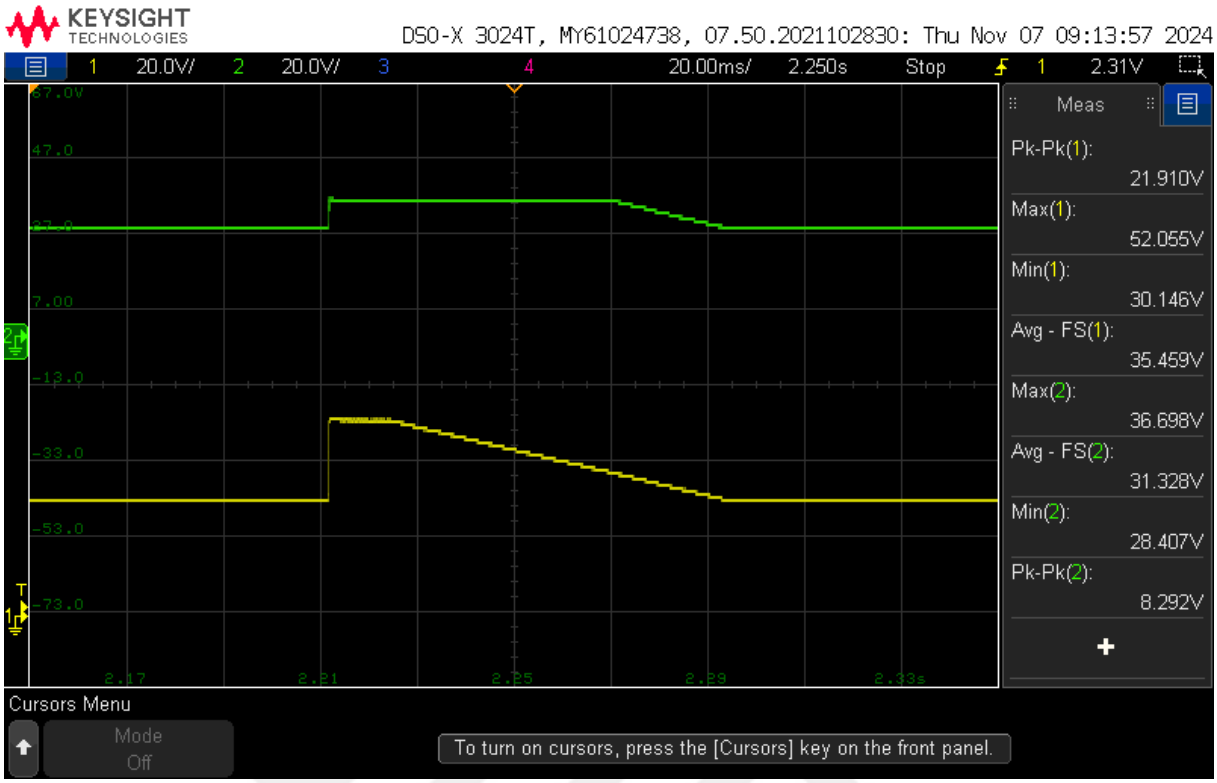
Şekil 4.46. LDC105 BB Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-BB devre devre simülasyon grafiği aşağıdaki Şekil 4.47 ile verilmiştir.



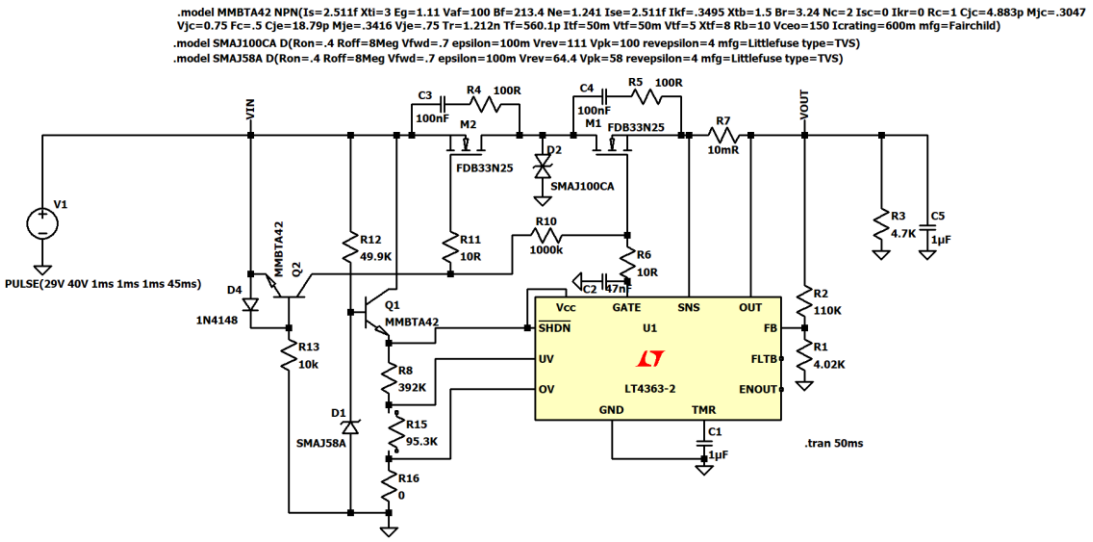
Şekil 4.47. LDC105 BB Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.48 ile aşağıdaki grafikte gösterilmiştir.



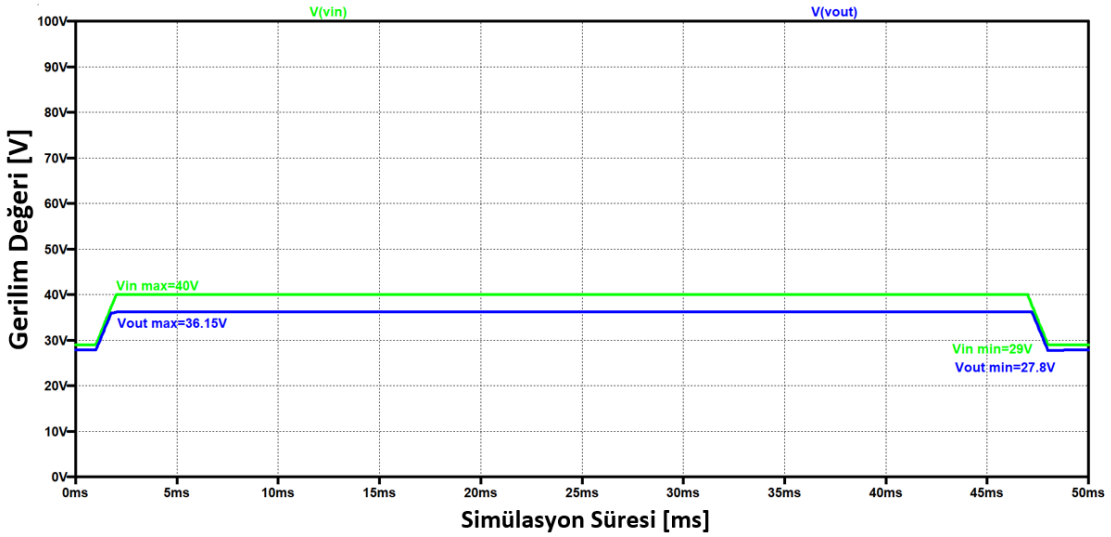
Şekil 4.48. LDC105-BB Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-CC devre simülasyon şematiği aşağıdaki Şekil 4.49 ile verilmiştir.



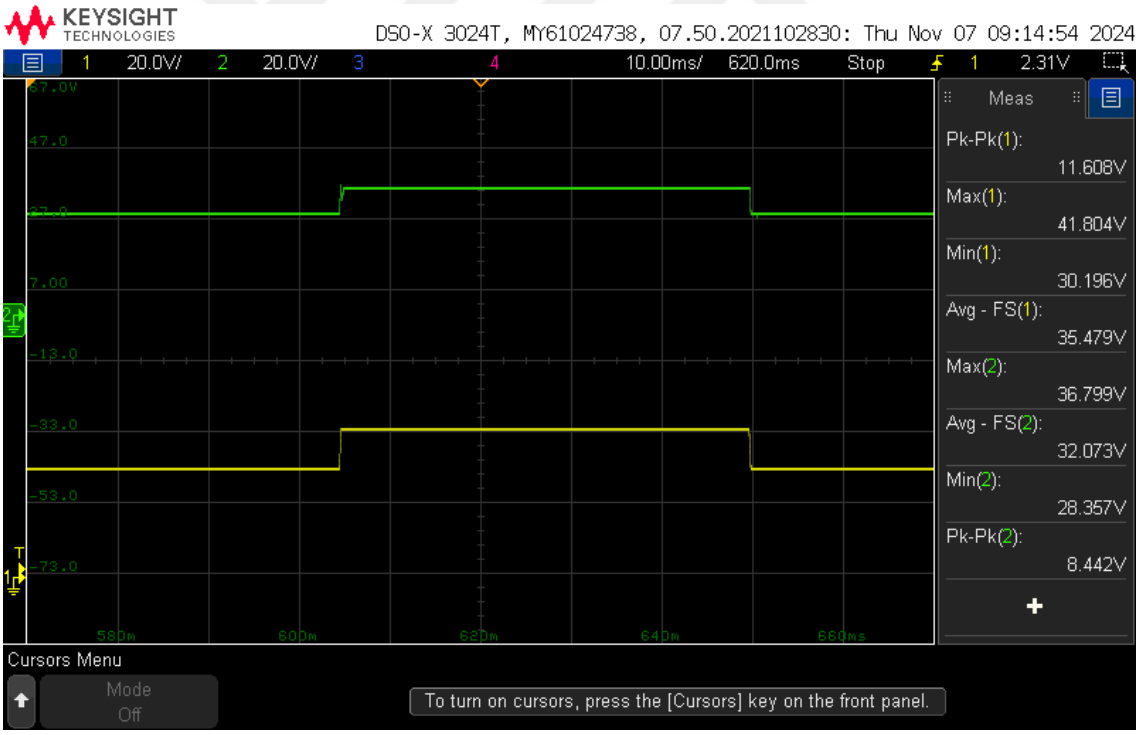
Şekil 4.49. LDC105 CC Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-CC devre devre simülasyon grafiği aşağıdaki Şekil 4.50 ile verilmiştir.



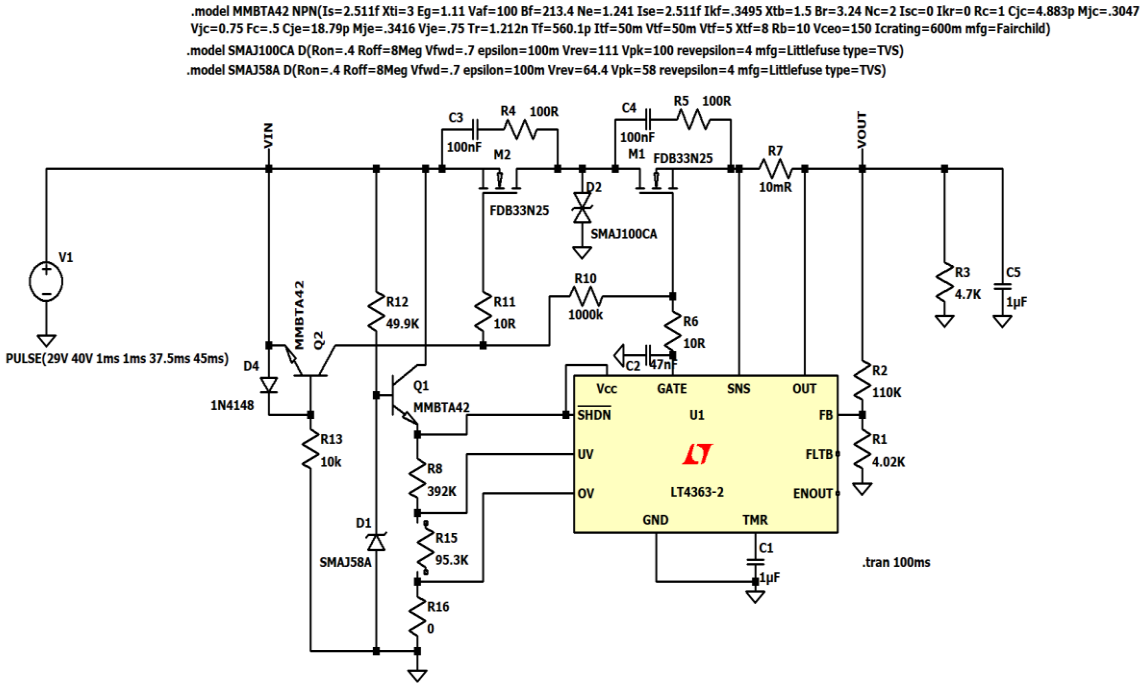
Şekil 4.50. LDC105 CC Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.51 ile aşağıdaki grafikte gösterilmiştir.



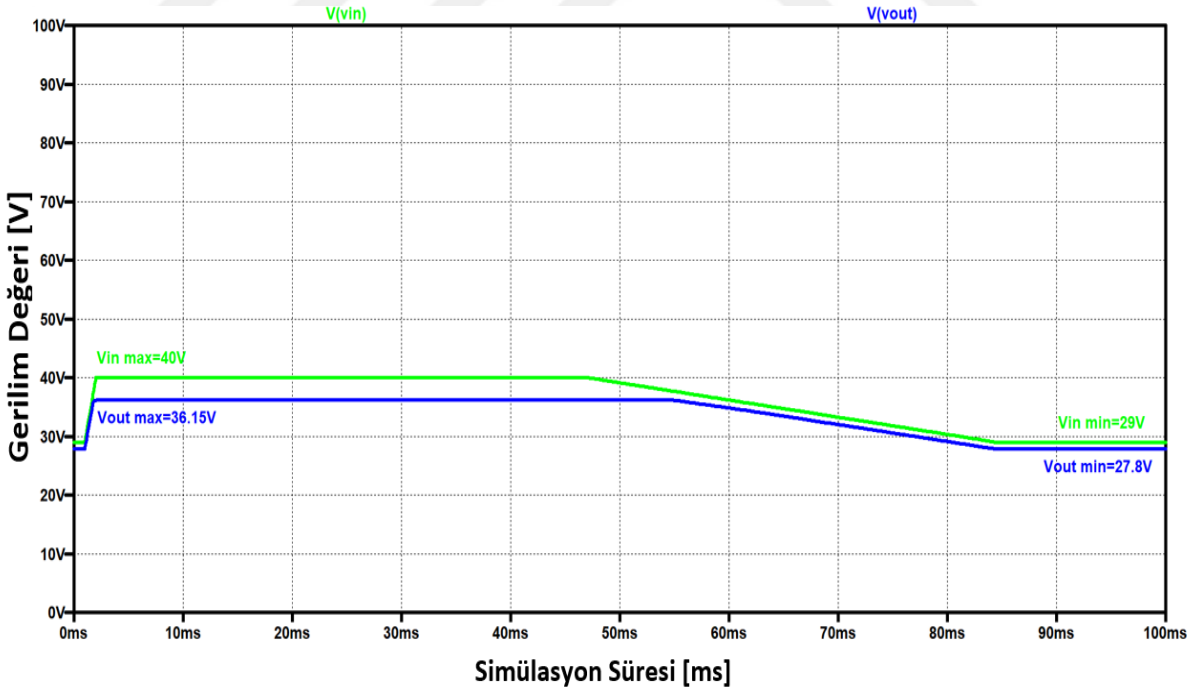
Şekil 4.51. LDC105-CC Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-DD devre simülasyon şematiği aşağıdaki Şekil 4.52 ile verilmiştir.



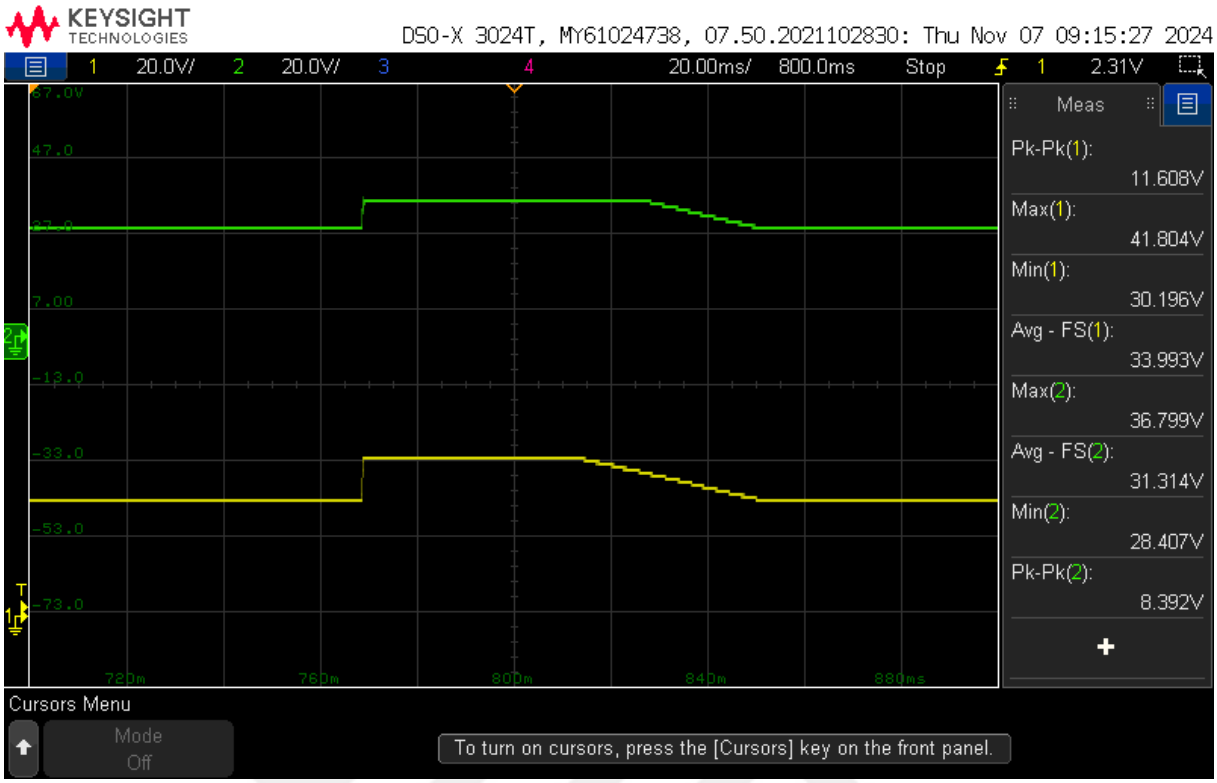
Şekil 4.52. LDC105 DD Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-DD devre devre simülasyon grafiği aşağıdaki Şekil 4.53 ile verilmiştir.



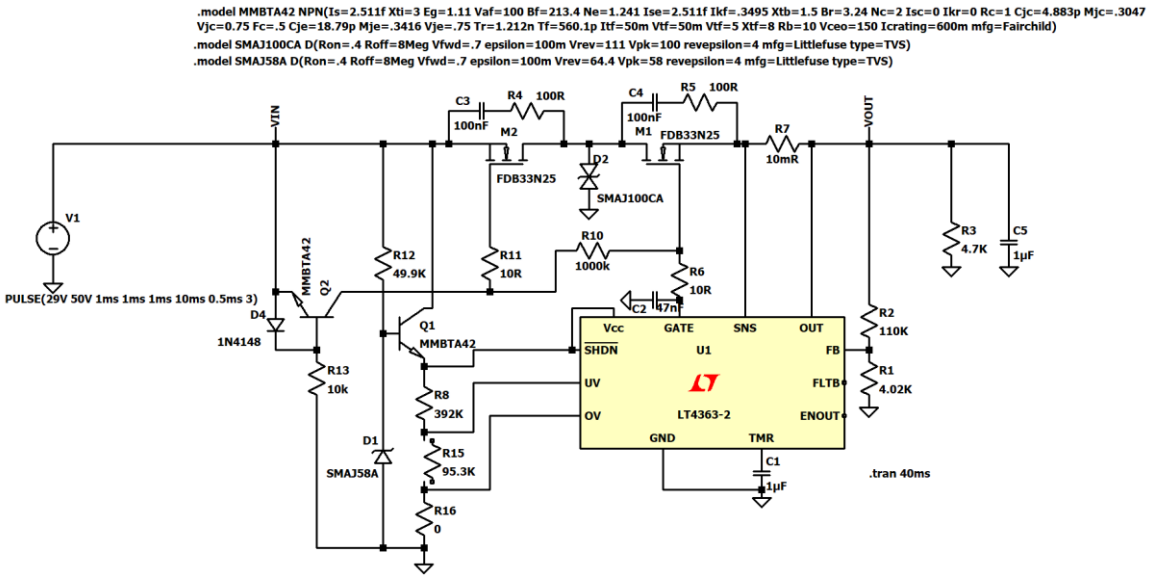
Şekil 4.53. LDC105 DD Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.54 ile aşağıdaki grafikte gösterilmiştir.



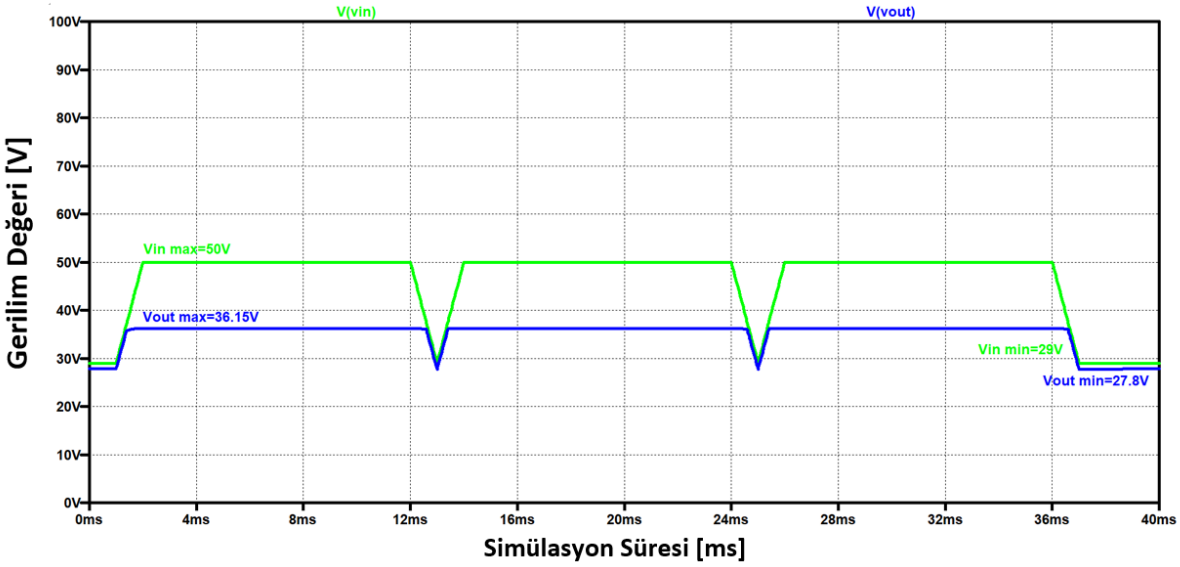
Şekil 4.54. LDC105-DD Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-EE devre simülasyon şematiği aşağıdaki Şekil 4.55 ile verilmiştir.



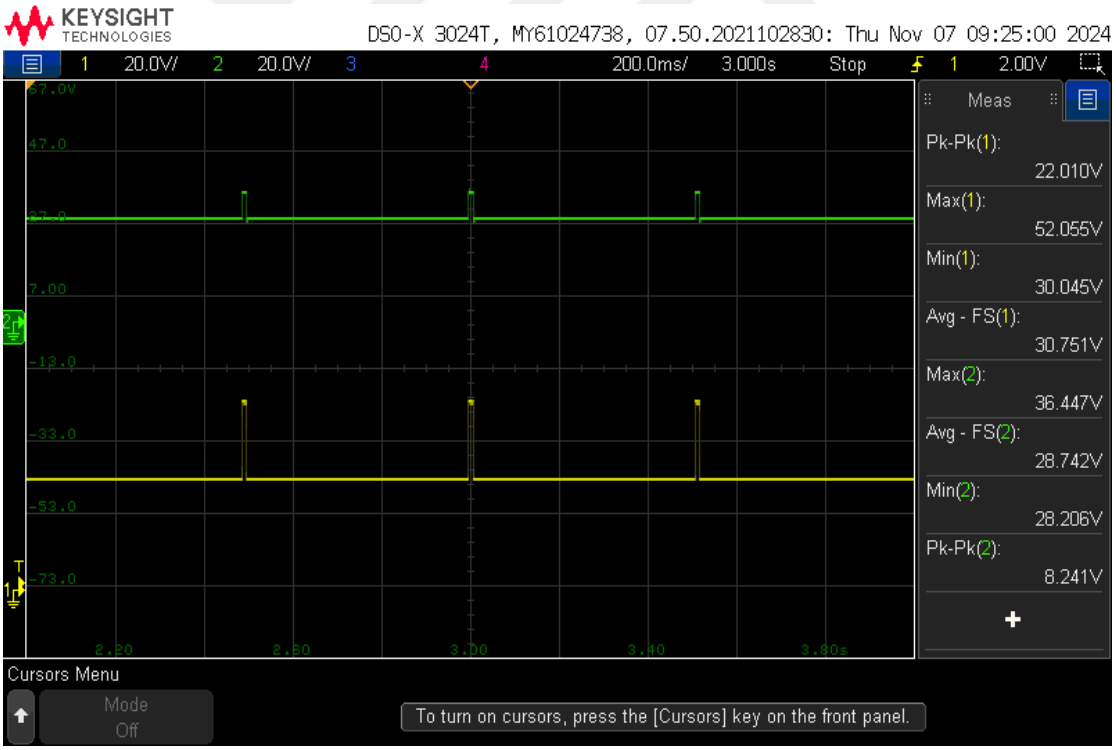
Şekil 4.55. LDC105 EE Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-EE devre devre simülasyon grafiği aşağıdaki Şekil 4.56 ile verilmiştir.



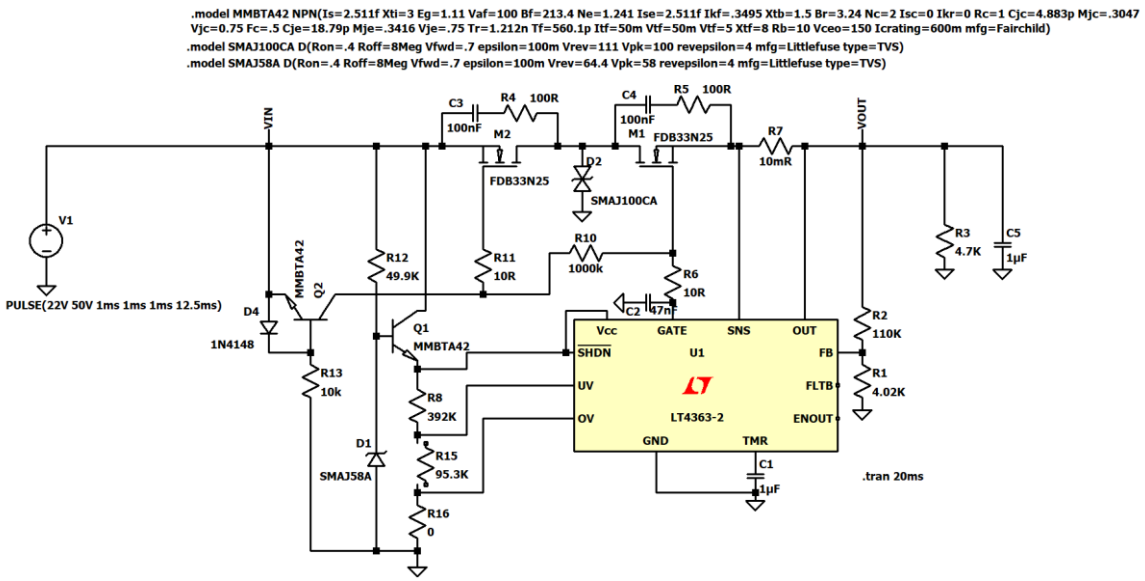
Şekil 4.56. LDC105 EE Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.57 ile aşağıdaki grafikte gösterilmiştir.



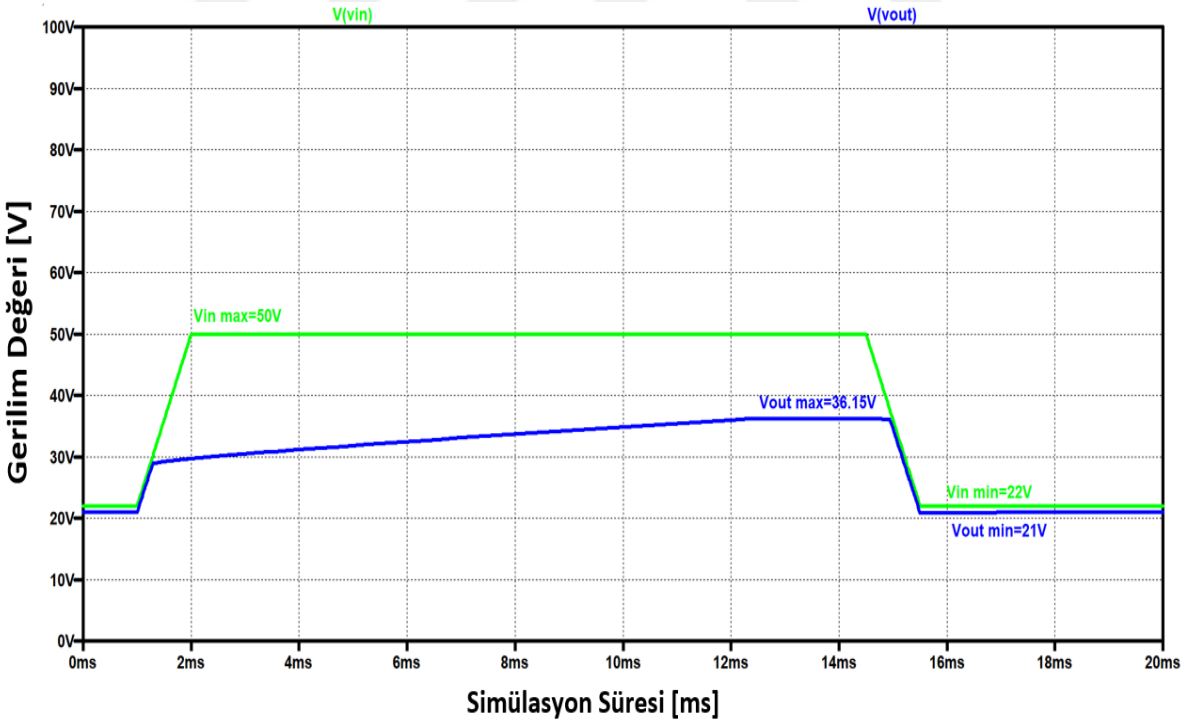
Şekil 4.57. LDC105-EE Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-FF devre simülasyon şematiği aşağıdaki Şekil 4.58 ile verilmiştir.



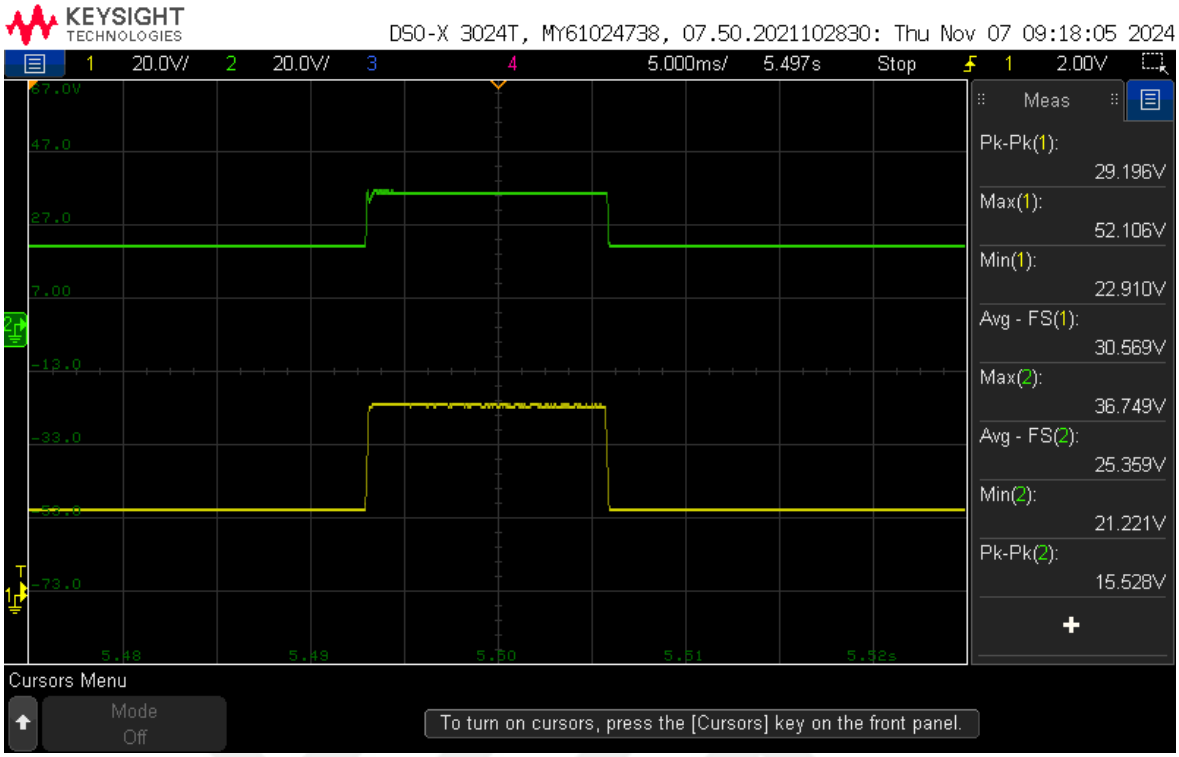
Şekil 4.58. LDC105 FF Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-FF devre devre simülasyon grafiği aşağıdaki Şekil 4.59 ile verilmiştir.



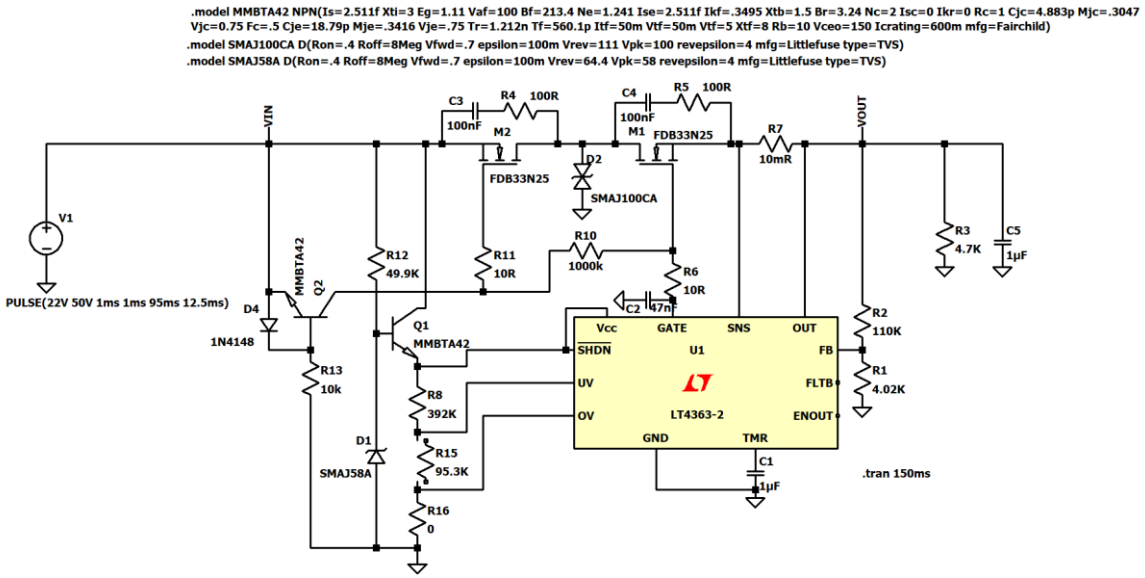
Şekil 4.59. LDC105 FF Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.60 ile aşağıdaki grafikte gösterilmiştir.



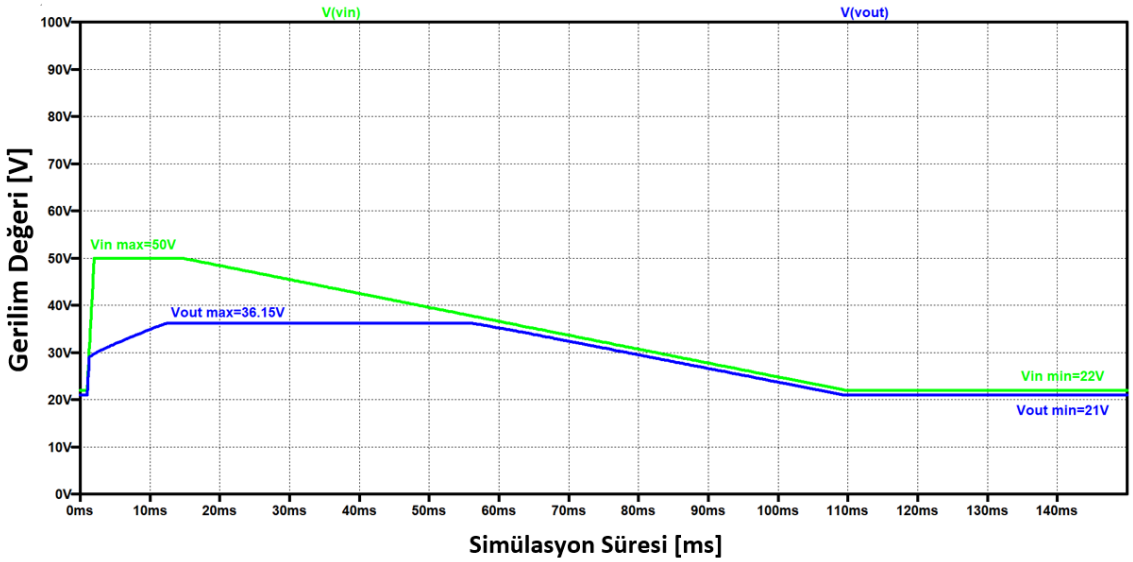
Şekil 4.60. LDC105-FF Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-GG devre simülasyon şematiği aşağıdaki Şekil 4.61 ile verilmiştir.



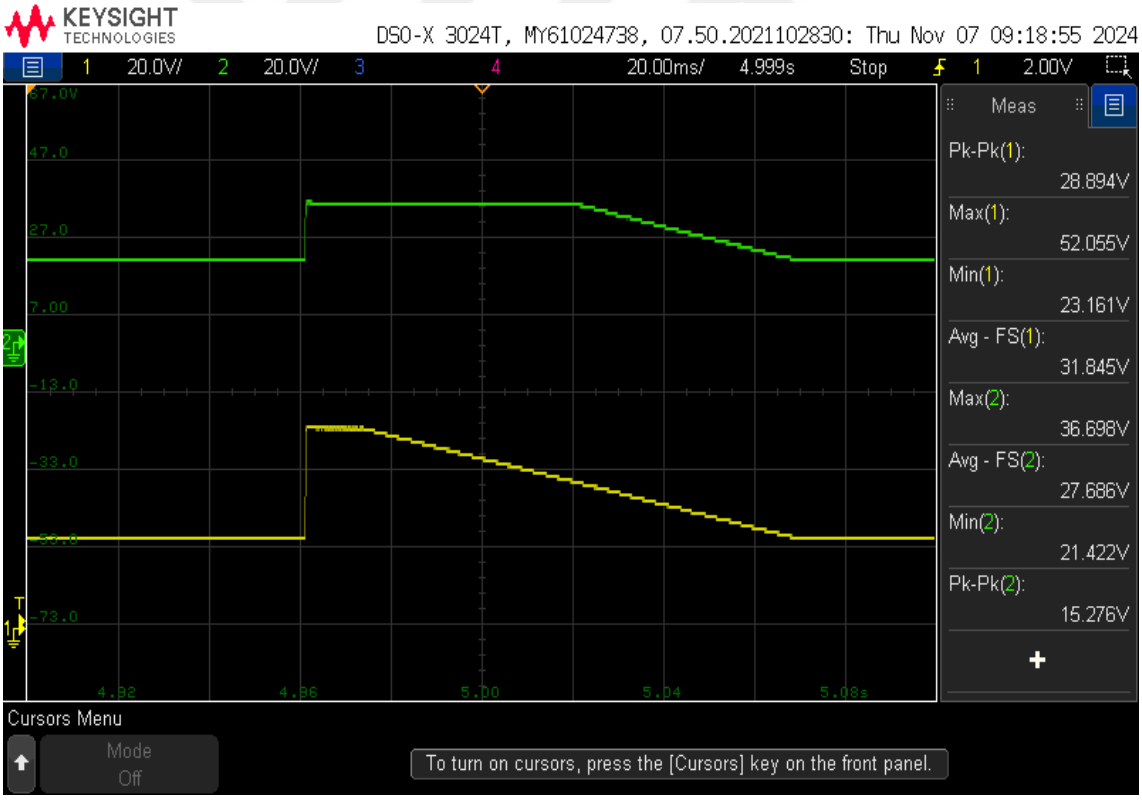
Şekil 4.61. LDC105 GG Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-GG devre devre simülasyon grafiği aşağıdaki Şekil 4.62 ile verilmiştir.



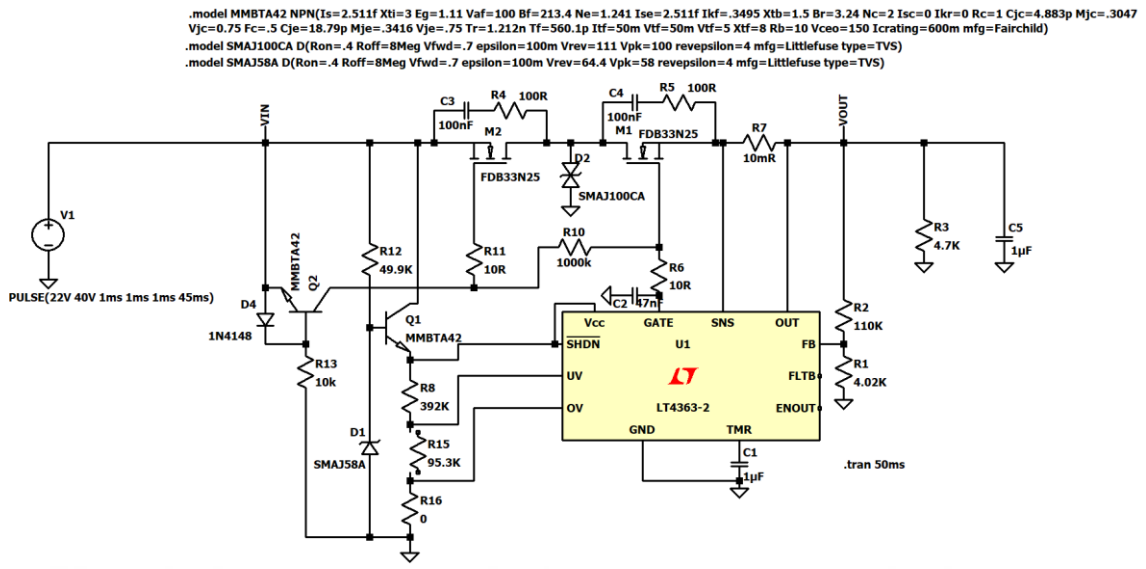
Şekil 4.62. LDC105 GG Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.60 ile aşağıdaki grafikte gösterilmiştir.



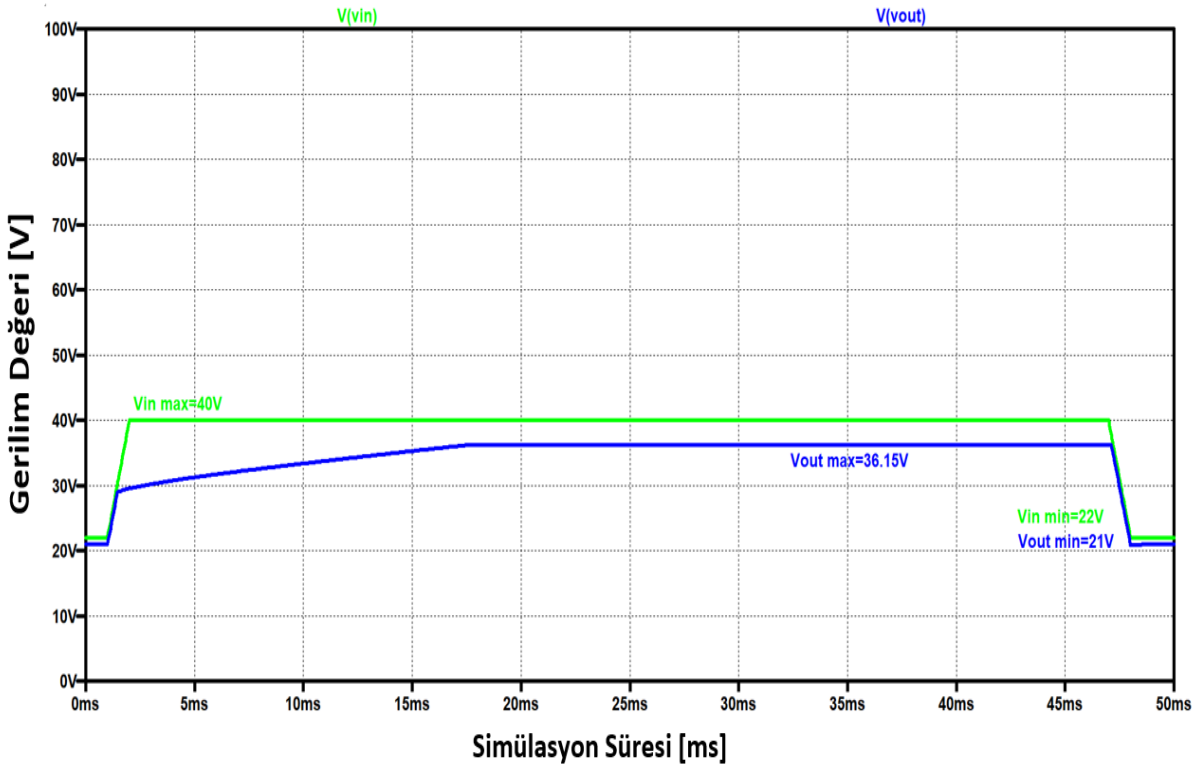
Şekil 4.63. LDC105-GG Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-HH devre simülasyon şematiği aşağıdaki Şekil 4.64 ile verilmiştir.



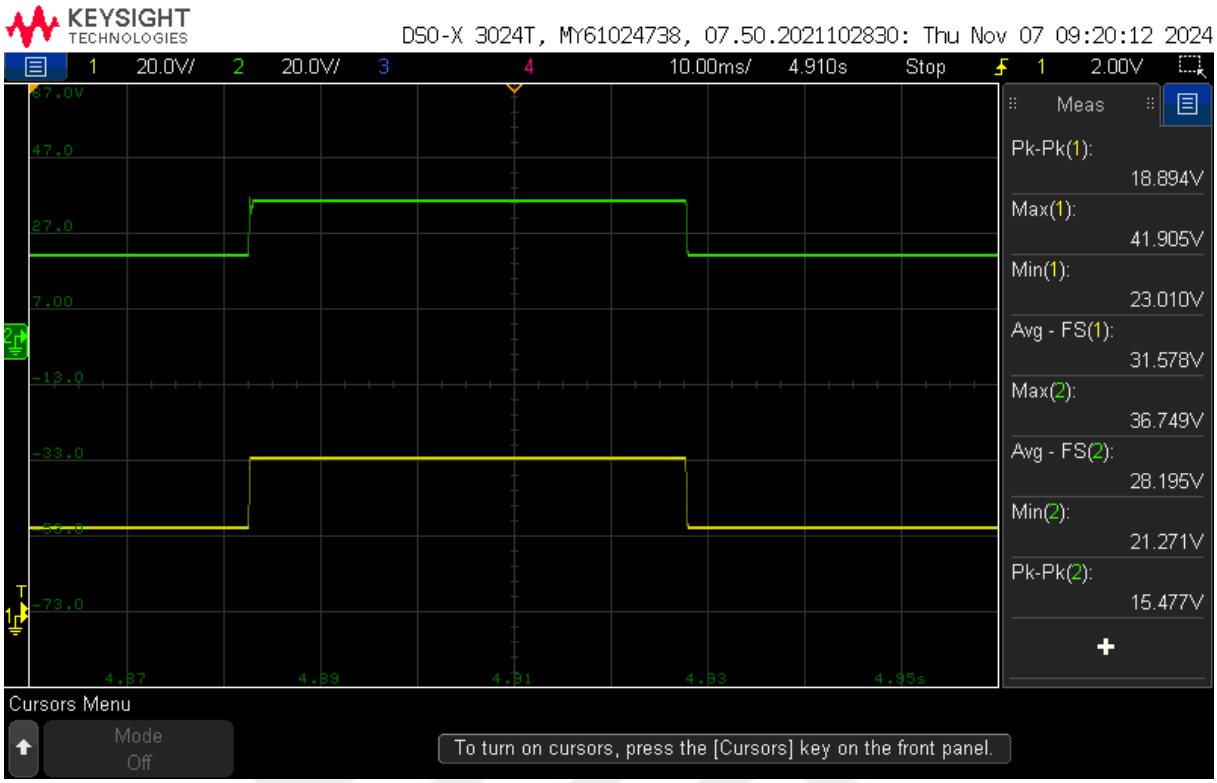
Şekil 4.64. LDC105 HH Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-HH devre devre simülasyon grafiği aşağıdaki Şekil 4.65 ile verilmiştir.



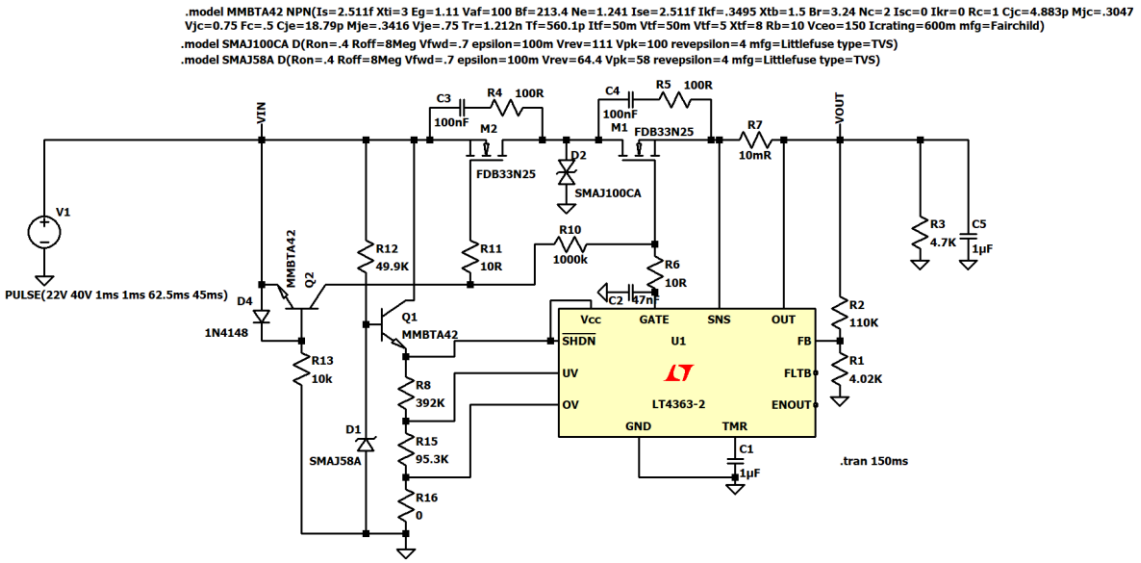
Şekil 4.65. LDC105 HH Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.66 ile aşağıdaki grafikte gösterilmiştir.



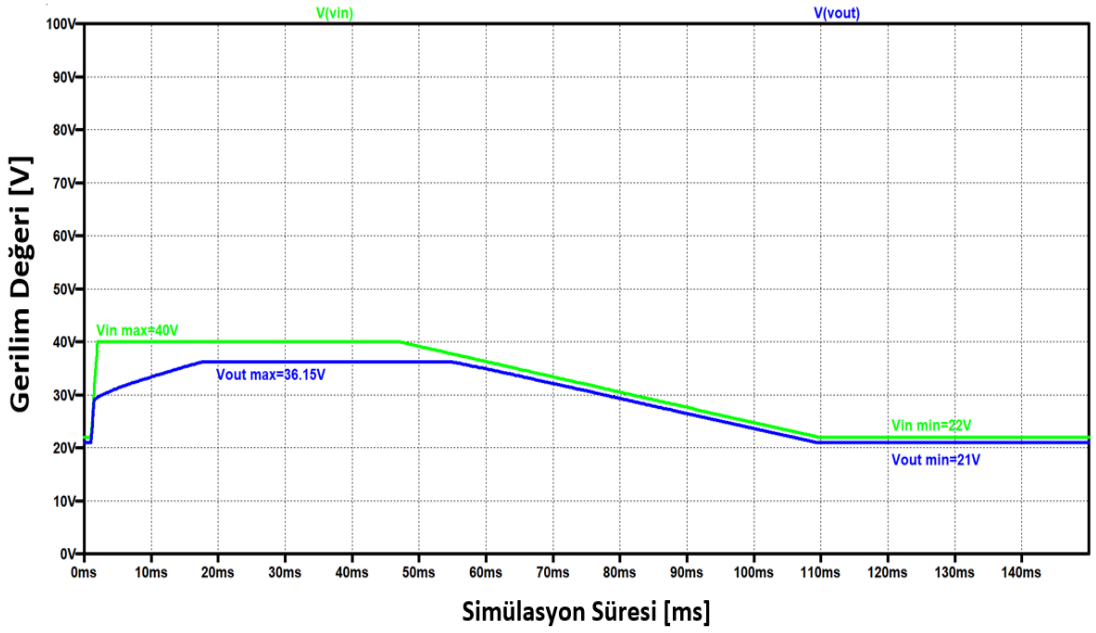
Şekil 4.66. LDC105-HH Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-II devre simülasyon şematiği aşağıdaki Şekil 4.67 ile verilmiştir.



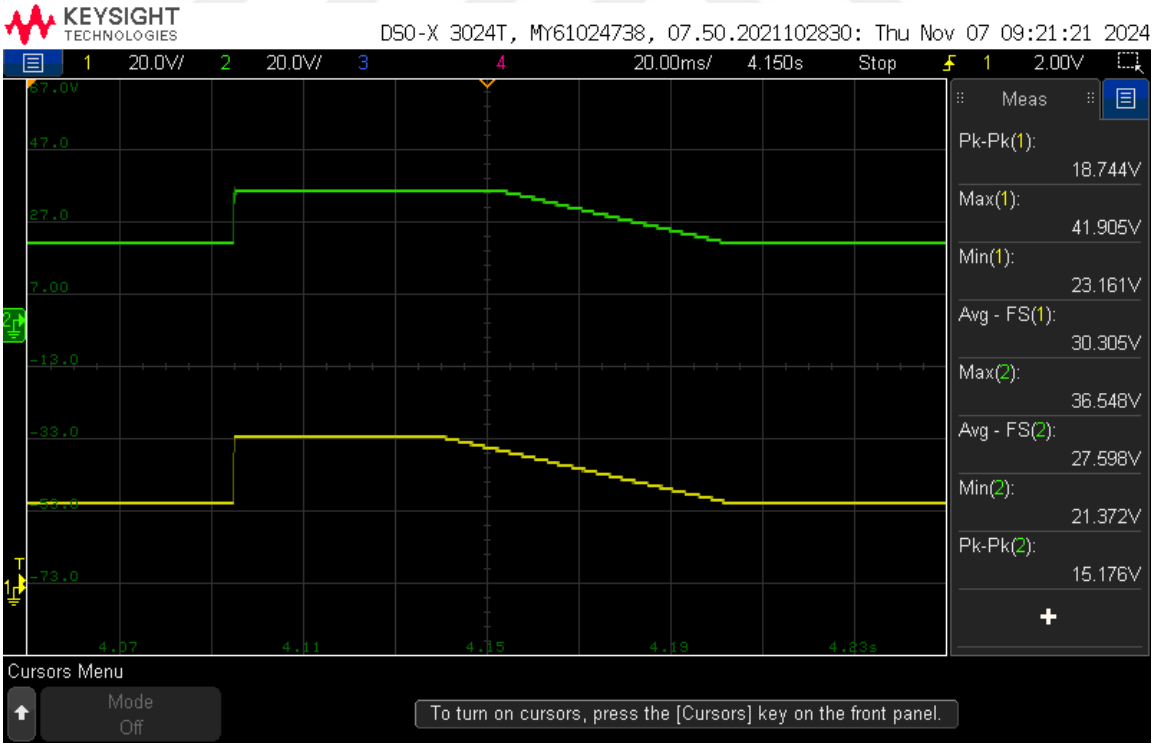
Şekil 4.67. LDC105 II Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-II devre devre simülasyon grafiği aşağıdaki Şekil 4.68 ile verilmiştir.



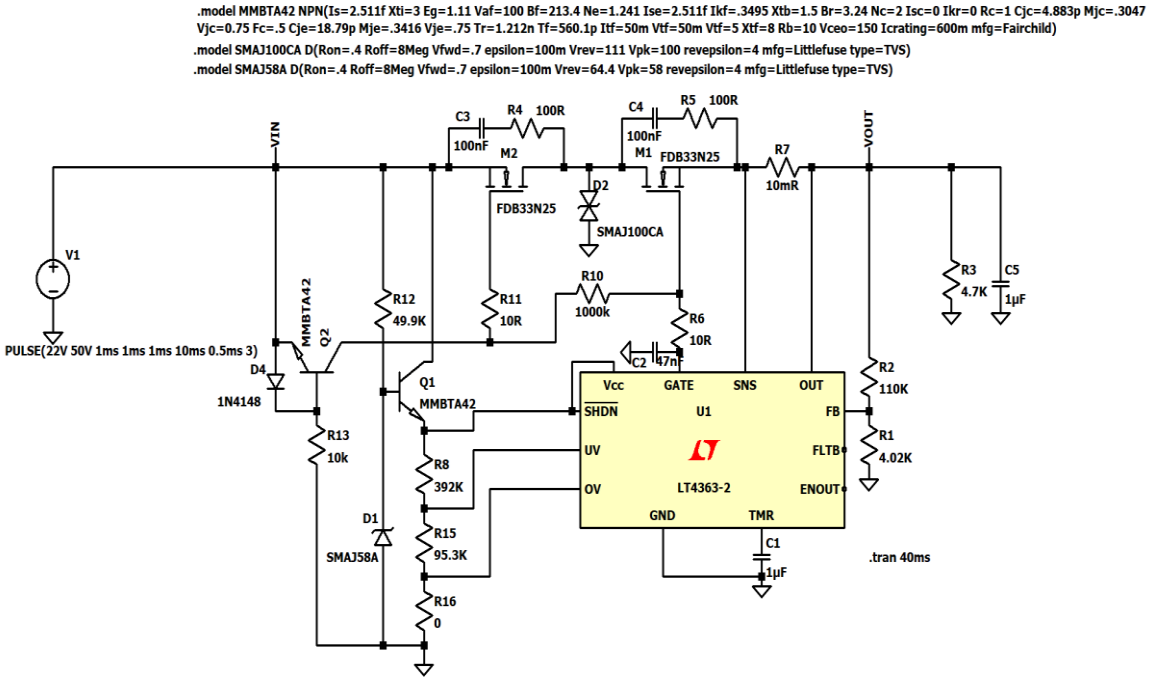
Şekil 4.68. LDC105 II Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.69 ile aşağıdaki grafikte gösterilmiştir.



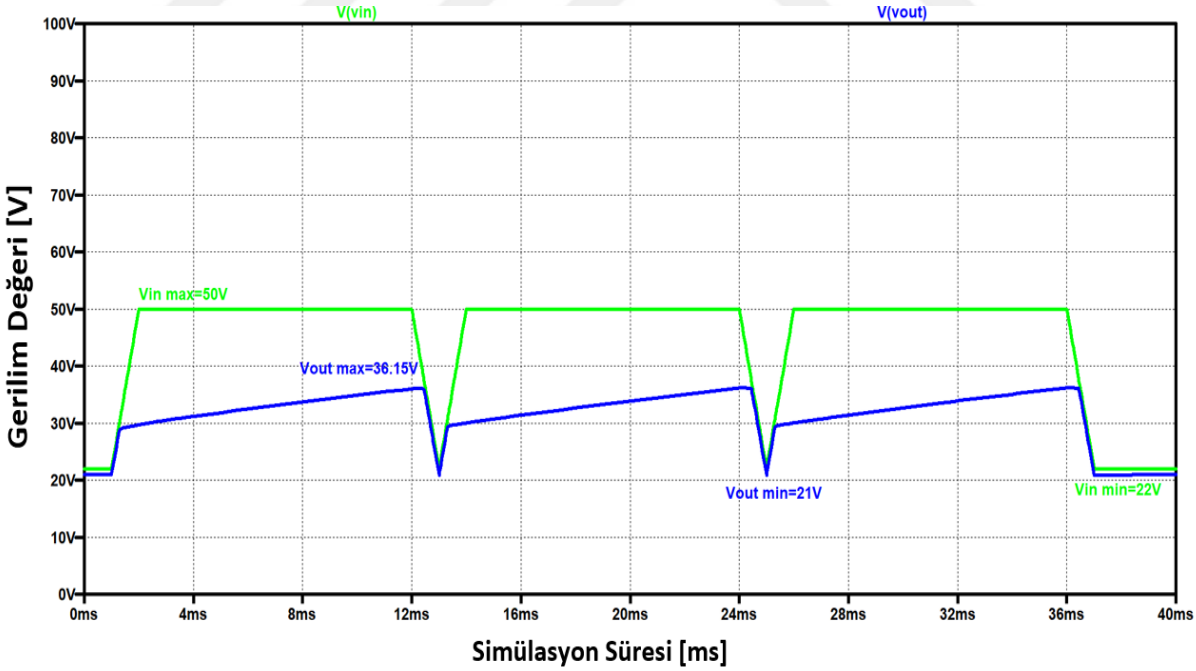
Şekil 4.69. LDC105-II Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC105-JJ devre simülasyon şematiği aşağıdaki Şekil 4.70 ile verilmiştir.



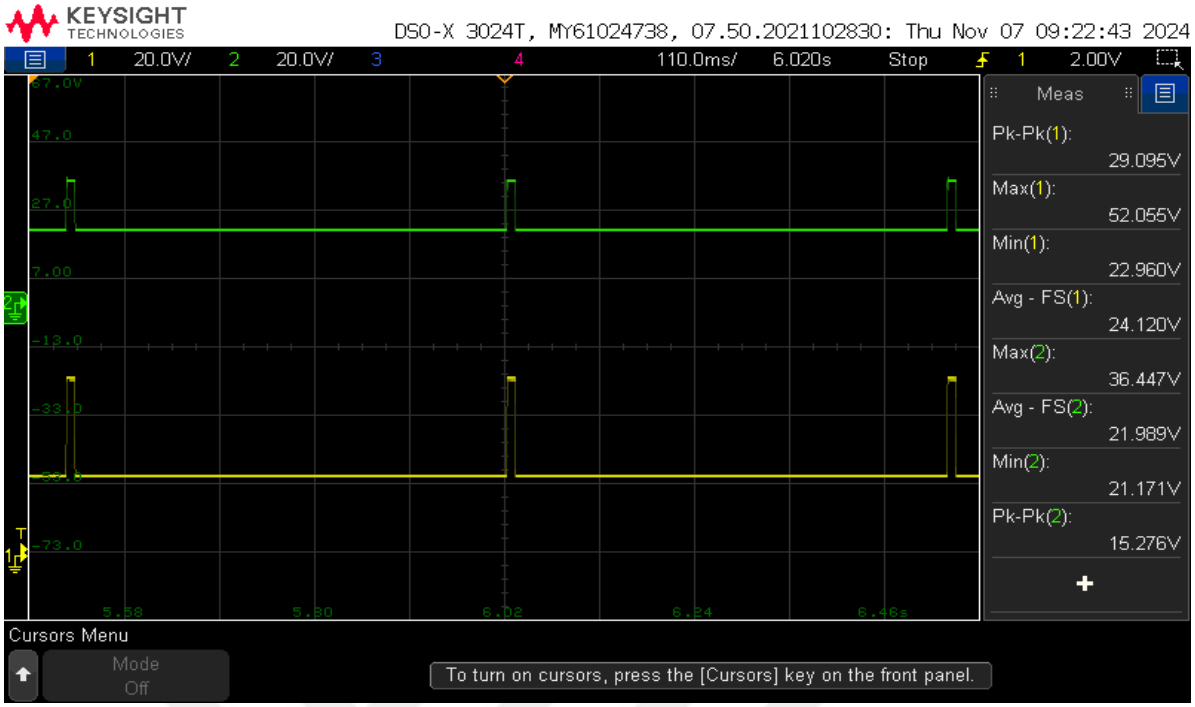
Şekil 4.70. LDC105 JJ Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC105-JJ devre devre simülasyon grafiği aşağıdaki Şekil 4.71 ile verilmiştir.



Şekil 4.71. LDC105 JJ Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.72 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.72. LDC105-JJ Testi Grafiği

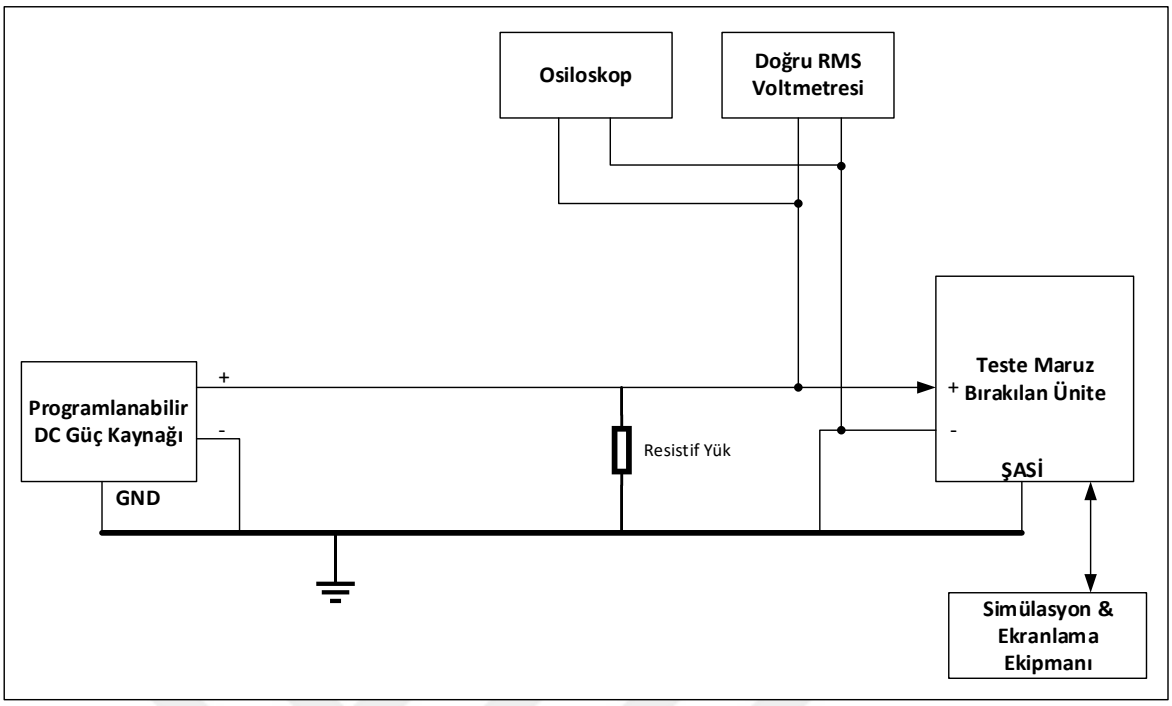
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.6. LDC201 Testi

LDC201 Güç Kesintisi testinin amacı; ünitenin güç girişi MIL-STD-704F standardının A test durumundan K test durumuna kadar belirtilen sürelerde güç kesintisinde, en az 5 kez tekrarlandığında belirlenen performans kriterleri içerisinde dayanıklılığını doğrulamaktadır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda verilmiştir.

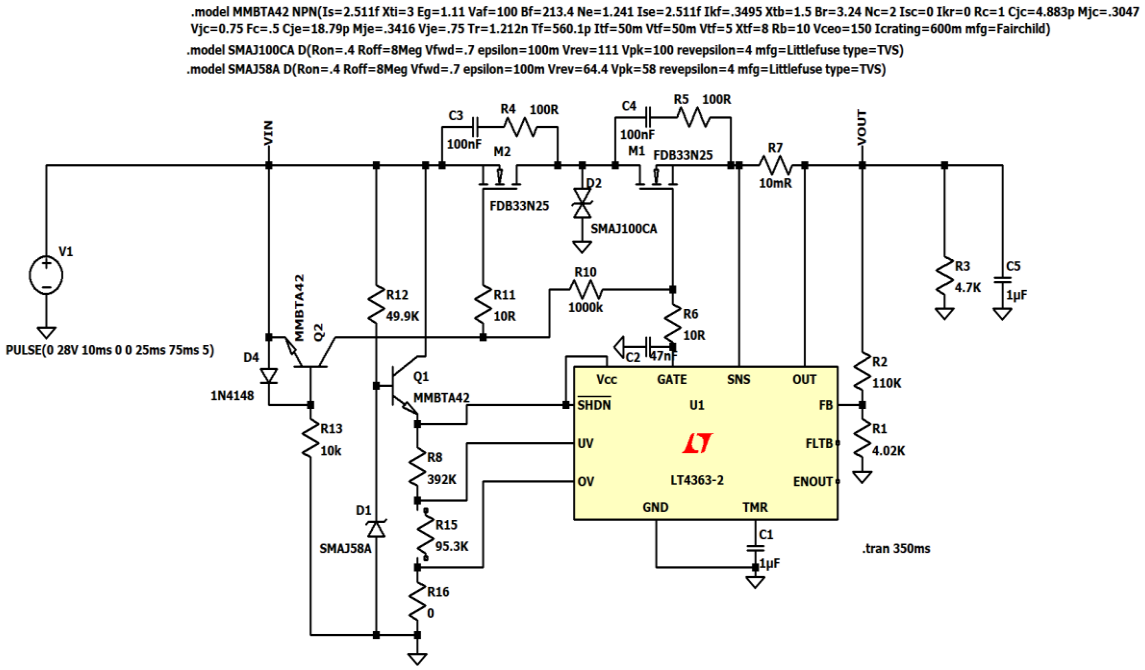
Tablo 4.5. MIL-STD-704F Güç Kesintisi Limitleri

Test Durumu	Kararlı Hal Gerilimi	Kararlı Hal Durumu	Kesinti Süresi
A	28 VDC	Nominal Gerilim	50 ms
B	22 VDC	NLSS Gerilim	50 ms
C	29 VDC	NHSS Gerilim	50 ms
D	28 VDC	Nominal Gerilim	30 ms
E	22 VDC	NLSS Gerilim	30 ms
F	29 VDC	NHSS Gerilim	30 ms
G	28 VDC	Nominal Gerilim	10 ms
H	22 VDC	NLSS Gerilim	10 ms
I	29 VDC	NHSS Gerilim	10 ms
J	28 VDC	Nominal Gerilim	50 ms
K	28 VDC	Nominal Gerilim	50 ms
L	28 VDC	Nominal Gerilim	50 ms



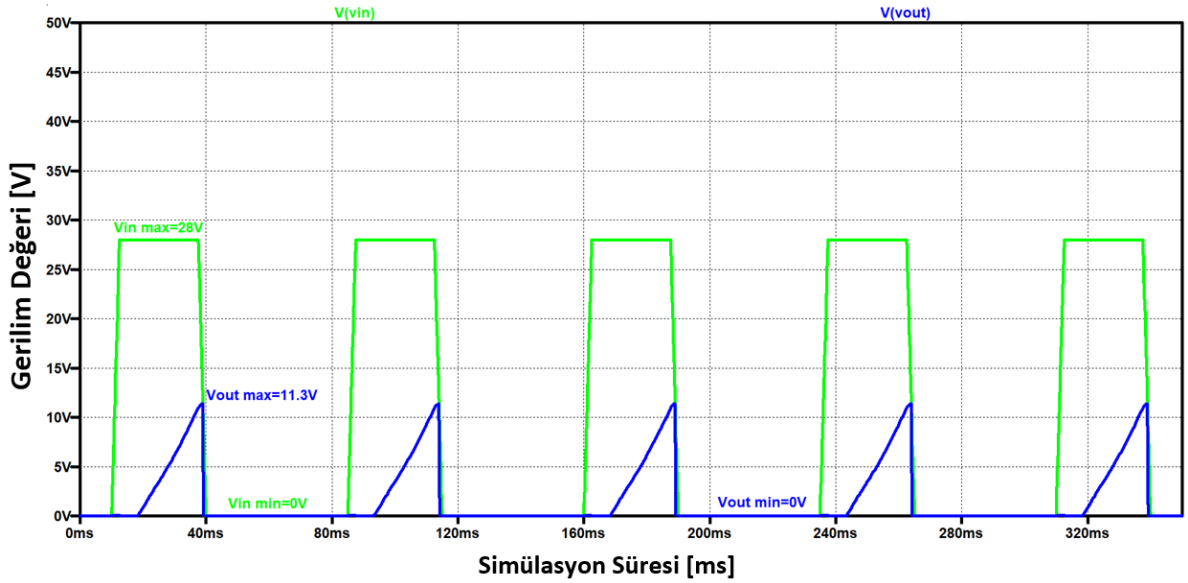
Şekil 4.73. LDC201 Test Düzeneği Şeması

Ünitede uygulanan LDC201 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. LTSpice programı kullanılarak hazırlanan LDC201-A devre simülasyon şematiği aşağıdaki Şekil 4.74 ile verilmiştir.



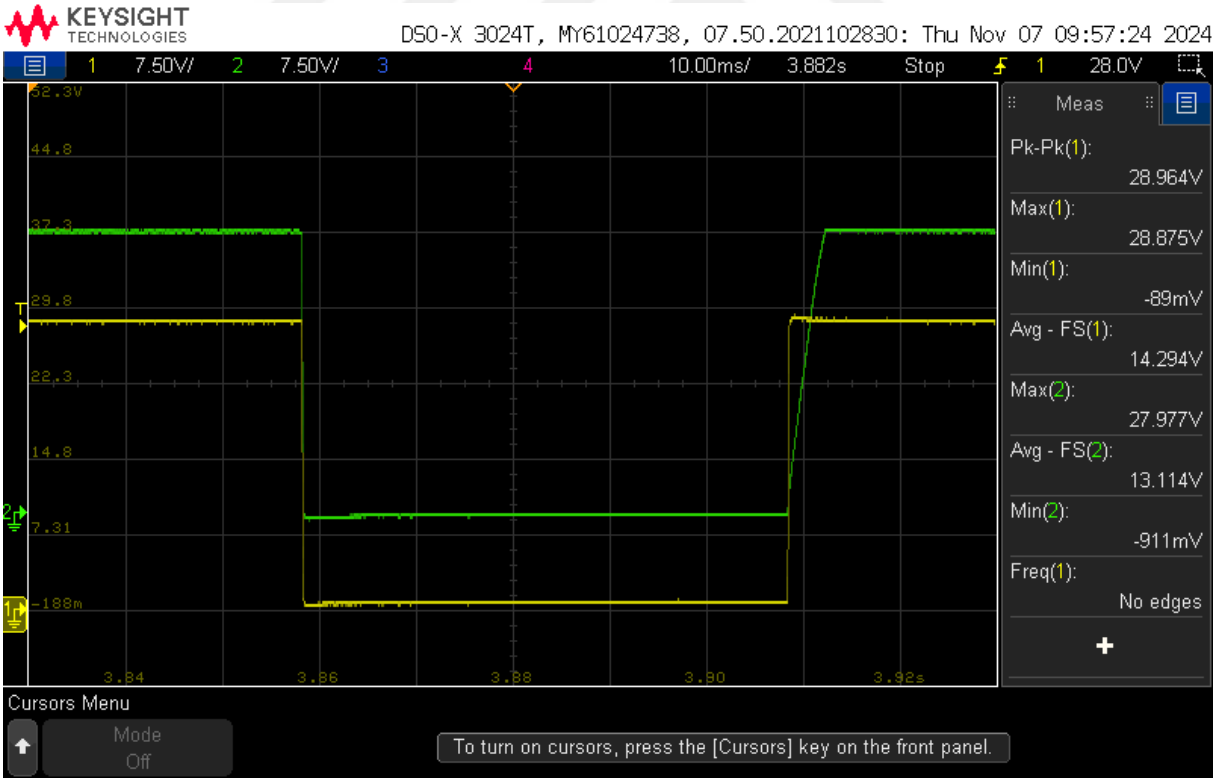
Şekil 4.74. LDC201 A Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-A devre devre simülasyon grafiği aşağıdaki Şekil 4.75 ile verilmiştir.



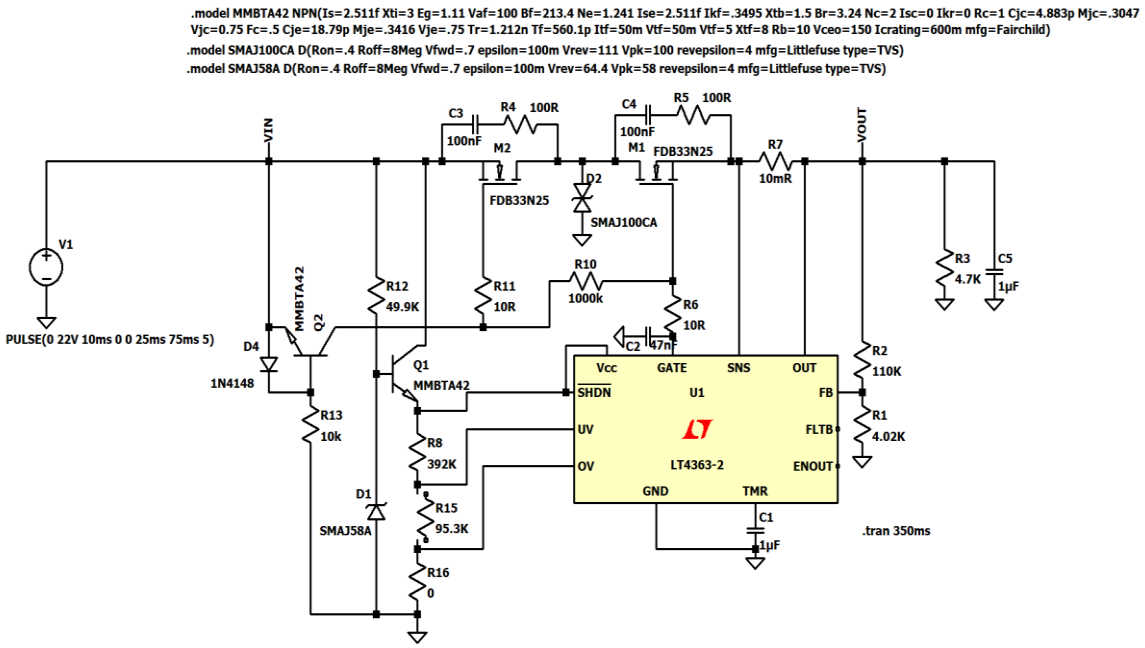
Şekil 4.75. LDC201 A Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.76 ile aşağıdaki grafikte gösterilmiştir.



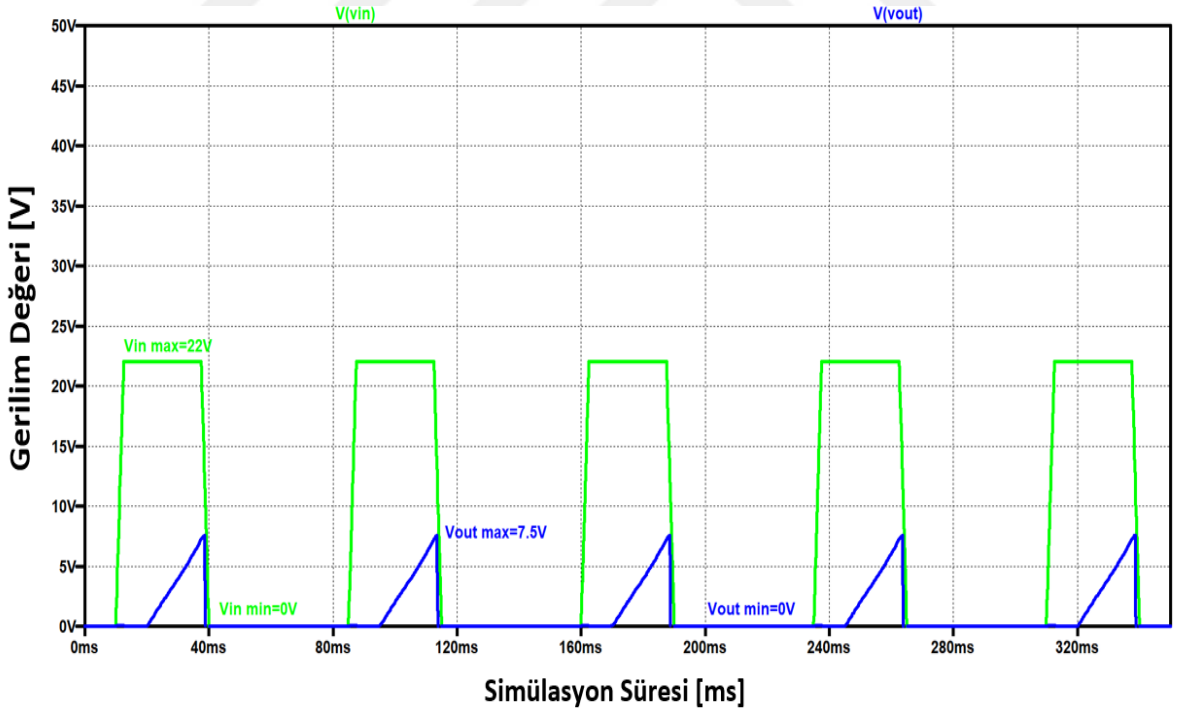
Şekil 4.76. LDC201-A Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-B devre simülasyon şematiği aşağıdaki Şekil 4.77 ile verilmiştir.



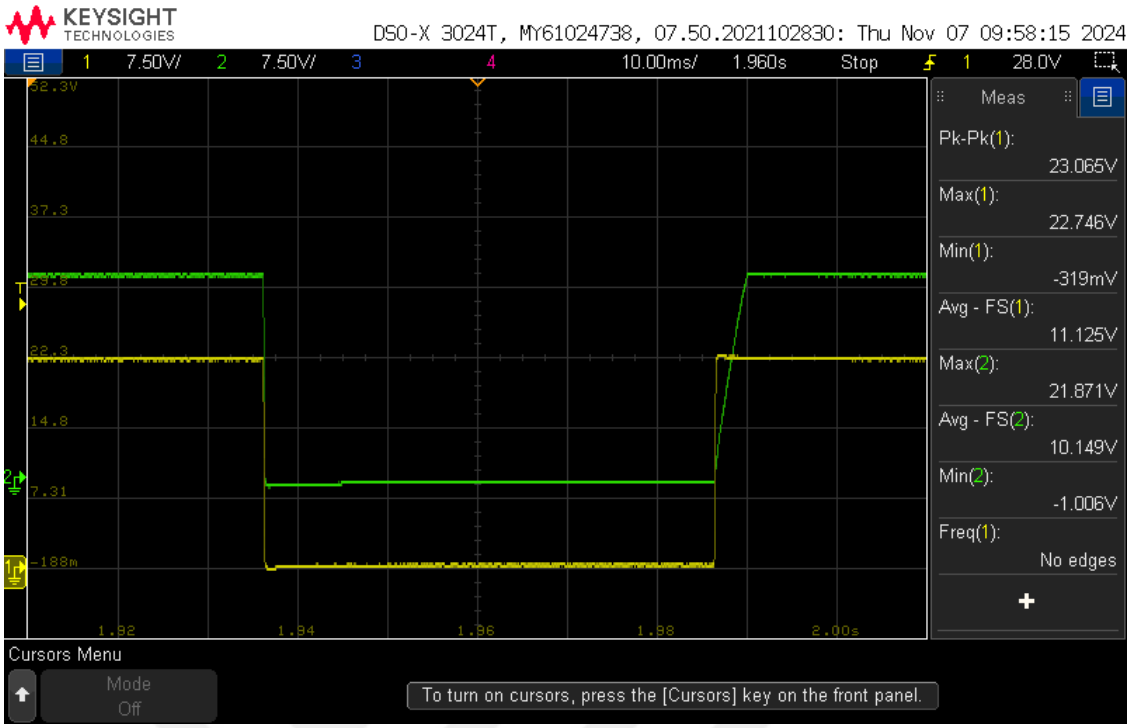
Şekil 4.77. LDC201 B Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-B devre devre simülasyon grafiği aşağıdaki Şekil 4.78 ile verilmiştir.



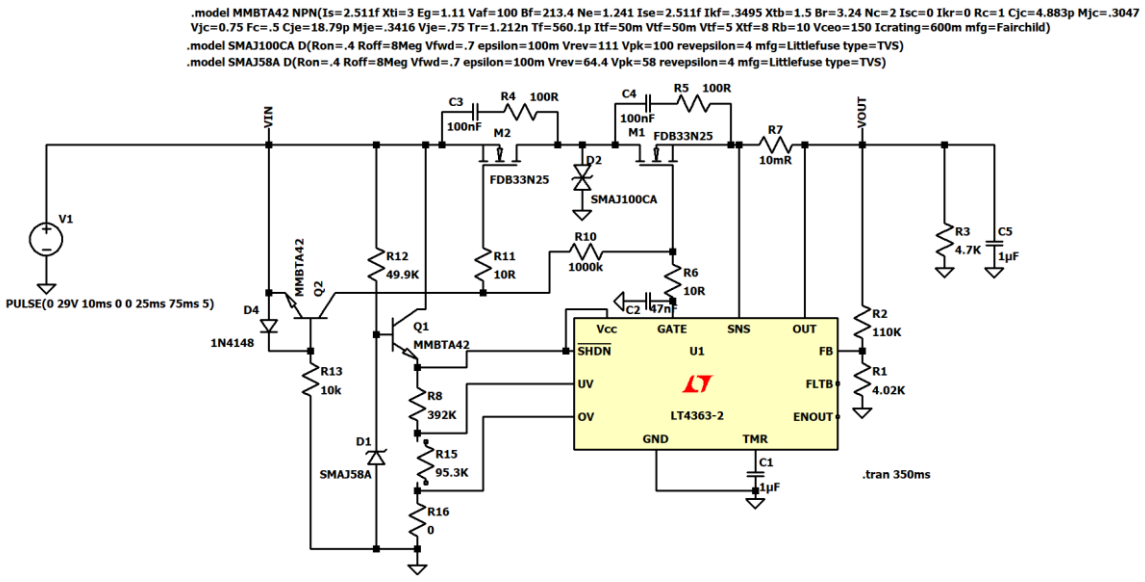
Şekil 4.78. LDC201 B Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.79 ile aşağıdaki grafikte gösterilmiştir.



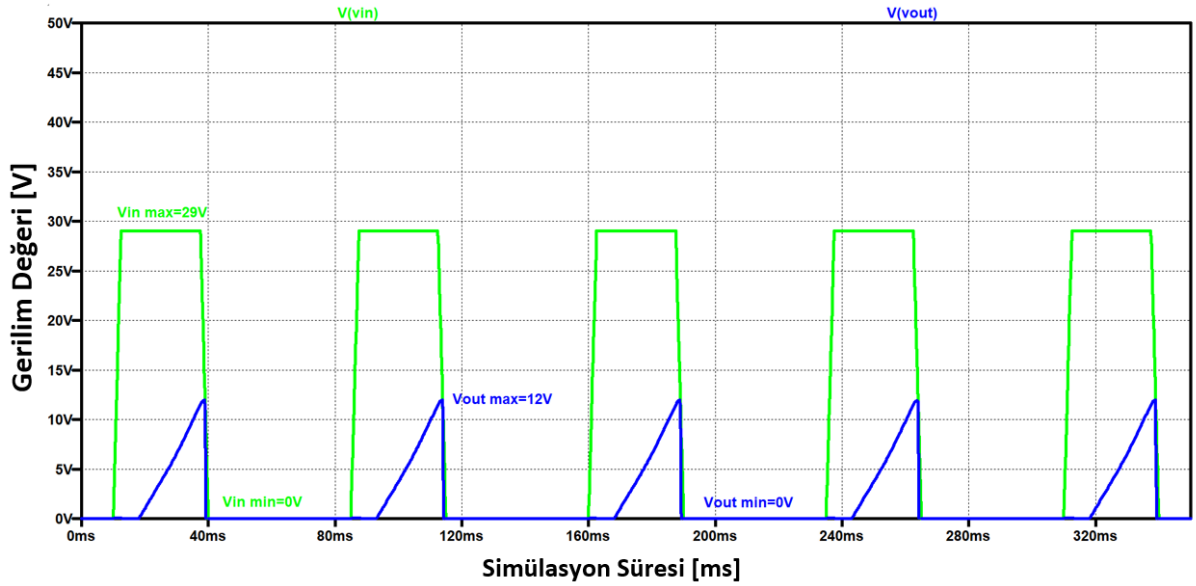
Şekil 4.79. LDC201-B Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-C devre simülasyon şematiği aşağıdaki Şekil 4.80 ile verilmiştir.



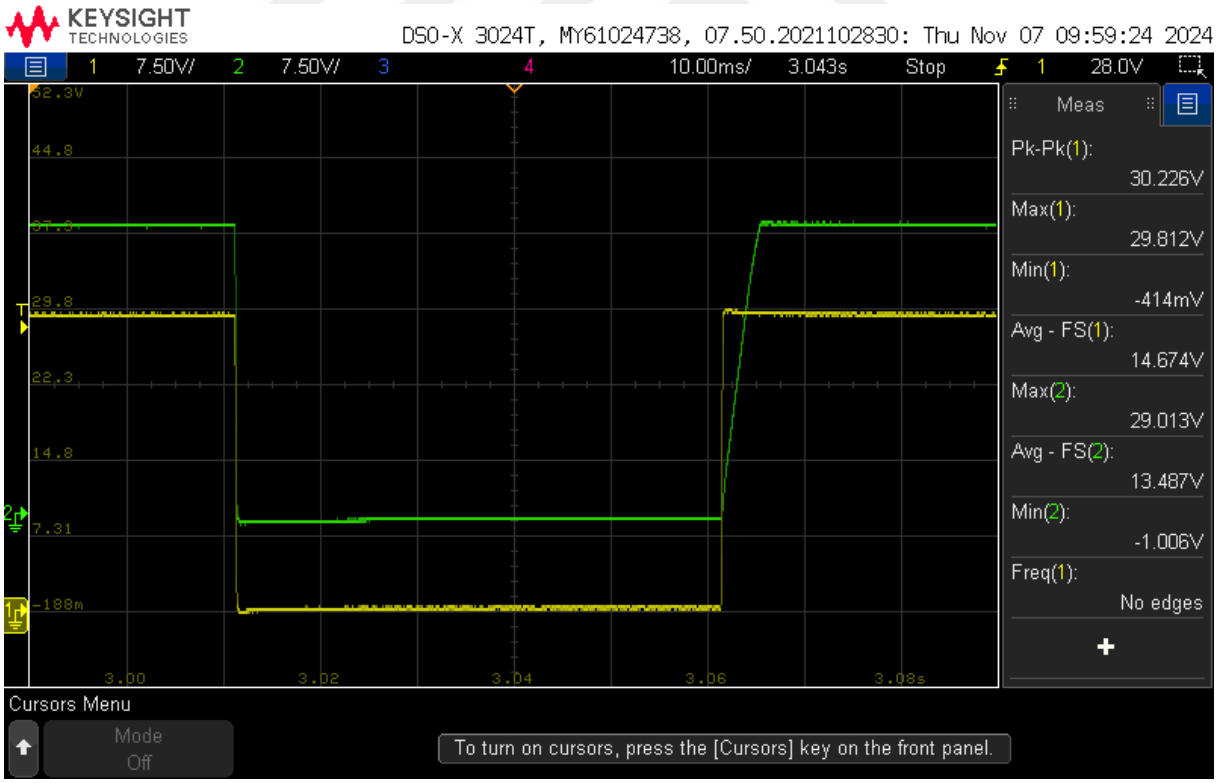
Şekil 4.80. LDC201 C Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-C devre devre simülasyon grafiği aşağıdaki Şekil 4.81 ile verilmiştir.



Şekil 4.81. LDC201 C Testi Simülasyon Grafiği

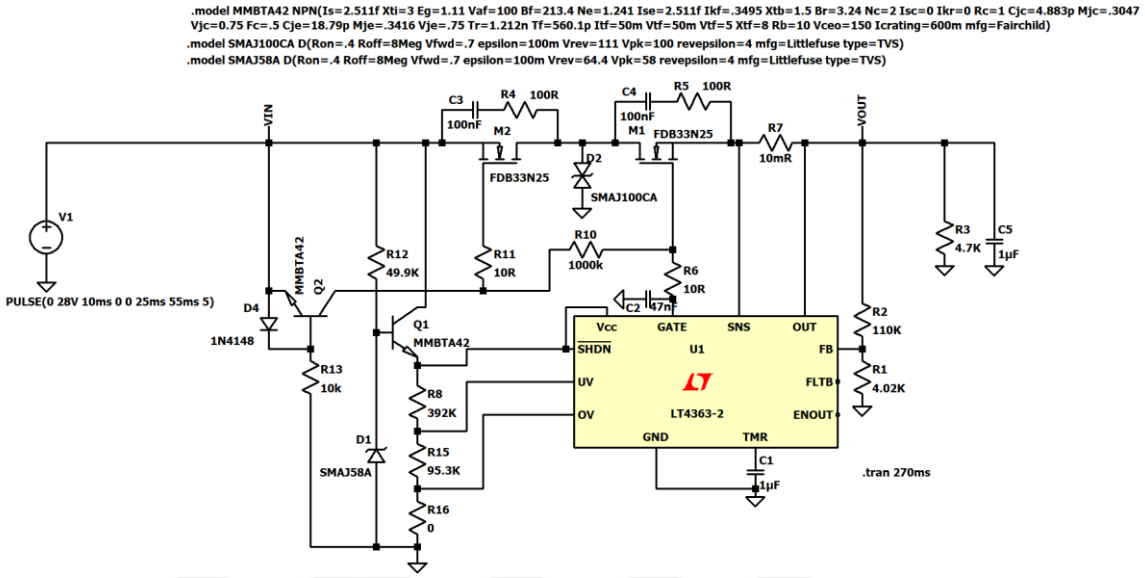
Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.82 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.82. LDC201-C Testi Grafiği

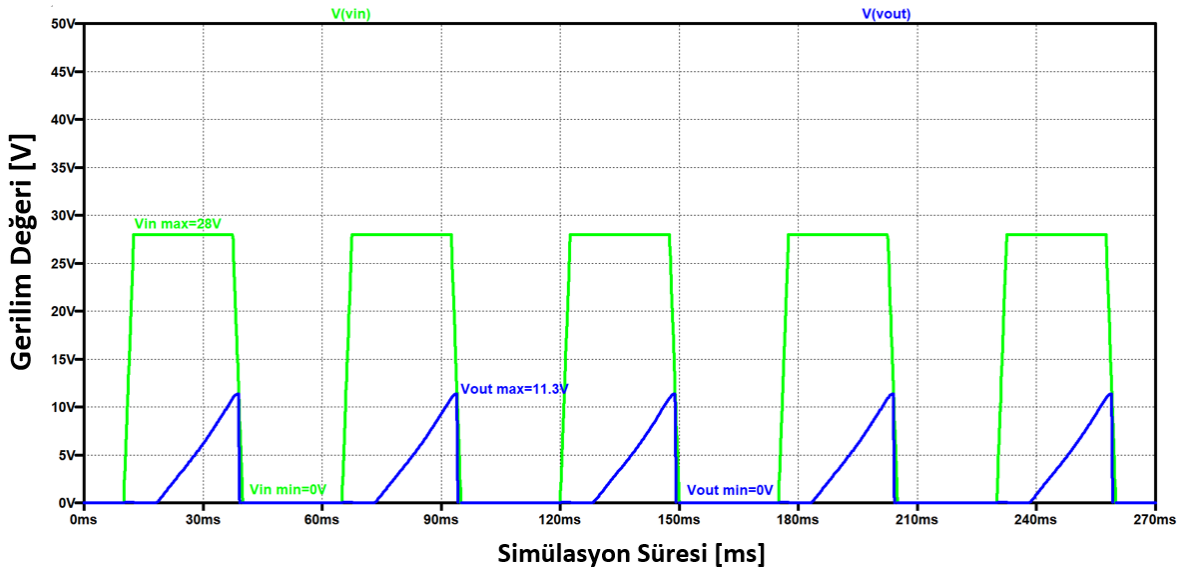
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

LTSpice programı kullanılarak hazırlanan LDC201-D devre simülasyon şematiği aşağıdaki Şekil 4.83 ile verilmiştir.



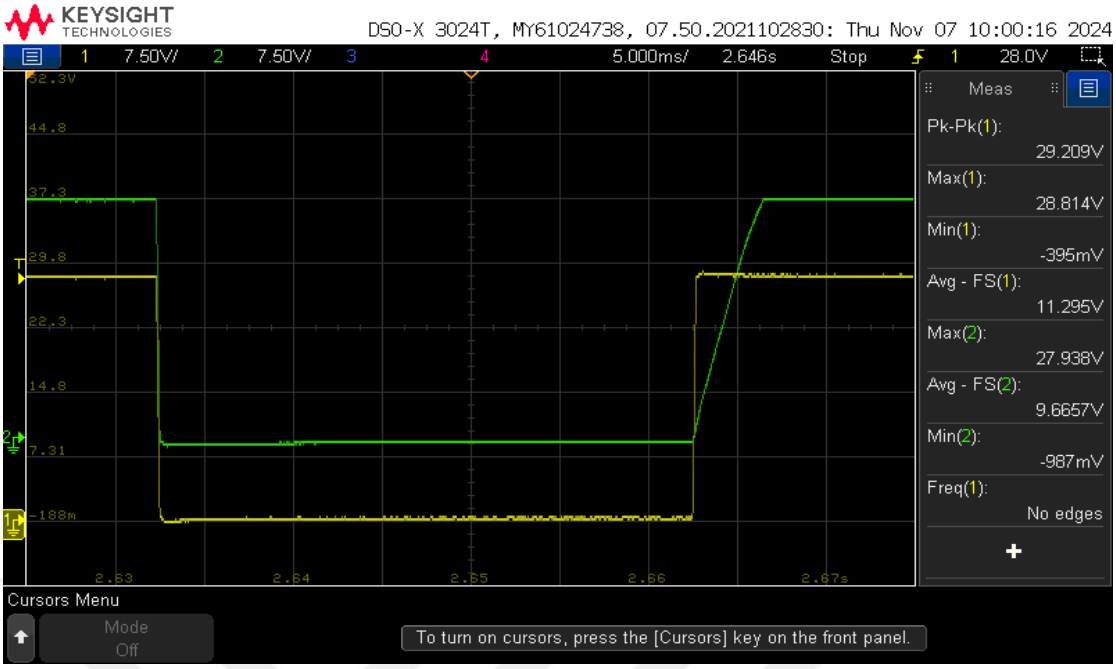
Şekil 4.83. LDC201 D Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-D devre devre simülasyon grafiği aşağıdaki Şekil 4.84 ile verilmiştir.



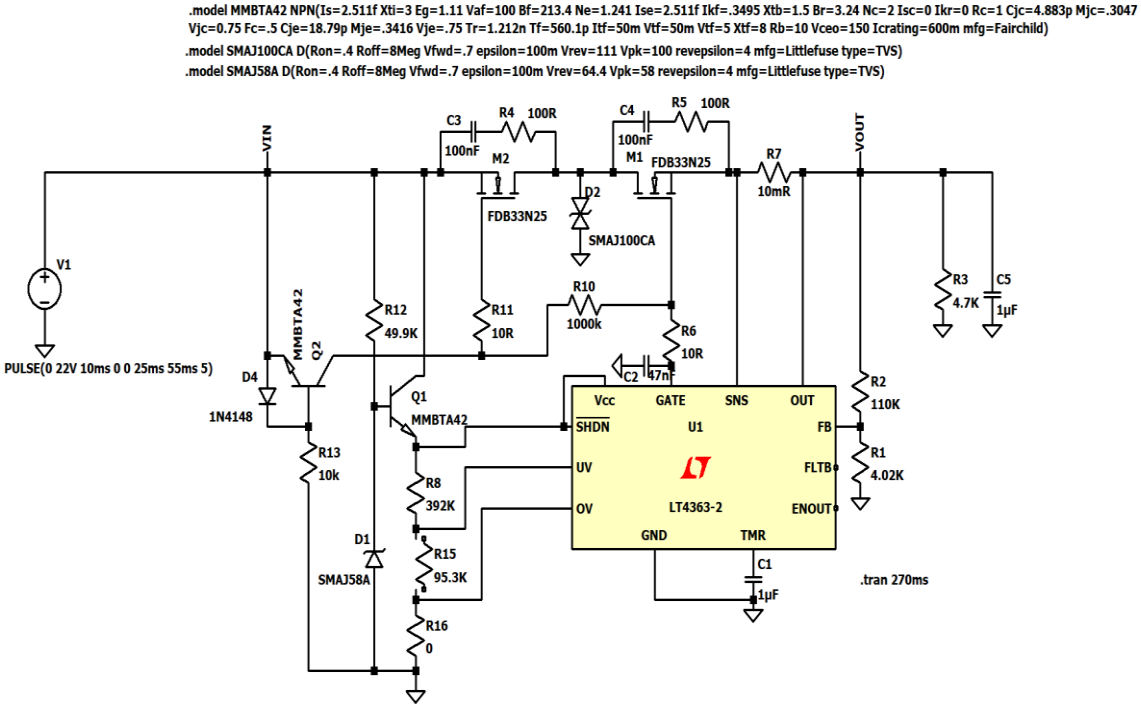
Şekil 4.84. LDC201 D Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.85 ile aşağıdaki grafikte gösterilmiştir.



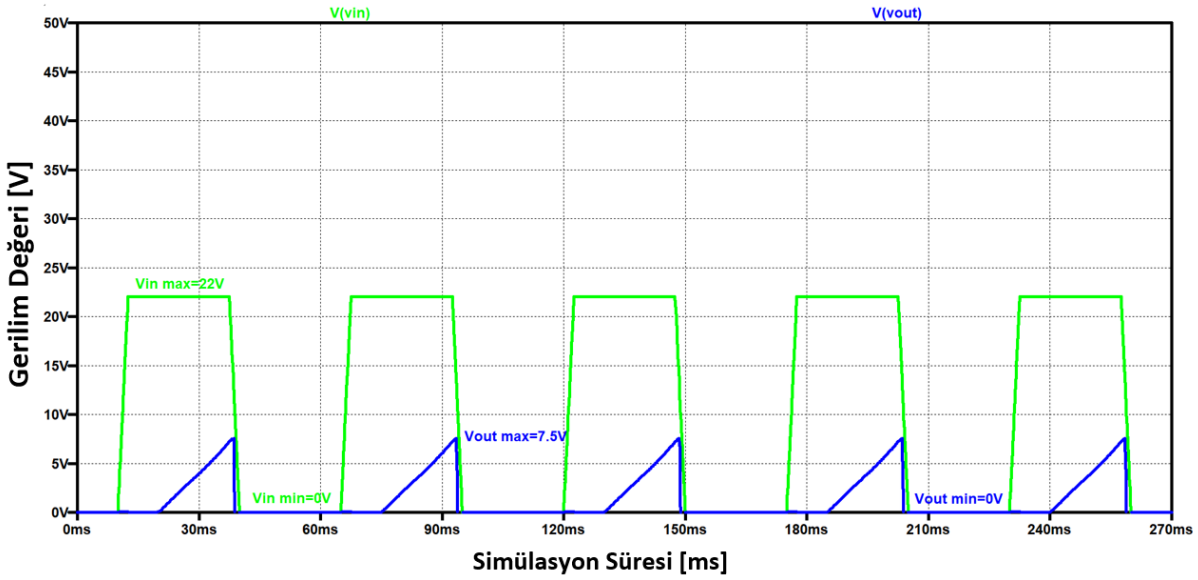
Şekil 4.85. LDC201-D Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-E devre simülasyon şematiği aşağıdaki Şekil 4.86 ile verilmiştir.



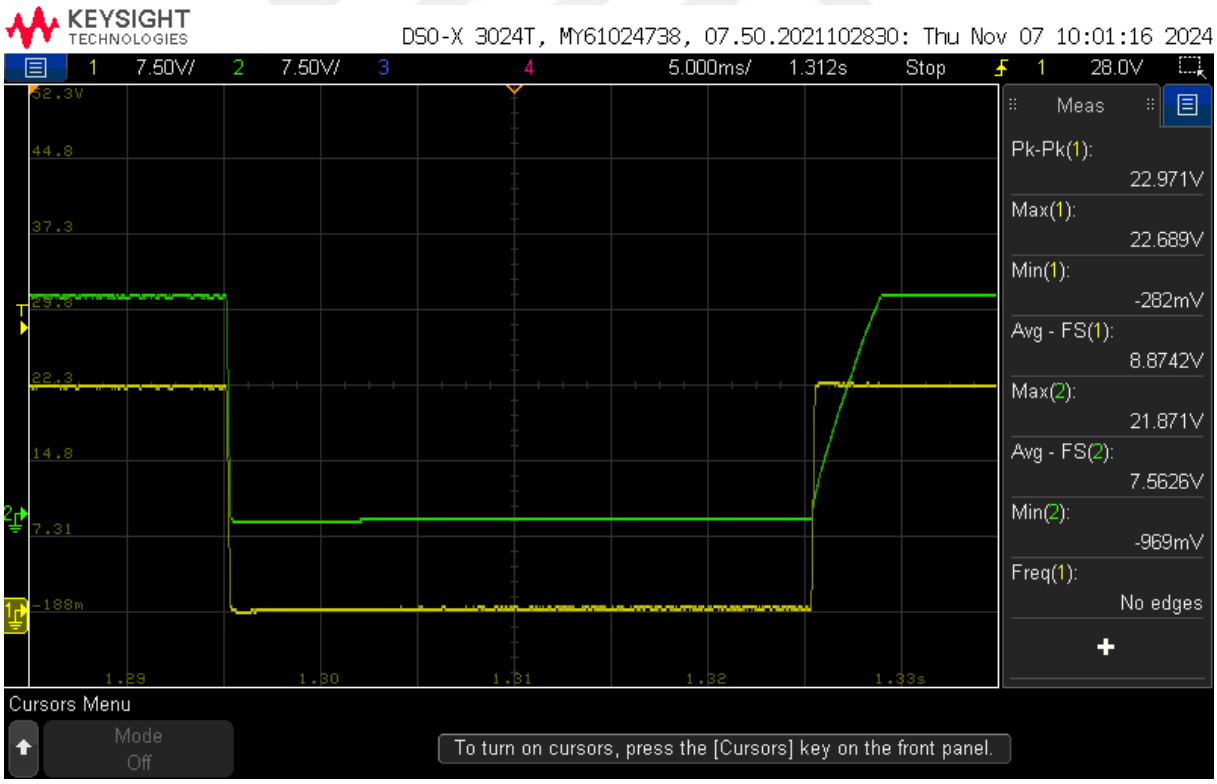
Şekil 4.86. LDC201 E Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-E devre devre simülasyon grafiği aşağıdaki Şekil 4.87 ile verilmiştir.



Şekil 4.87. LDC201 E Testi Simülasyon Grafiği

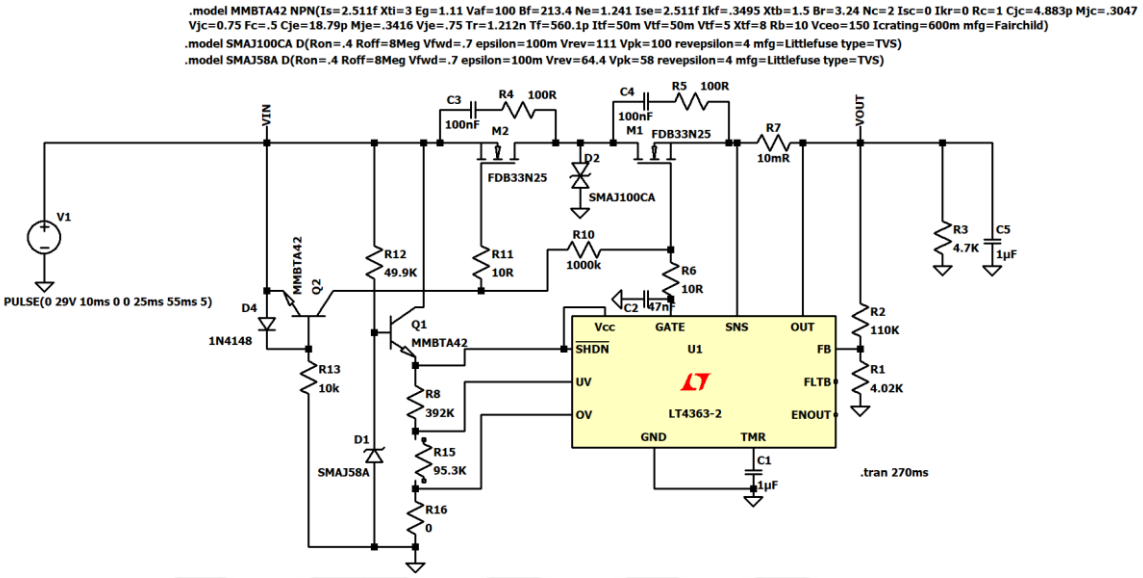
Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.88 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.88. LDC201-E Testi Grafiği

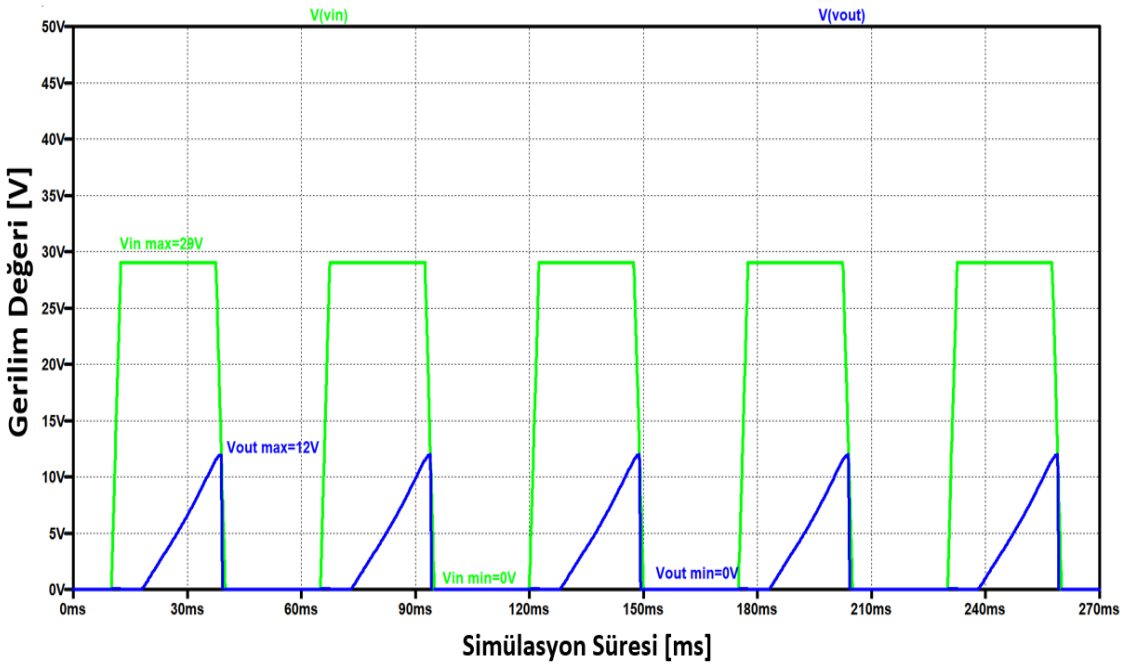
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

LTSpice programı kullanılarak hazırlanan LDC201-F devre simülasyon şematiği aşağıdaki Şekil 4.89 ile verilmiştir.



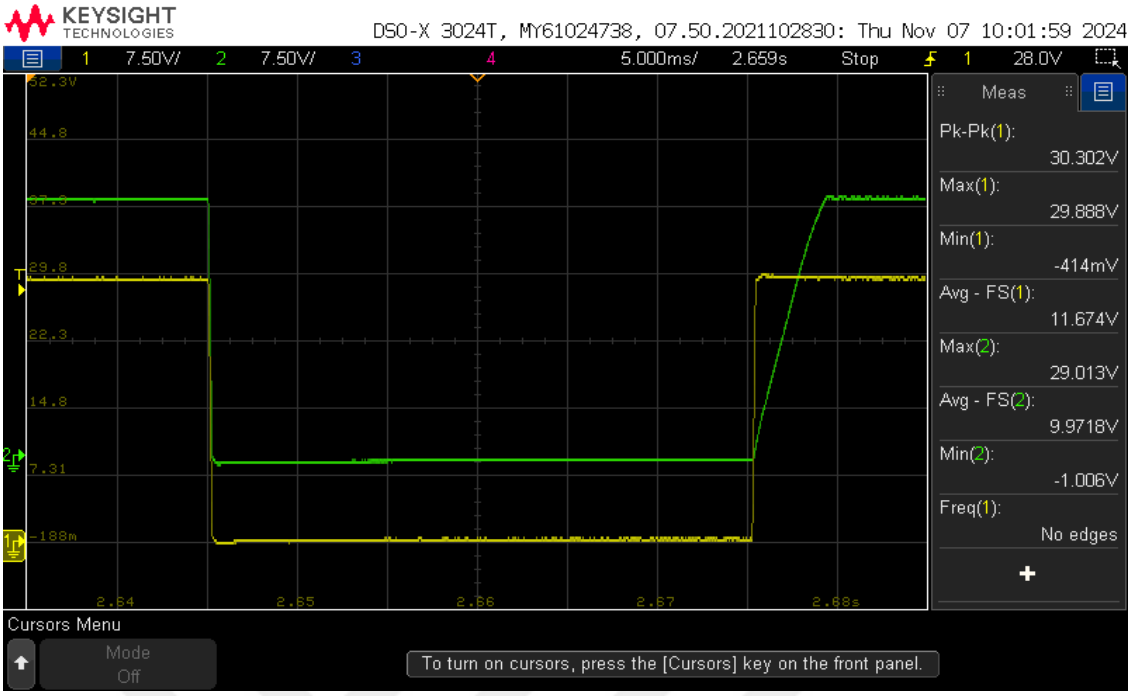
Şekil 4.89. LDC201 F Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-F devre devre simülasyon grafiği aşağıdaki Şekil 4.90 ile verilmiştir.



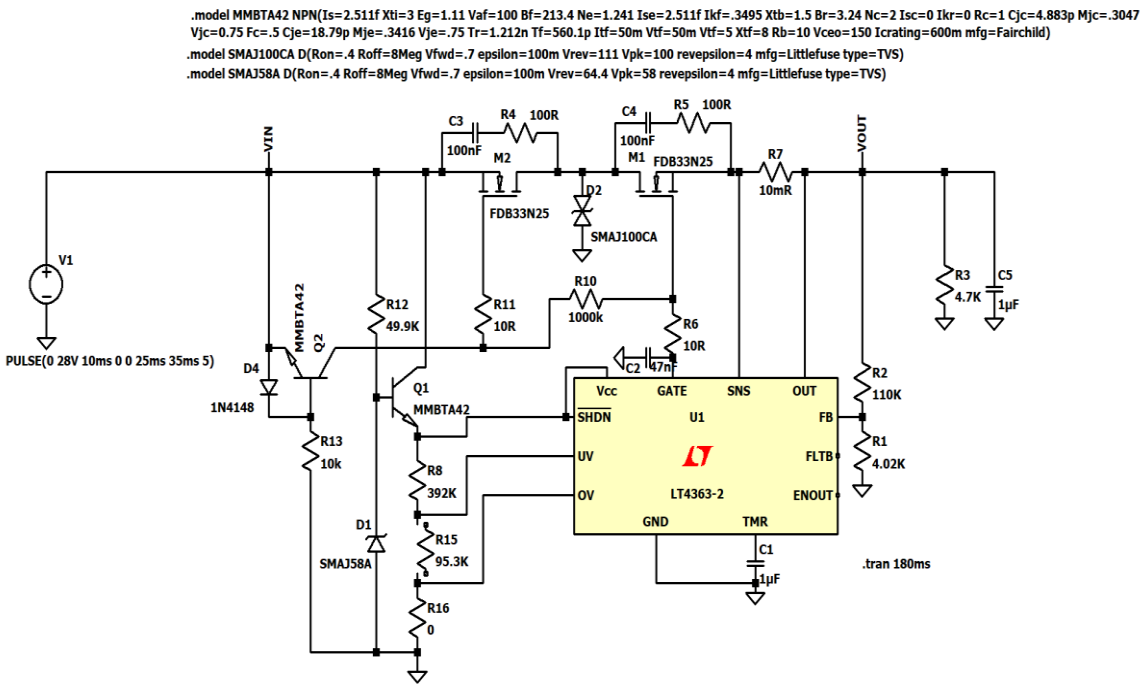
Şekil 4.90. LDC201 F Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.91 ile aşağıdaki grafikte gösterilmiştir.



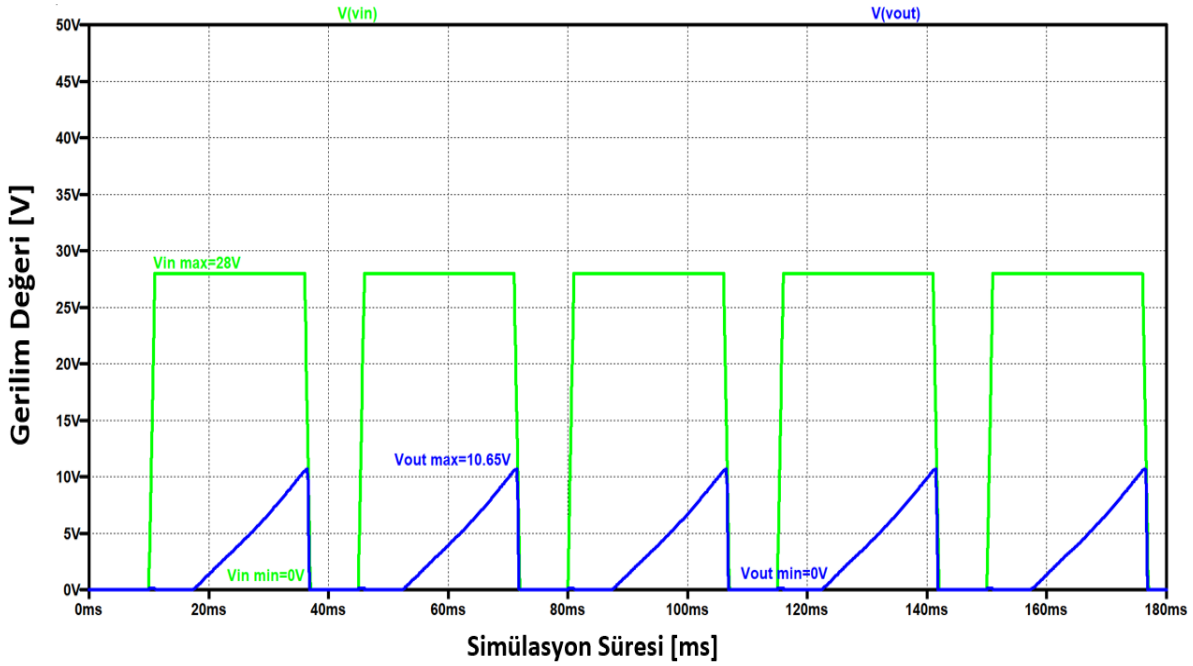
Şekil 4.91. LDC201-F Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-G devre simülasyon şematiği aşağıdaki Şekil 4.92 ile verilmiştir.



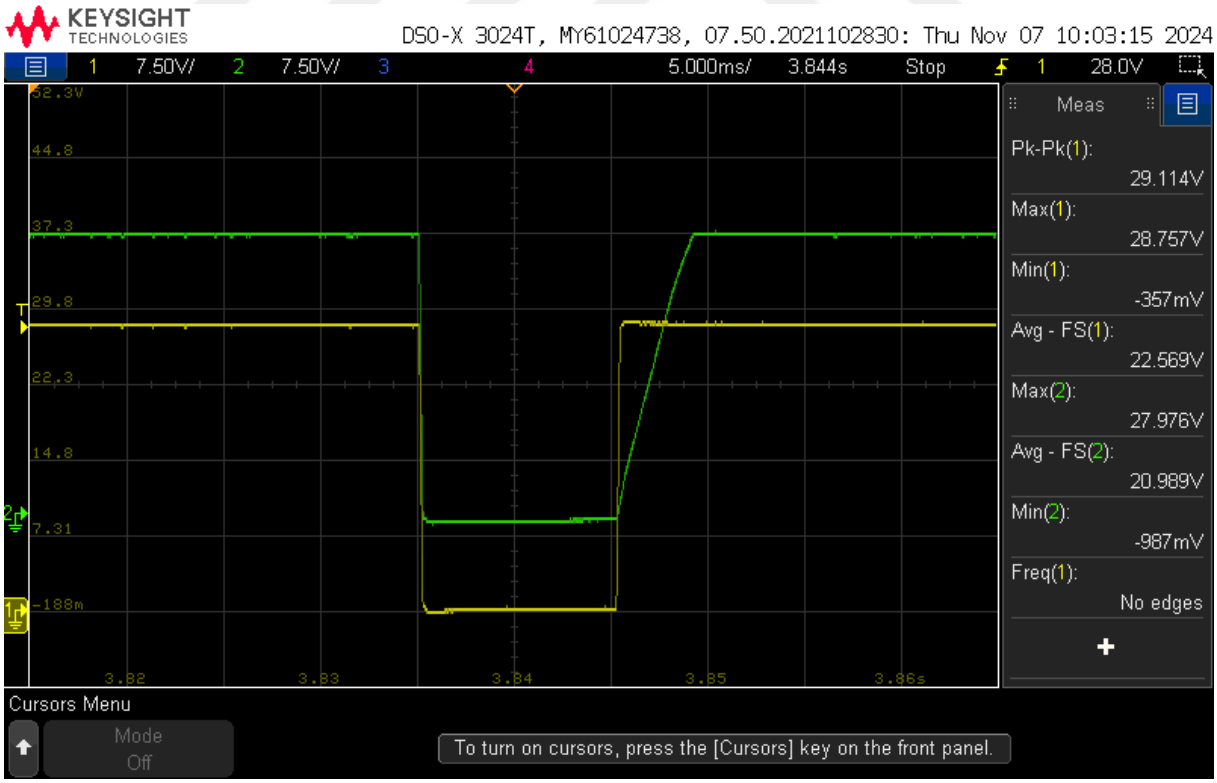
Şekil 4.92. LDC201 G Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-G devre devre simülasyon grafiği aşağıdaki Şekil 4.93 ile verilmiştir.



Şekil 4.93. LDC201 G Testi Simülasyon Grafiği

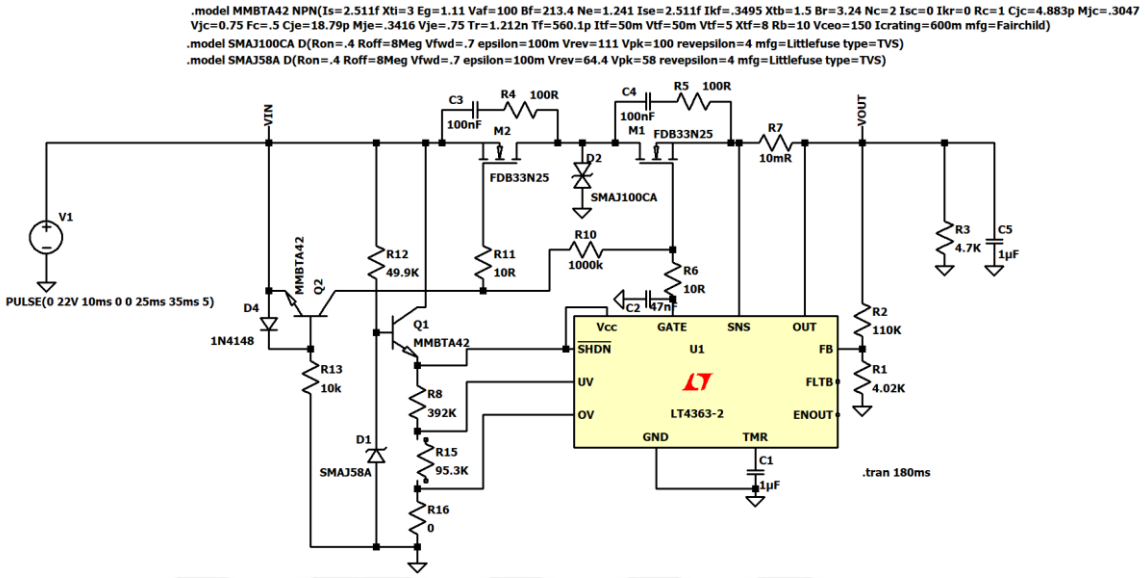
Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.94 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.94. LDC201-G Testi Grafiği

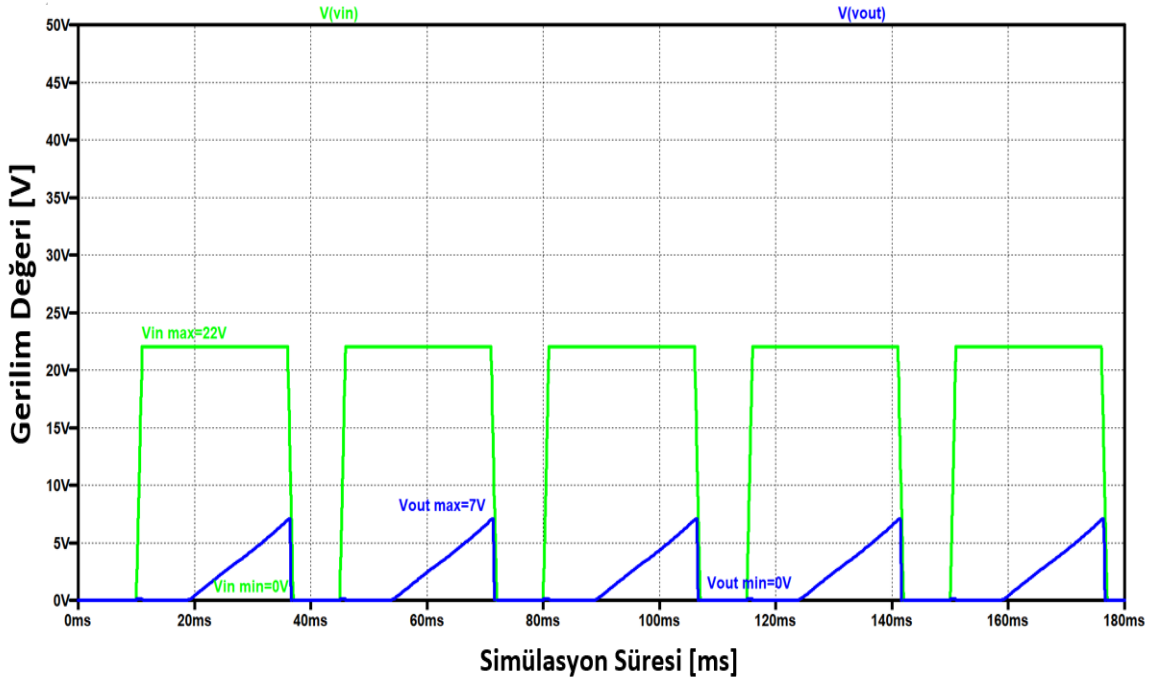
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

LTSpice programı kullanılarak hazırlanan LDC201-H devre simülasyon şematiği aşağıdaki Şekil 4.95 ile verilmiştir.



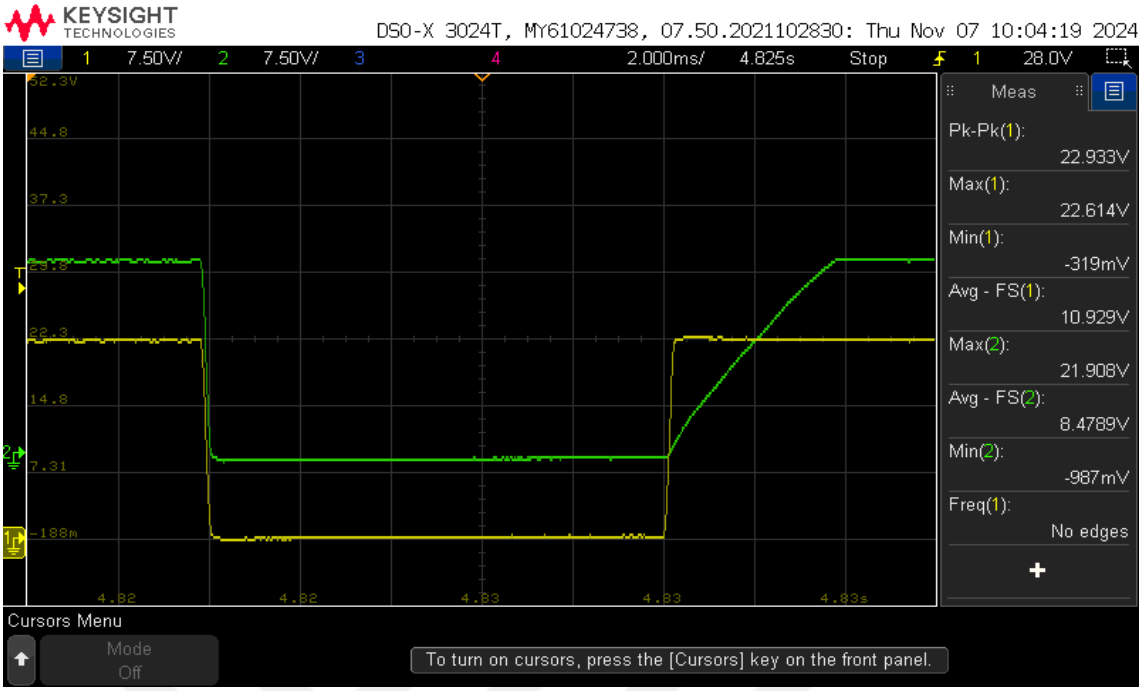
Şekil 4.95. LDC201 H Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-H devre devre simülasyon grafiği aşağıdaki Şekil 4.96 ile verilmiştir.



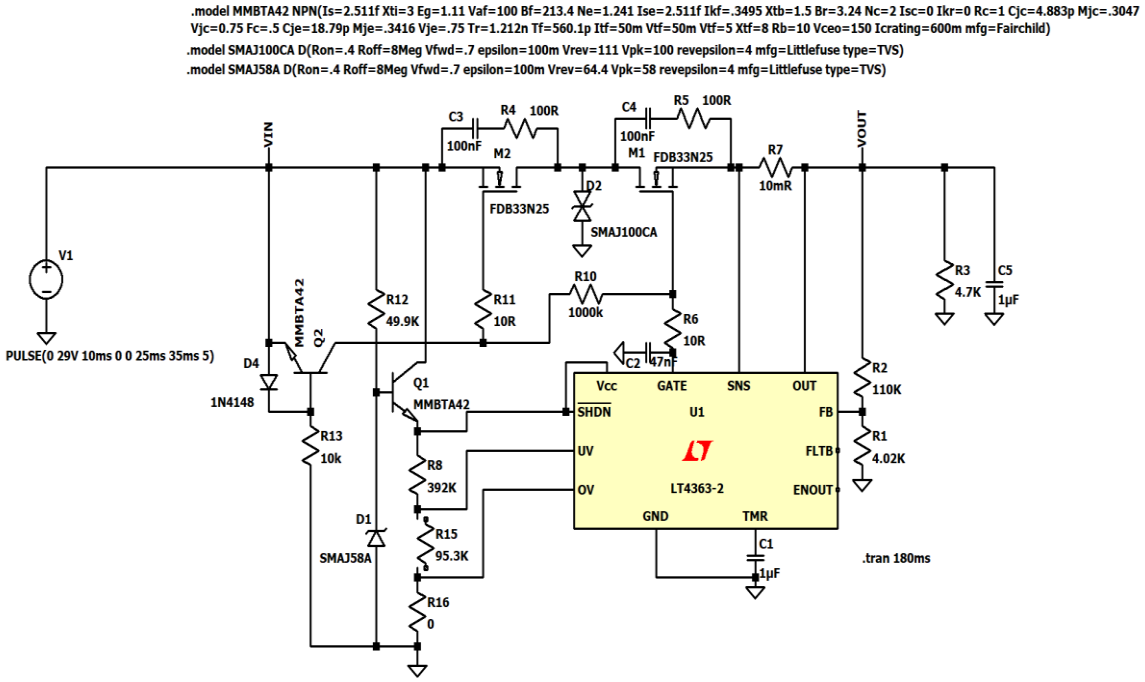
Şekil 4.96. LDC201 H Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.97 ile aşağıdaki grafikte gösterilmiştir.



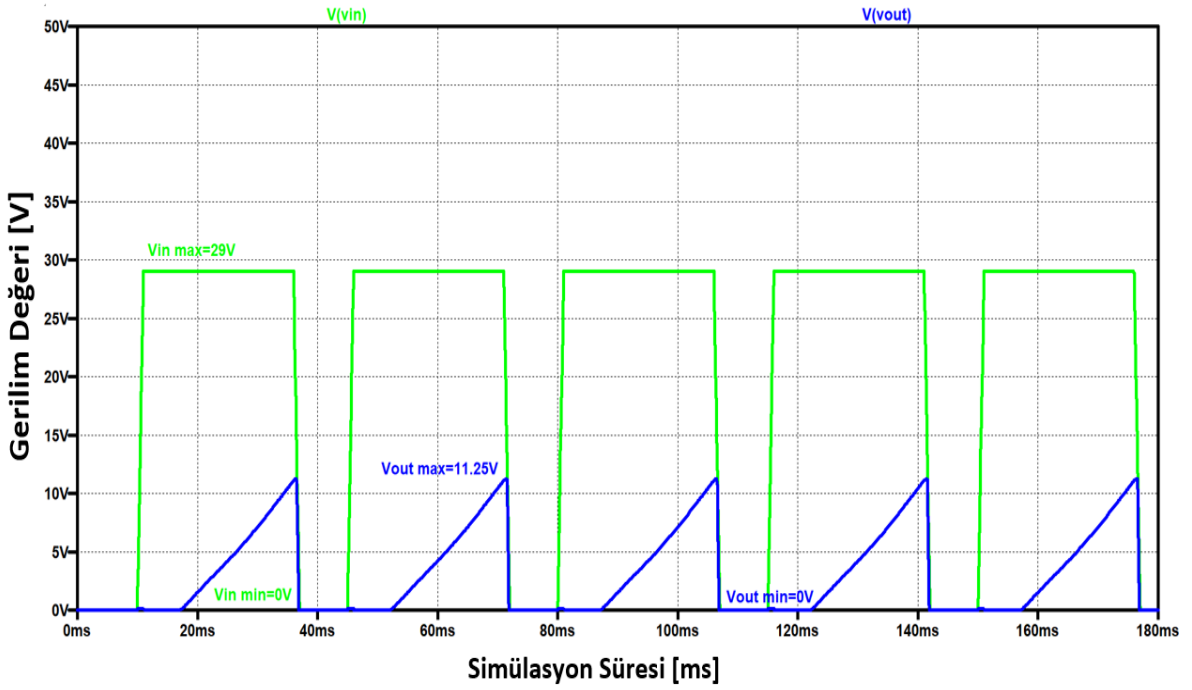
Şekil 4.97. LDC201-H Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-I devre simülasyon şematiği aşağıdaki Şekil 4.98 ile verilmiştir.



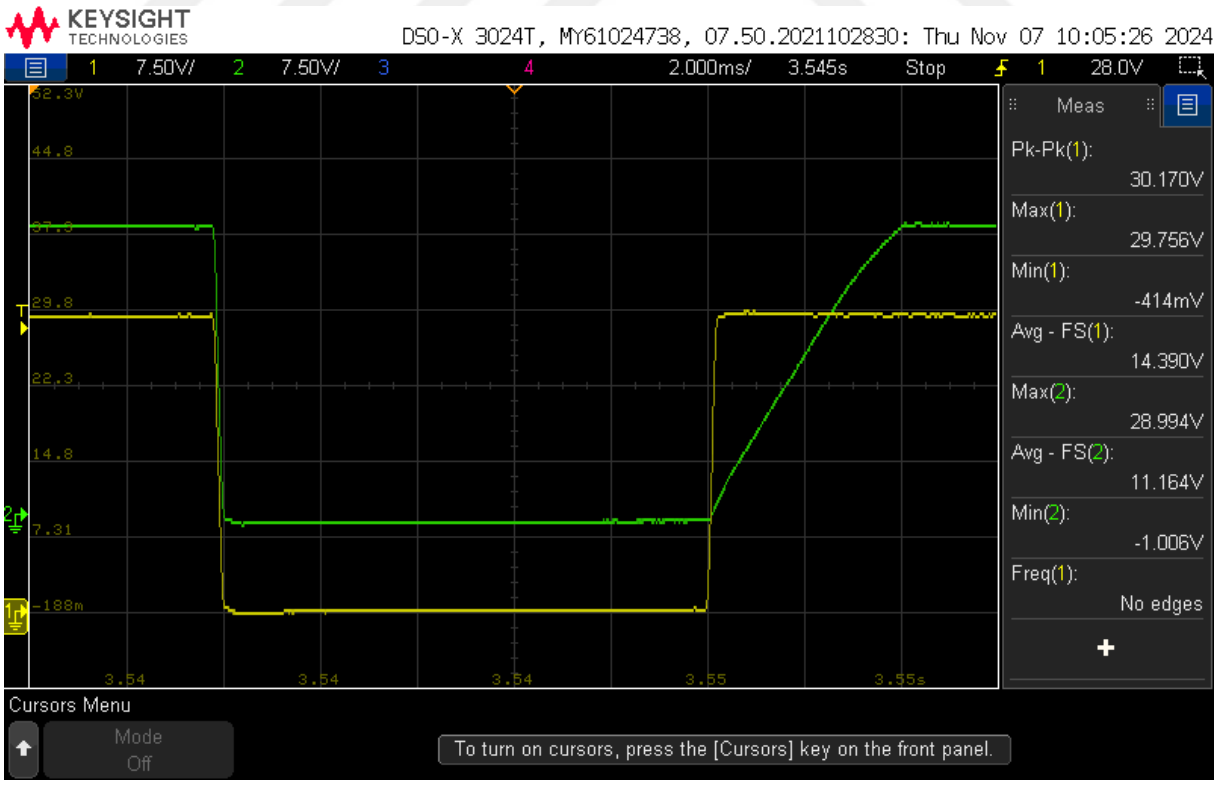
Şekil 4.98. LDC201 I Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-I devre devre simülasyon grafiği aşağıdaki Şekil 4.99 ile verilmiştir.



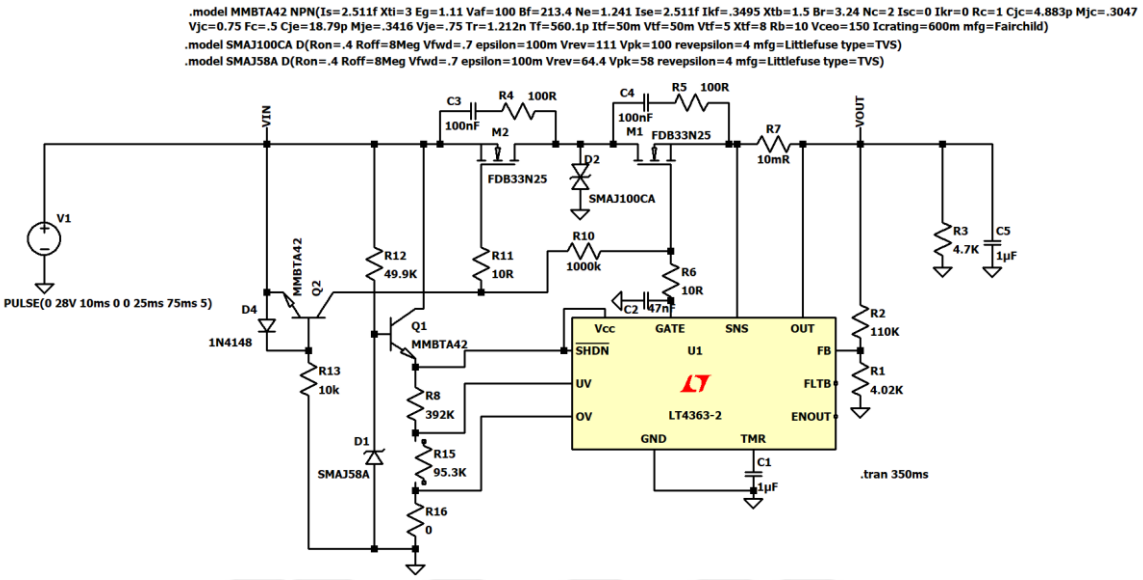
Şekil 4.99. LDC201 I Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.100 ile aşağıdaki grafikte gösterilmiştir.



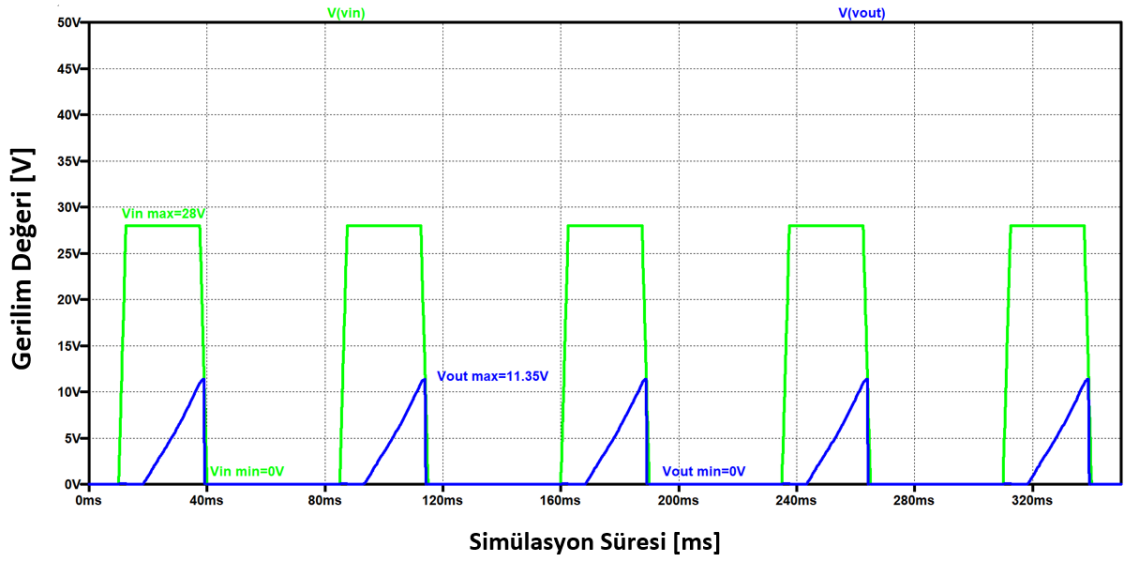
Şekil 4.100. LDC201-I Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC201-J devre simülasyon şematiği aşağıdaki Şekil 4.101 ile verilmiştir.



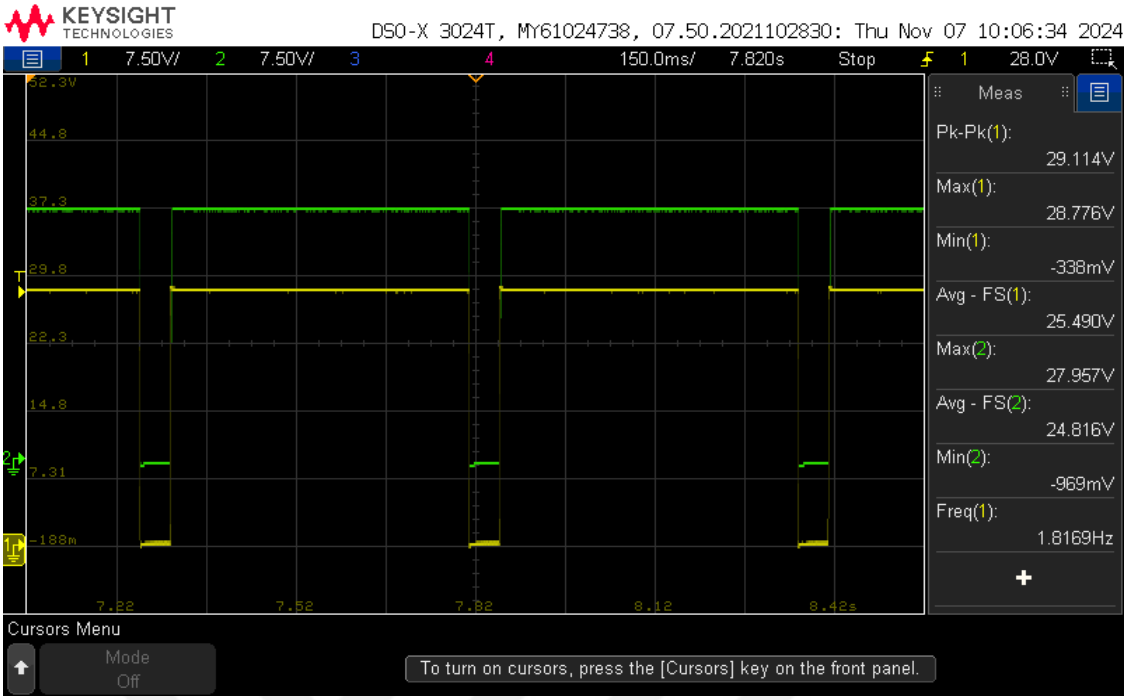
Şekil 4.101. LDC201 J Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC201-J devre devre simülasyon grafiği aşağıdaki Şekil 4.102 ile verilmiştir.



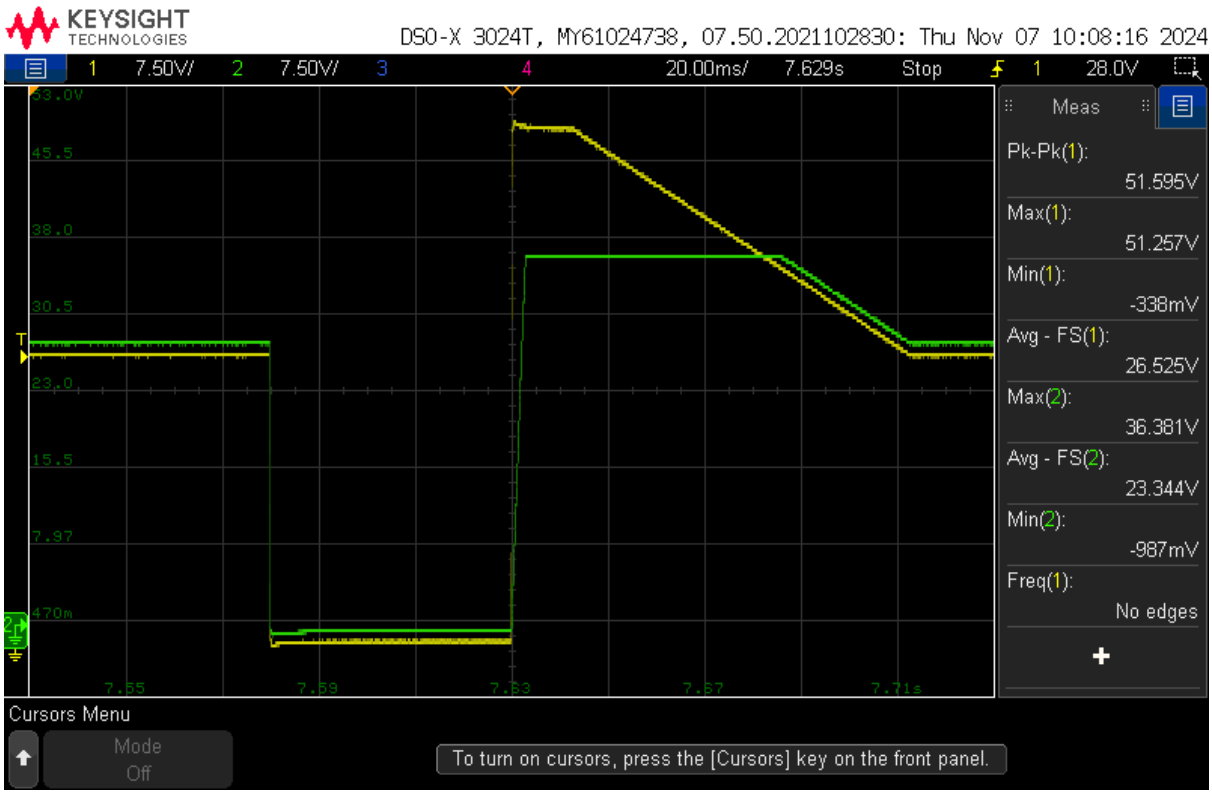
Şekil 4.102. LDC201 J Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.103 ile aşağıdaki grafikte gösterilmiştir.



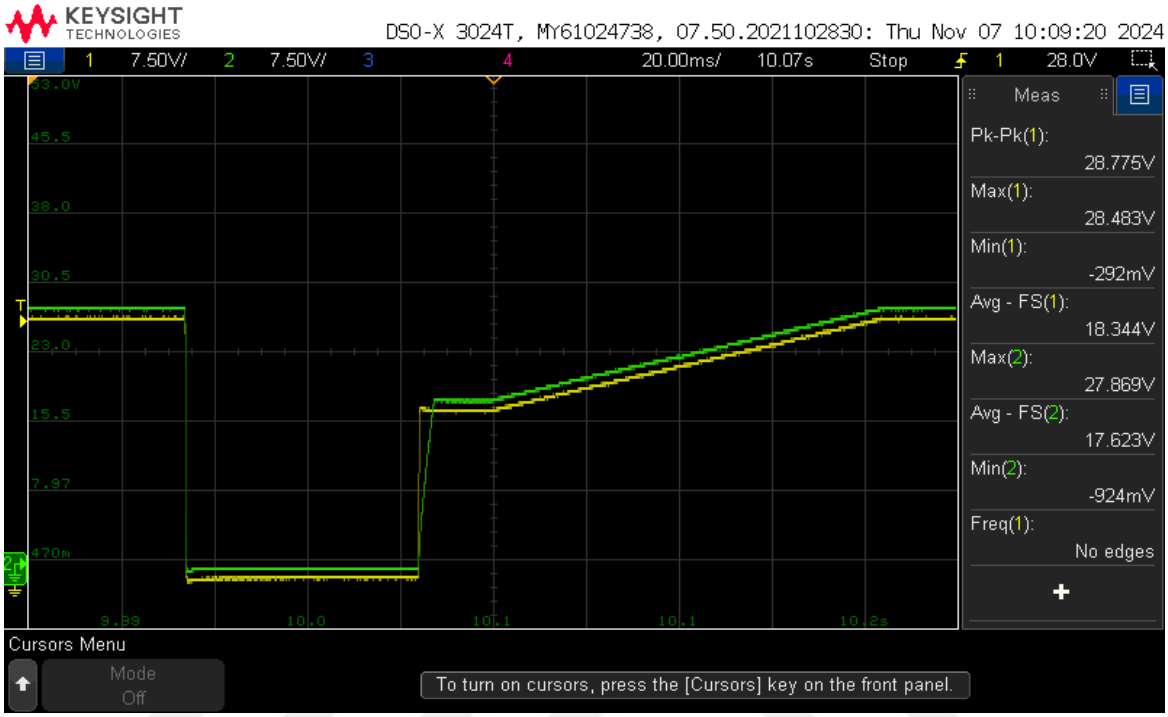
Şekil 4.103. LDC201-J Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. Teste dair; osiloskop görüntüsü Şekil 4.104 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.104. LDC201-K Testi Grafiği

Bu sonuçlar değerlendirildiğinde, test sonuçlarının güç girişi ile tutarlı olduğu gözlemlenmiştir. Teste dair; osiloskop görüntüsü Şekil 4.104 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.105. LDC201-L Testi Grafiği

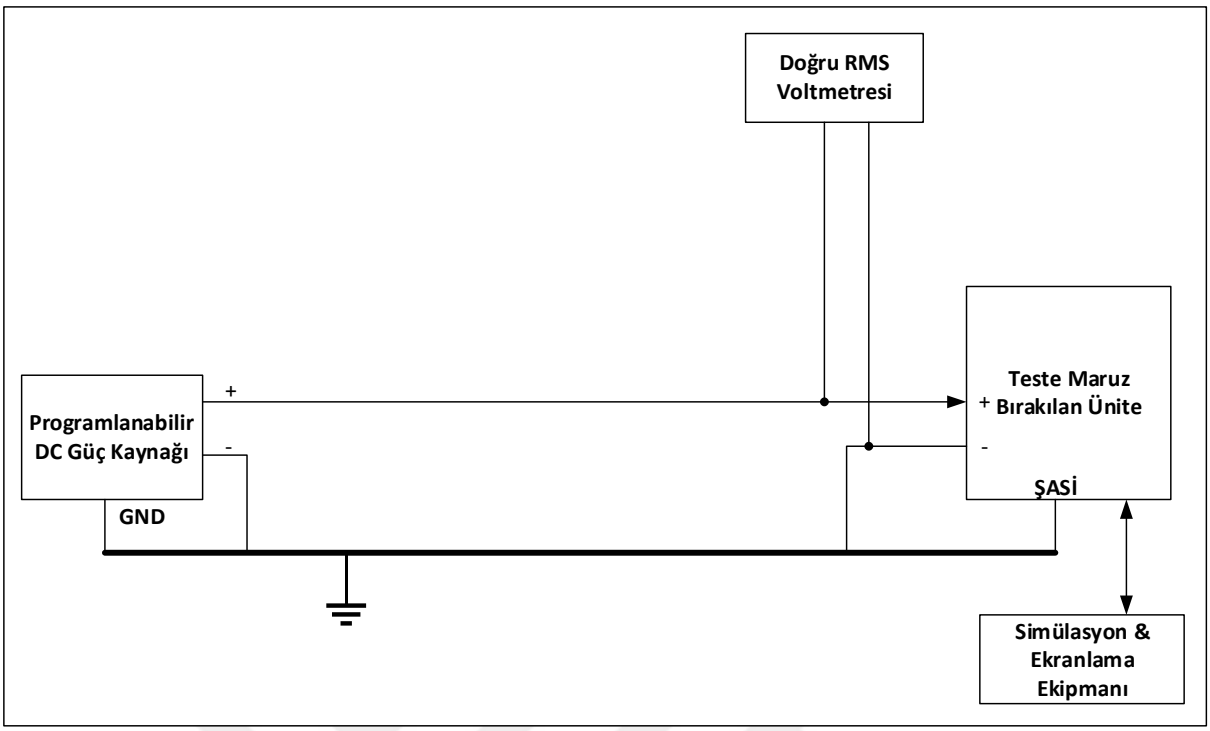
Bu sonuçlar değerlendirildiğinde, test sonuçlarının güç girişi ile tutarlı olduğu gözlemlenmiştir.

4.2.7. LDC301 Testi

LDC301 Anormal Gerilim Kararlı Hal Limitleri testinin amacı; ünitenin güç girişi MIL-STD-704F standardının Anormal Düşük Kararlı Hal Gerilimi (ALSS- Abnormal Low Steady State) ve Abnormal Yüksek Kararlı Hal Gerilimi (AHSS- Abnormal High Steady State) test koşullarına maruz bırakıldığı durumlarda belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

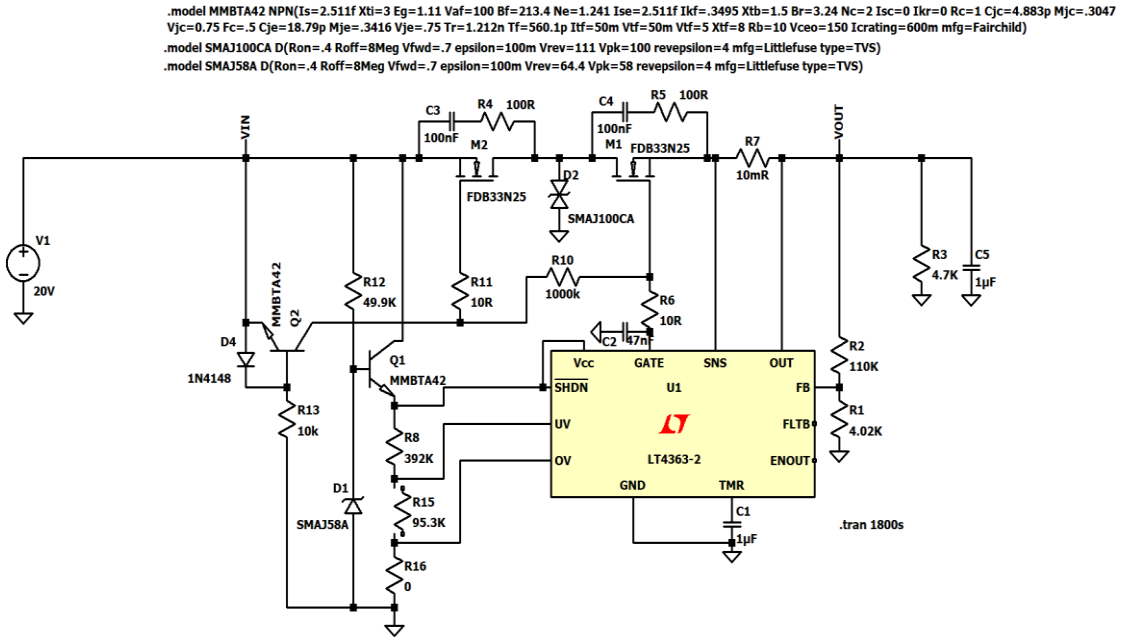
Tablo 4.6. MIL-STD-704F Anormal Kararlı Hal Gerilim Limitleri

Anormal Limitler	Test Durumu	Gerilim	704F	Süre
Voltage NLSS	A	ALSS Voltage	20.0 VDC	30 min
Voltage NHSS	B	AHSS Voltage	31.5 VDC	30 min



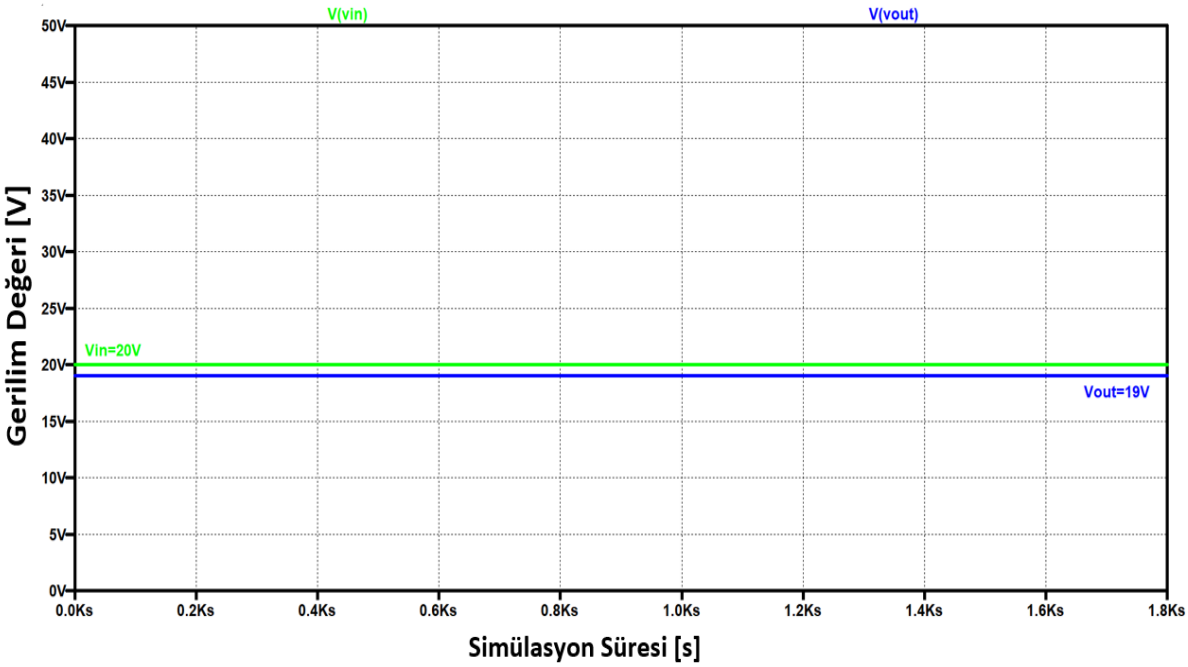
Şekil 4.106. LDC301 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.106 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC301-A devre simülasyon şematiği aşağıdaki Şekil 4.107 ile verilmiştir.



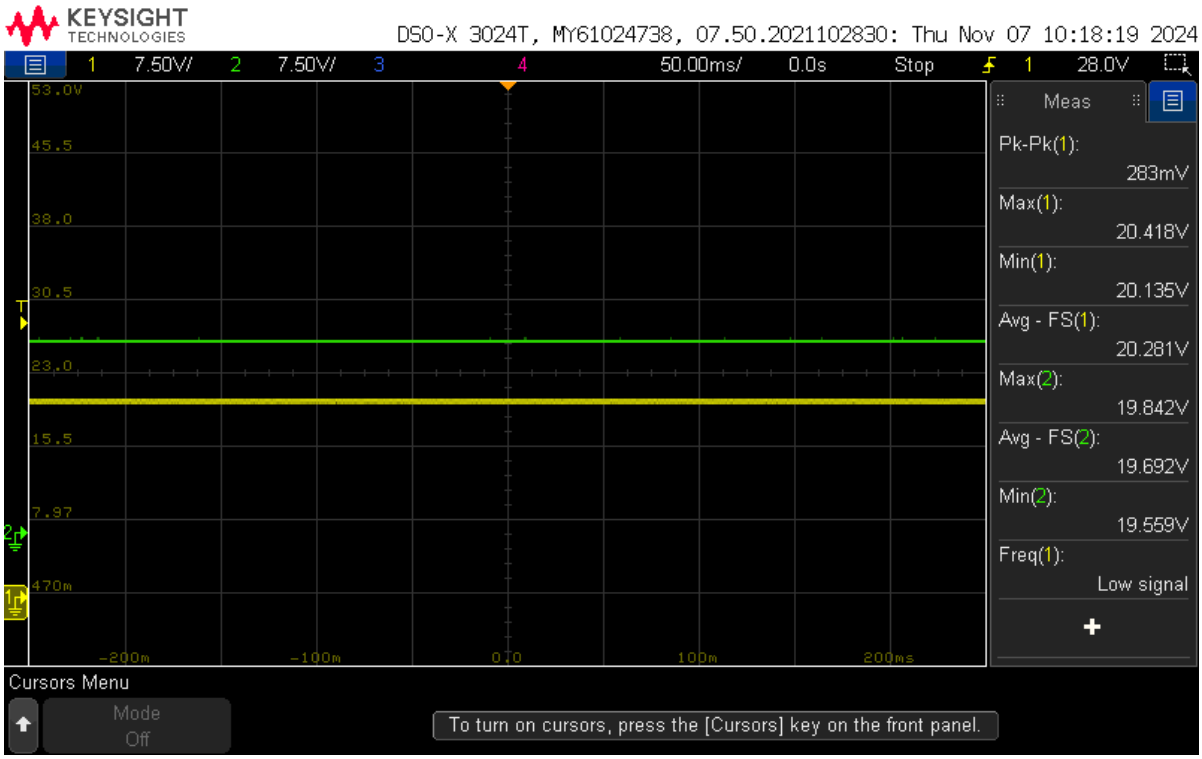
Şekil 4.107. LDC301 A Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC301-A devre devre simülasyon grafiği aşağıdaki Şekil 4.108 ile verilmiştir.



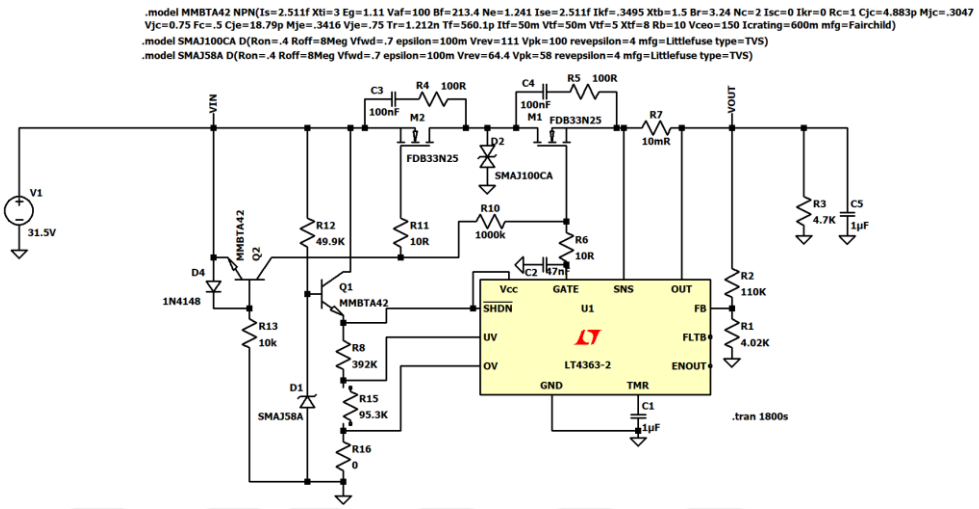
Şekil 4.108. LDC301 A Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Ünitede uygulanan LDC301 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.109 ile aşağıdaki grafikte gösterilmiştir.



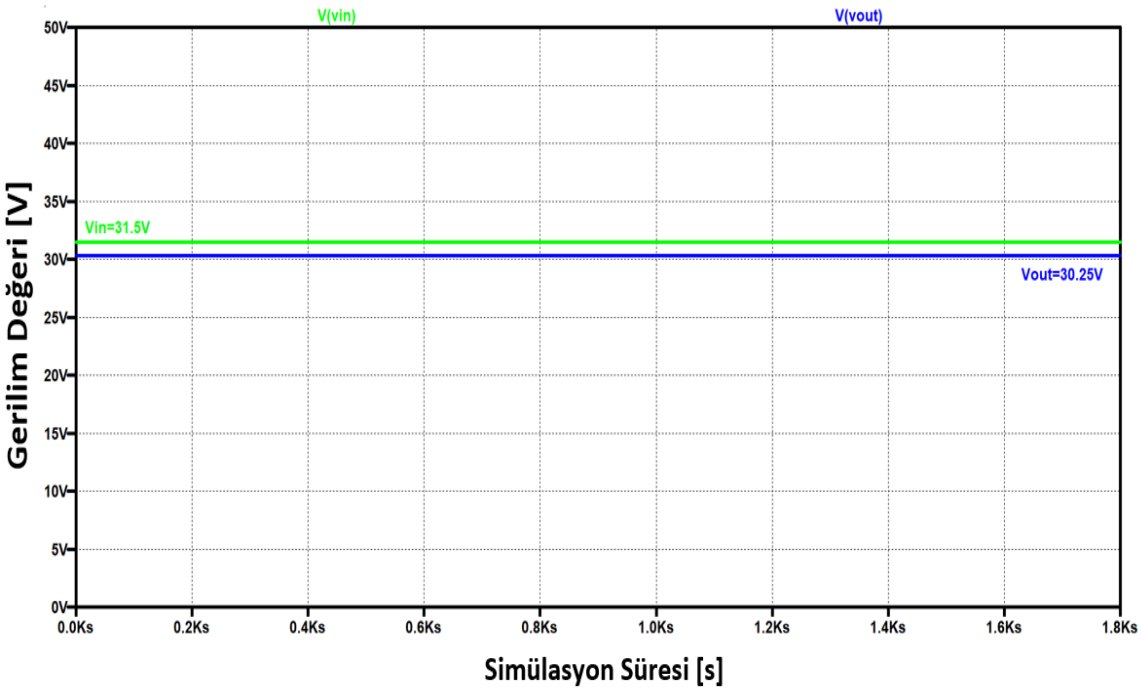
Şekil 4.109. LDC301-NLSS Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC301-B devre simülasyon şematiği aşağıdaki Şekil 4.110 ile verilmiştir.



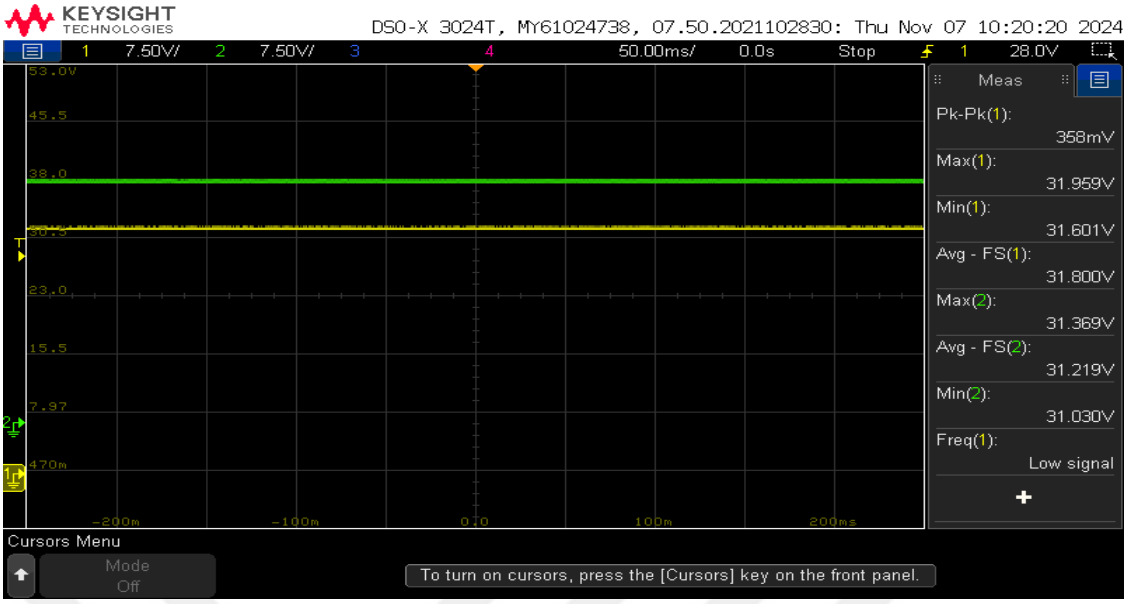
Şekil 4.110. LDC301 B Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC301-B devre devre simülasyon grafiği aşağıdaki Şekil 4.111 ile verilmiştir.



Şekil 4.111. LDC301 B Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.112 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.112. LDC301-NHSS Testi Grafiği

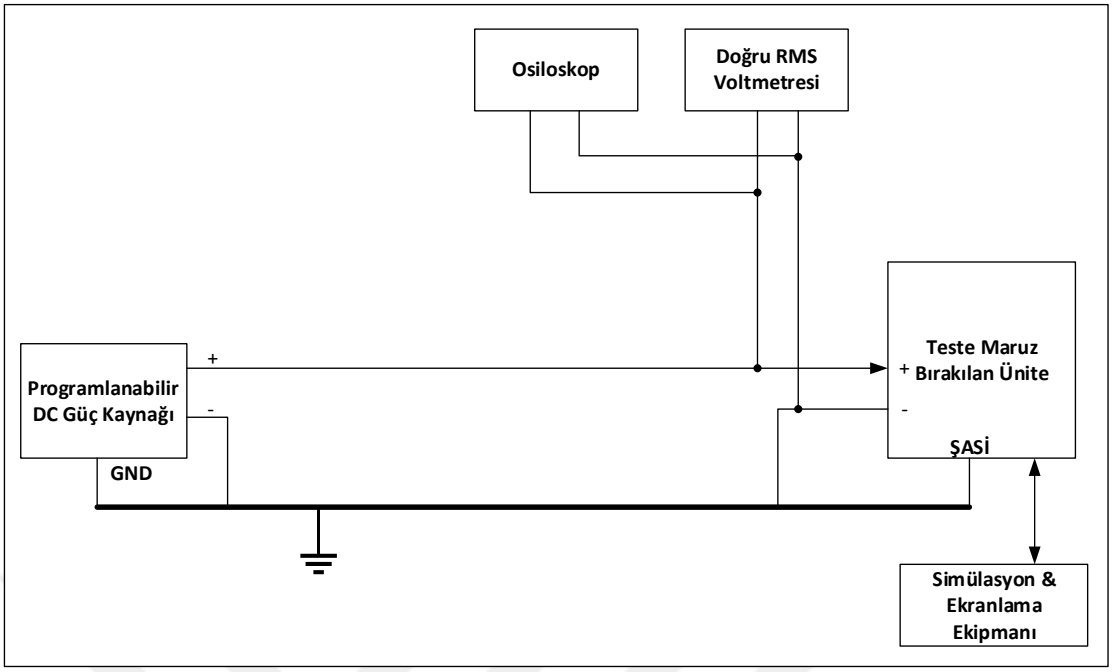
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.8. LDC302 Testi

LDC302 Anormal Gerilim Geçici Halleri testinin amacı; ünitenin güç girişi MIL-STD-704F standardının GGG test durumundan LLL test durumuna kadar belirtilen sürede gerilim geçişlerinde, en az 5 kez tekrarlandığında belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

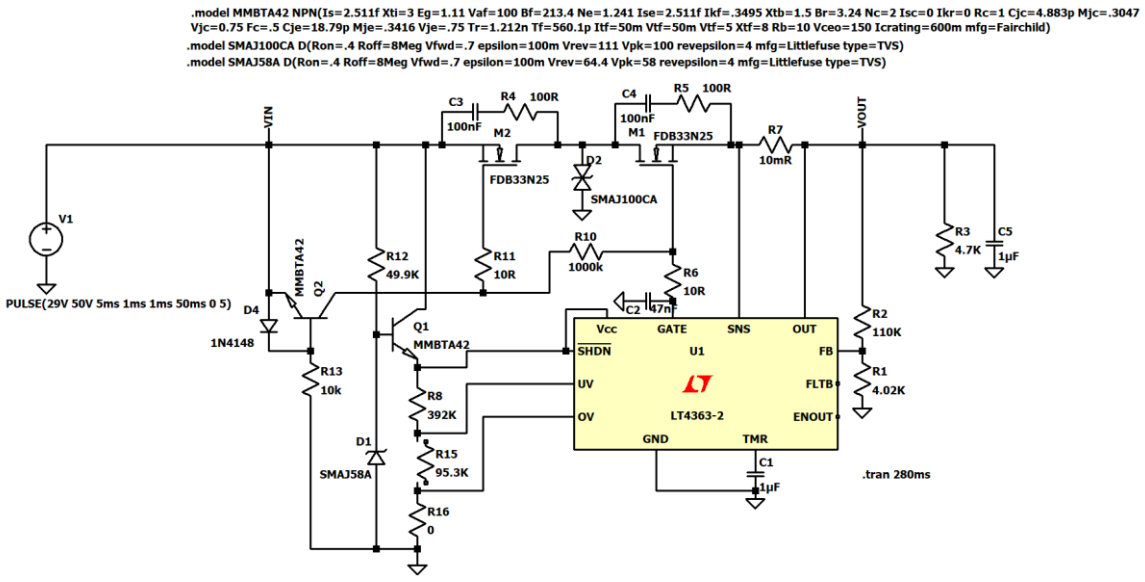
Tablo 4.7. MIL-STD-704F Anormal Gerilim Geçiş Limitleri

Test Durumu	Kararlı Hal Gerilimi	Kararlı Hal Geriliminden Transient Gerilimine Geçiş Süresi	Transient Gerilim Limiti	Transient Geriliminde Bekleme Süresi	Transient Geriliminden Kararlı Hal Gerilimine Geçiş Süresi
Yüksek Gerilim Transient Uygulaması					
AAA	29 VDC	<1 msec	50 VDC	50 msec	<1 msec
BBB	29 VDC	<1 msec	50 VDC	50 msec	15 msec
		then	45 VDC	Decreasing	30 msec
		then	40 VDC	decreasing	60 msec
		then	35 VDC	decreasing	4.85 msec
		then	30 VDC	decreasing	1 sec
		then	29 VDC		
CCC	29 VDC	<1 msec	50 VDC (3 times)	50 msec (every 0.5 sec)	<1 msec
DDD	22 VDC	<1 msec	50 VDC	50 msec	<1 msec



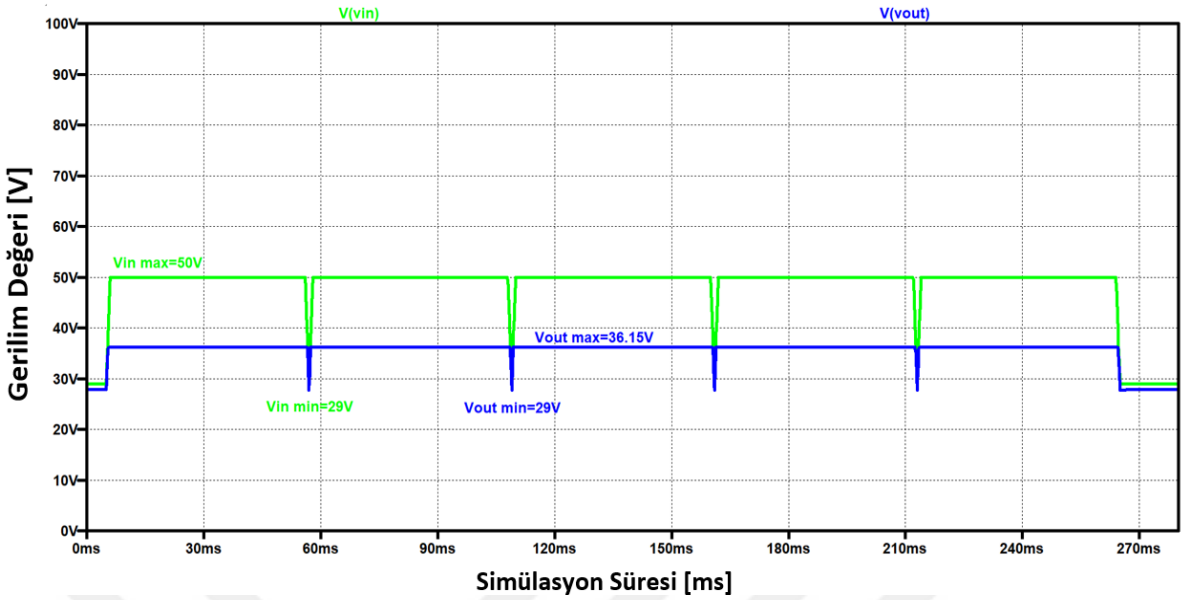
Şekil 4.113. LDC302 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.113 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC302-AAA devre simülasyon şematiği aşağıdaki Şekil 4.114 ile verilmiştir.



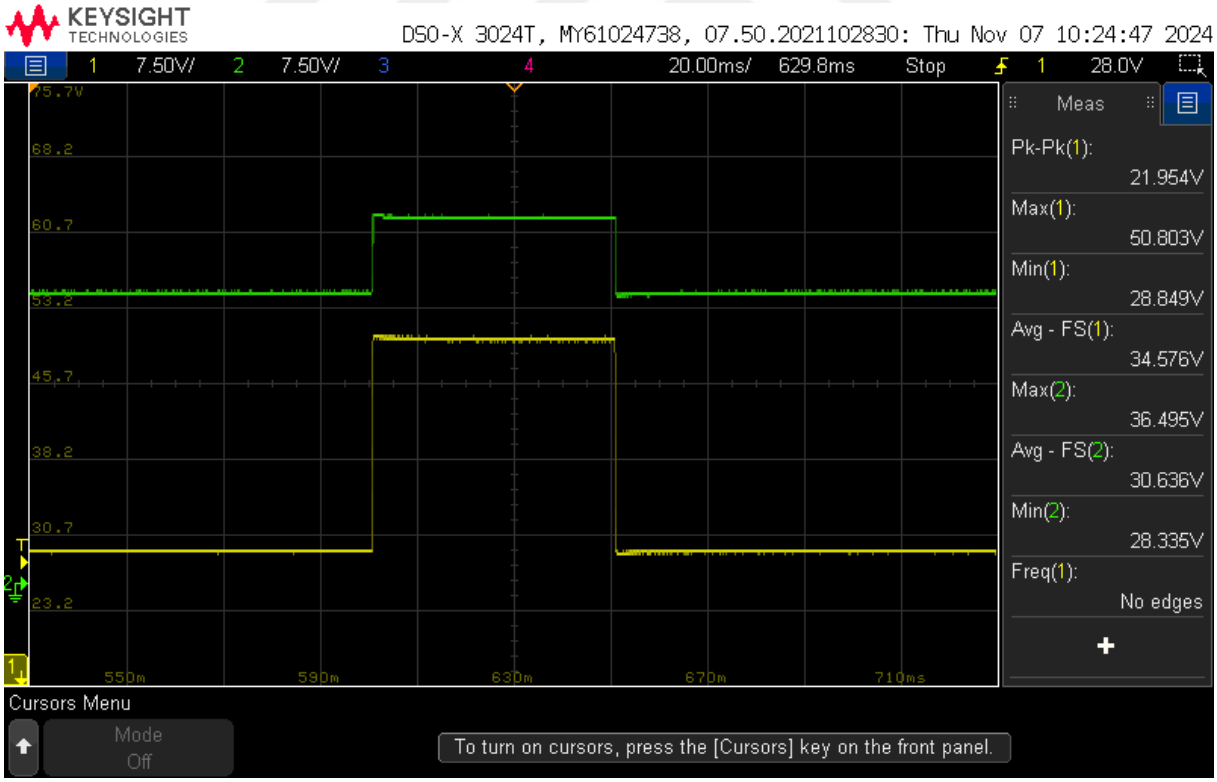
Şekil 4.114. LDC302 AAA Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC302-AAA devre simülasyon grafiği aşağıdaki Şekil 4.115 ile verilmiştir.



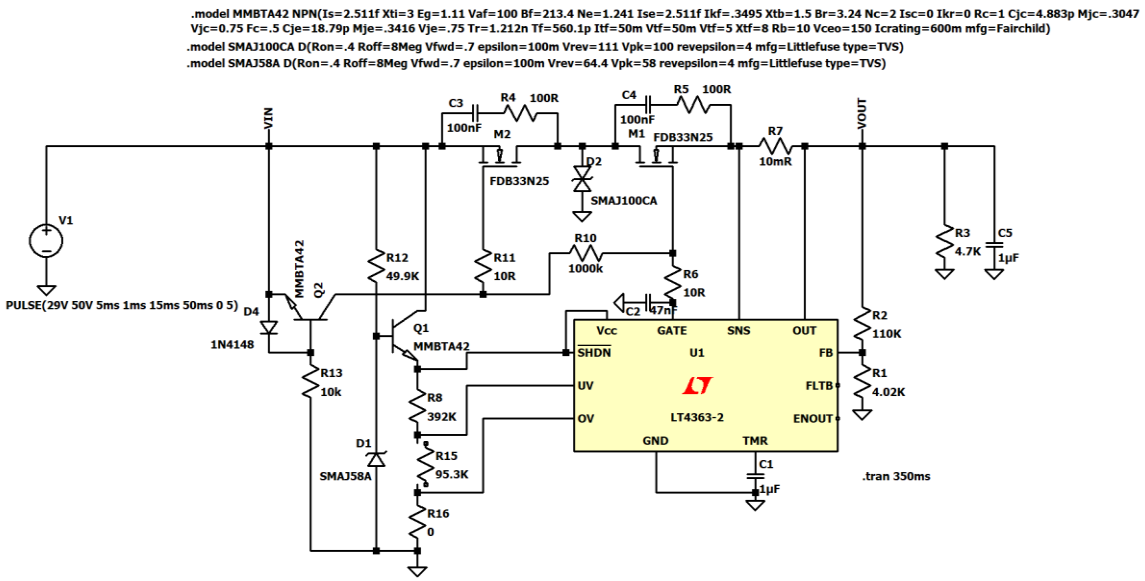
Şekil 4.115. LDC302 AAA Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.116 ile aşağıdaki grafikte gösterilmiştir.



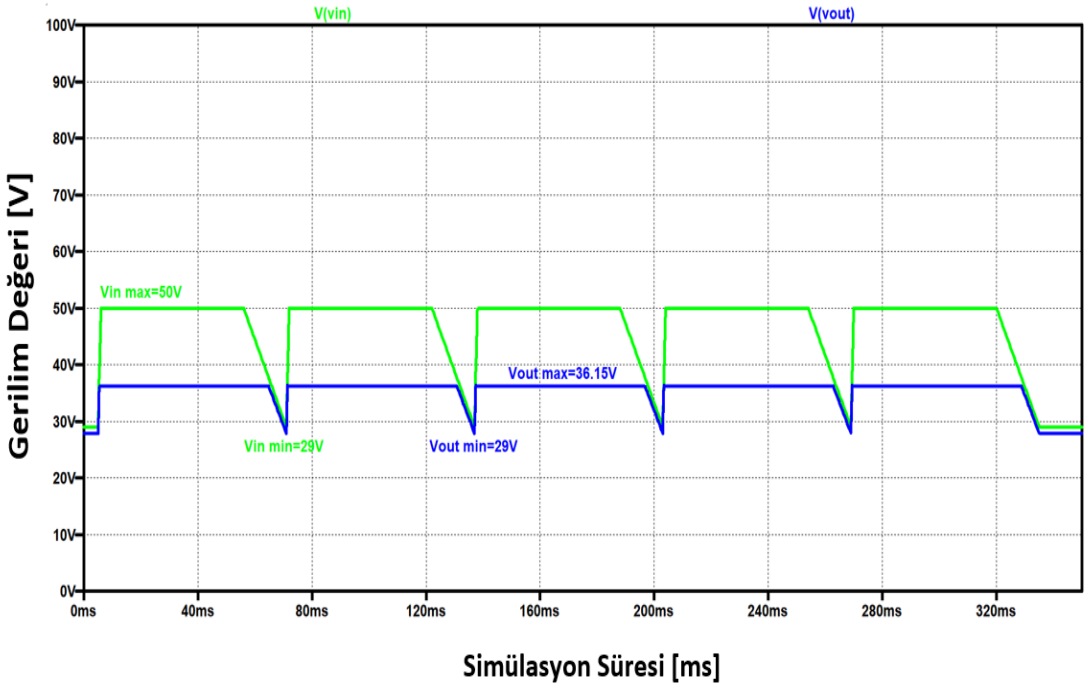
Şekil 4.116. LDC302-AAA Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC302-BBB devre simülasyon şematiği aşağıdaki Şekil 4.117 ile verilmiştir.



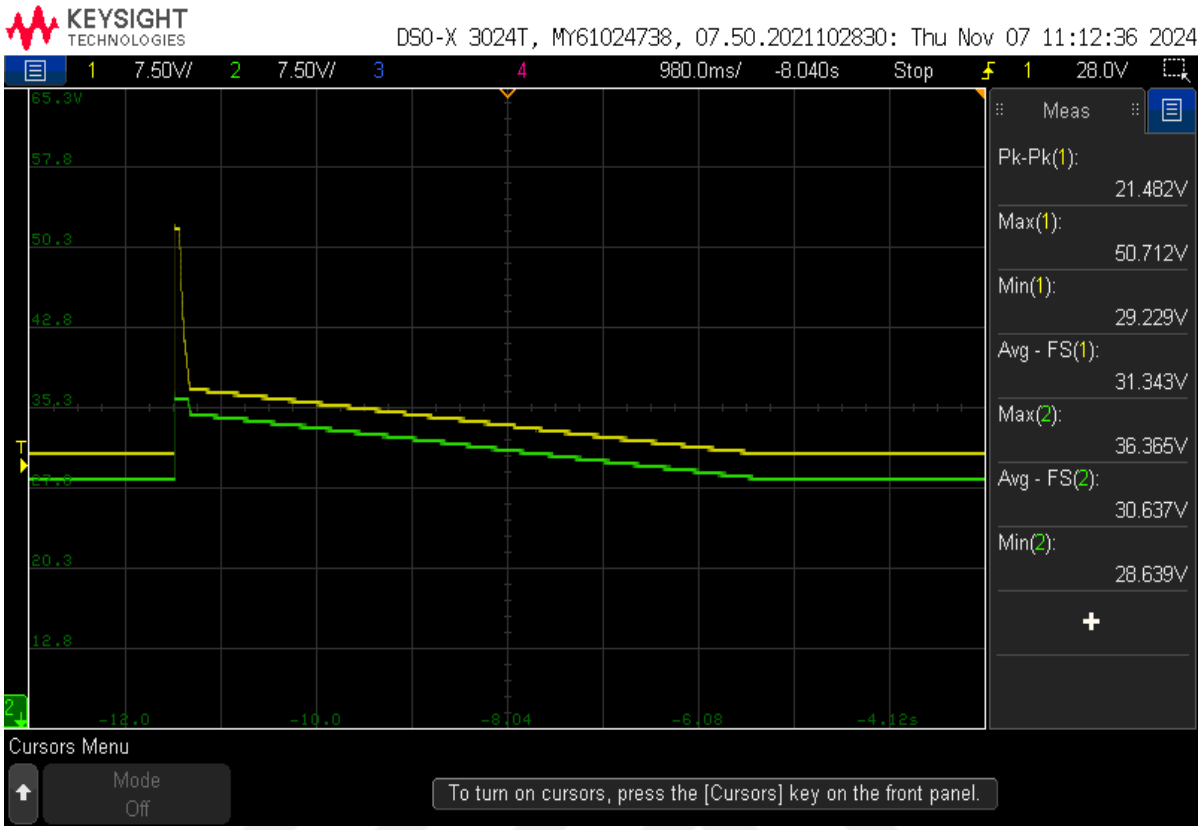
Şekil 4.117. LDC302 BBB Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC302-BBB devre simülasyon grafiği aşağıdaki Şekil 4.118 ile verilmiştir.



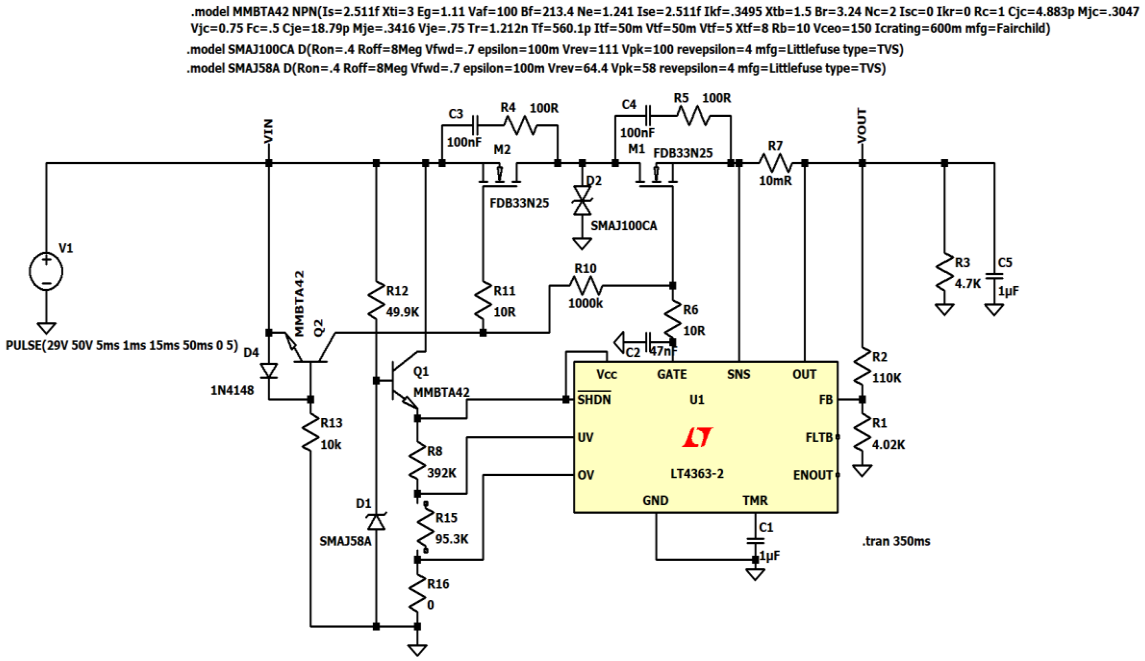
Şekil 4.118. LDC302 BBB Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.119 ile aşağıdaki grafikte gösterilmiştir.



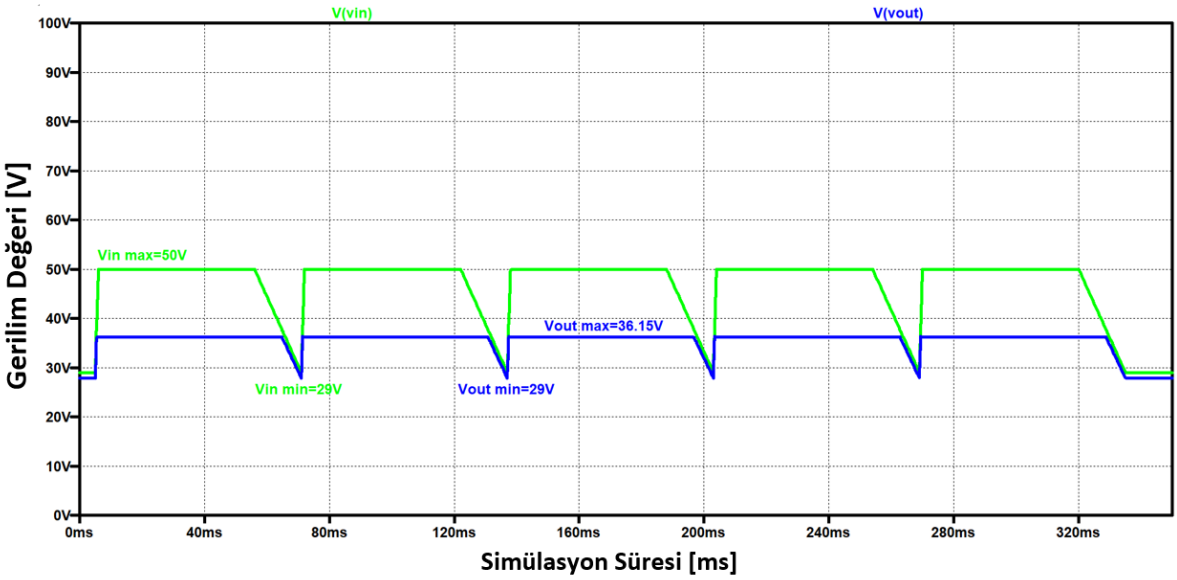
Şekil 4.119. LDC302-BBB Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC302-CCC devre simülasyon şematiği aşağıdaki Şekil 4.120 ile verilmiştir.



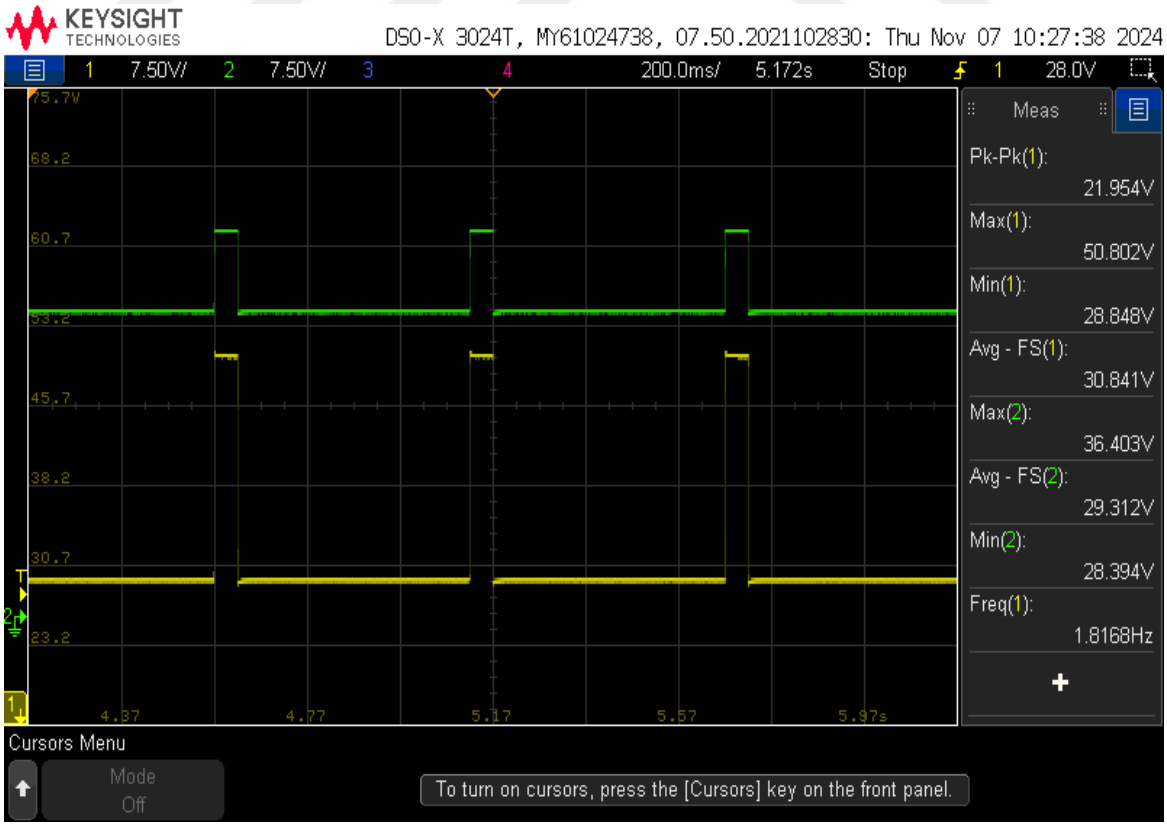
Şekil 4.120. LDC302 CCC Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC302-CCC devre simülasyon grafiği aşağıdaki Şekil 4.121 ile verilmiştir.



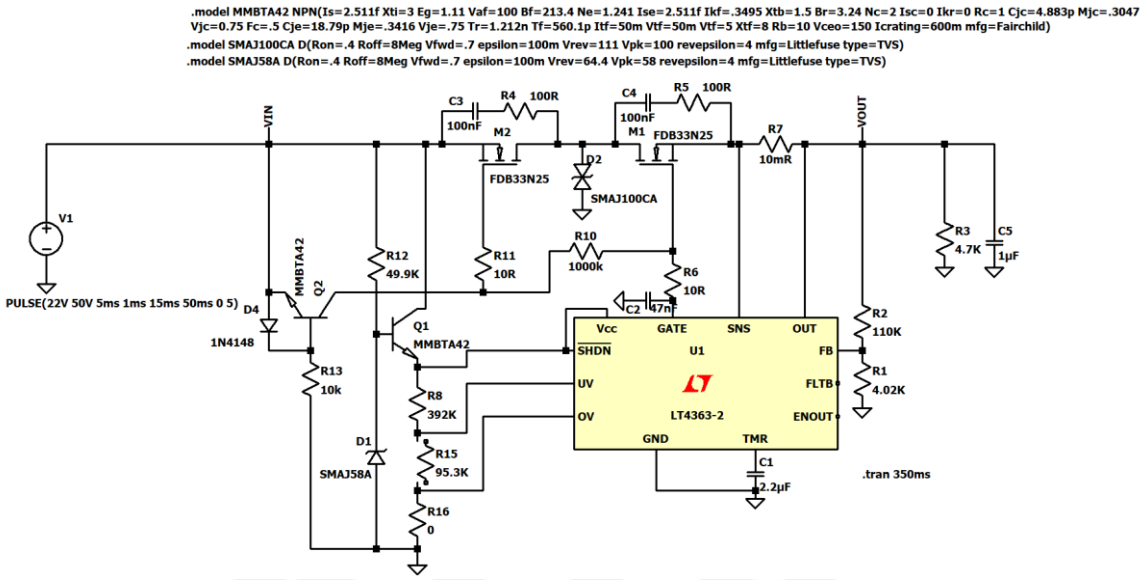
Şekil 4.121. LDC302 CCC Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.122 ile aşağıdaki grafikte gösterilmiştir.



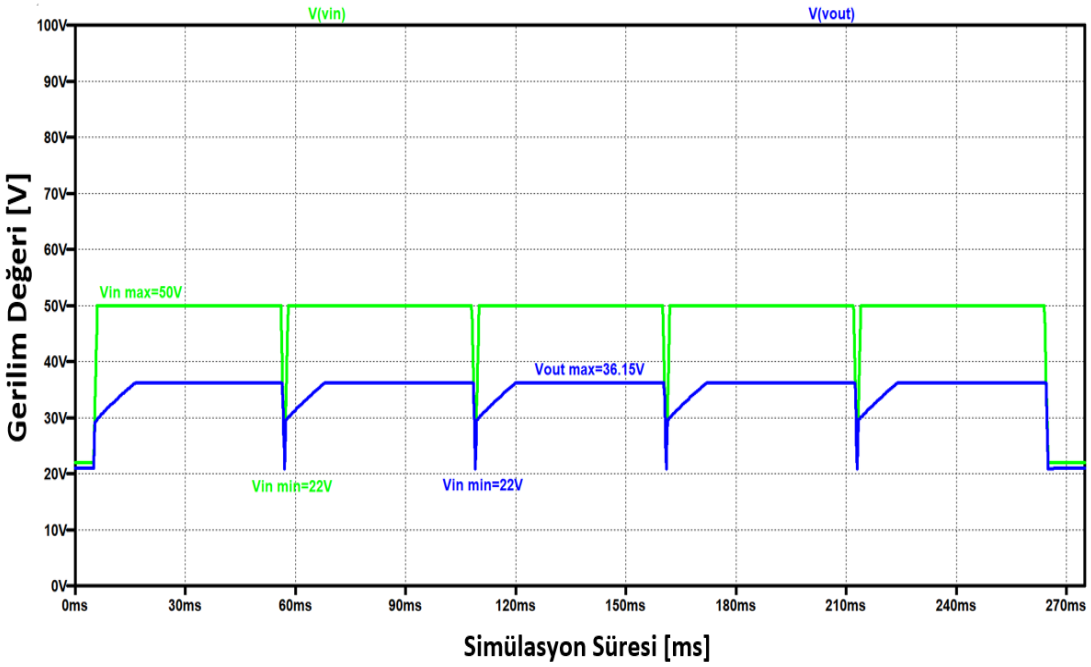
Şekil 4.122. LDC302-CCC Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC302-DDD devre simülasyon şematiği aşağıdaki Şekil 4.123 ile verilmiştir.



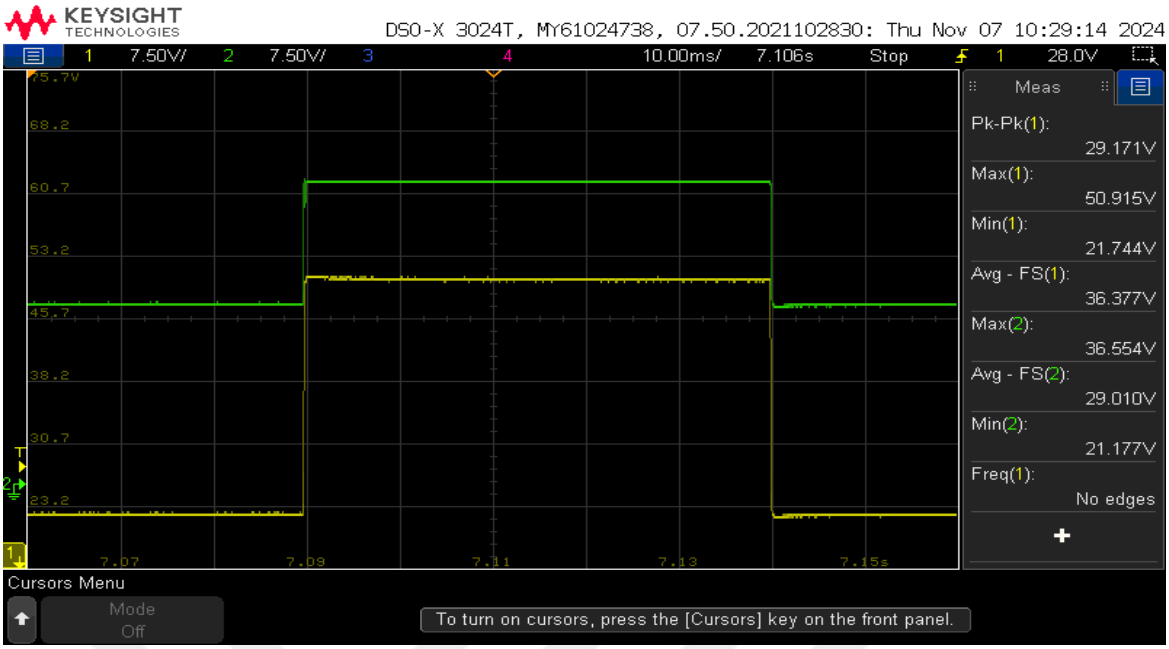
Şekil 4.123. LDC302 DDD Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC302-DDD devre simülasyon grafiği aşağıdaki Şekil 4.124 ile verilmiştir.



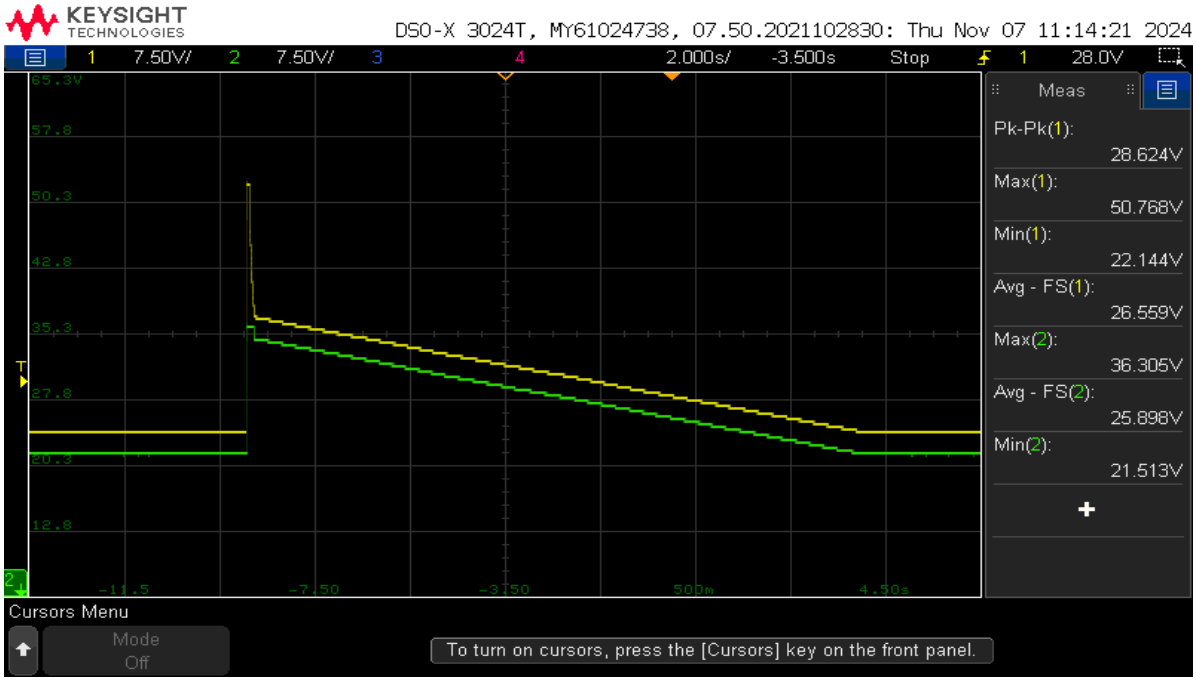
Şekil 4.124. LDC302 DDD Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.125 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.125. LDC302-DDD Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. Ünitede uygulanan LDC302 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.126 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.126. LDC302-EEE Testi Grafiği

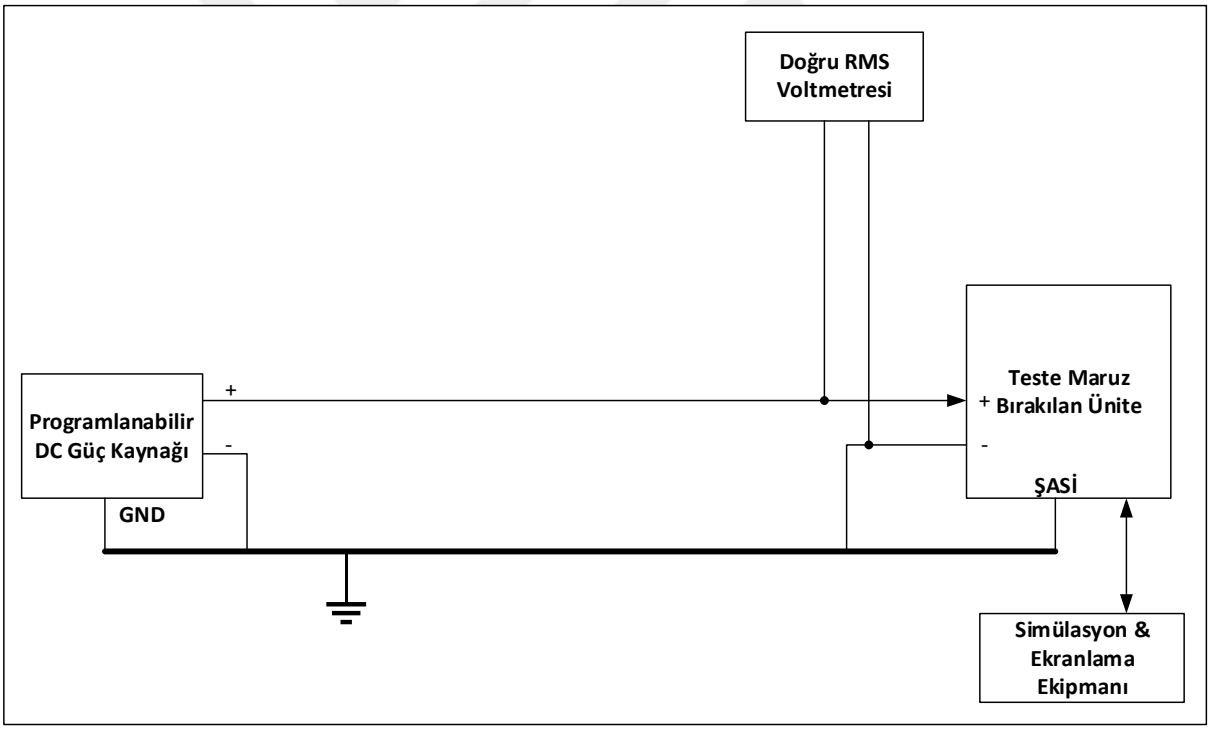
Bu sonuçlar değerlendirildiğinde, test sonuçlarının güç girişi ile tutarlı olduğu gözlemlenmiştir.

4.2.9. LDC401 Testi

LDC401 Acil Durum Kararlı Hal Limitleri testinin amacı; ünitenin güç girişi MIL-STD-704F standardının Acil Durum Düşük Kararlı Hal Gerilimi (ELSS- Emergency Low Steady State) ve Acil Durum Yüksek Kararlı Hal Gerilimi (EHSS- Emergency High Steady State) durumunda, belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

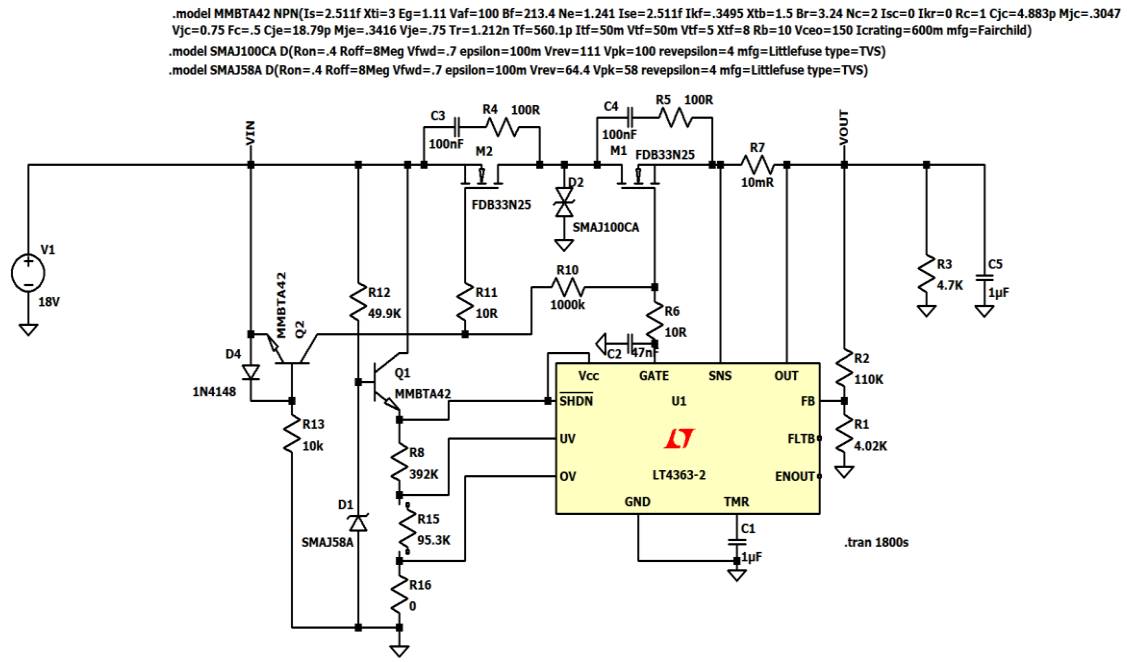
Tablo 4.8. MIL-STD-704F Acil Durum Kararlı Hal Gerilim Limitleri

Test Durumu	Parametreler			
	Gerilim	Birim	Test Süresi	Birim
A (ELSS)	18	VDC	30	Dakika
B (EHSS)	29	VDC	30	Dakika



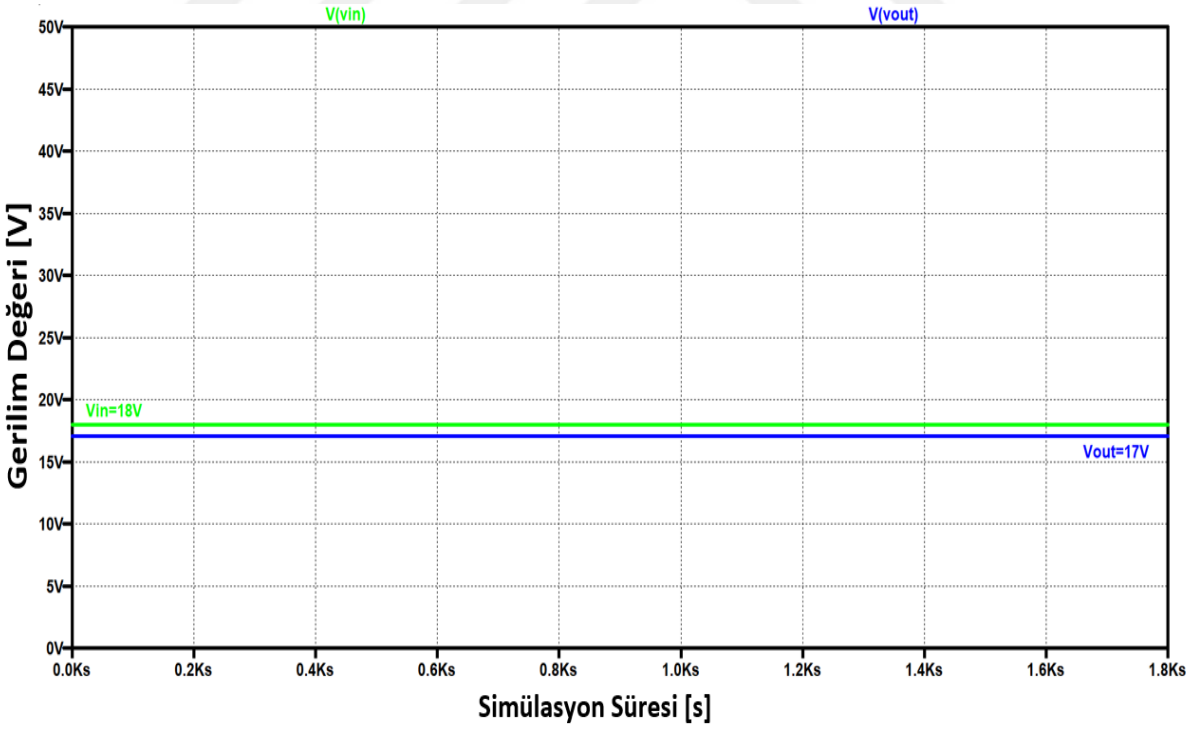
Şekil 4.127. LDC401 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.127 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC401-A devre simülasyon şematiği aşağıdaki Şekil 4.128 ile verilmiştir.



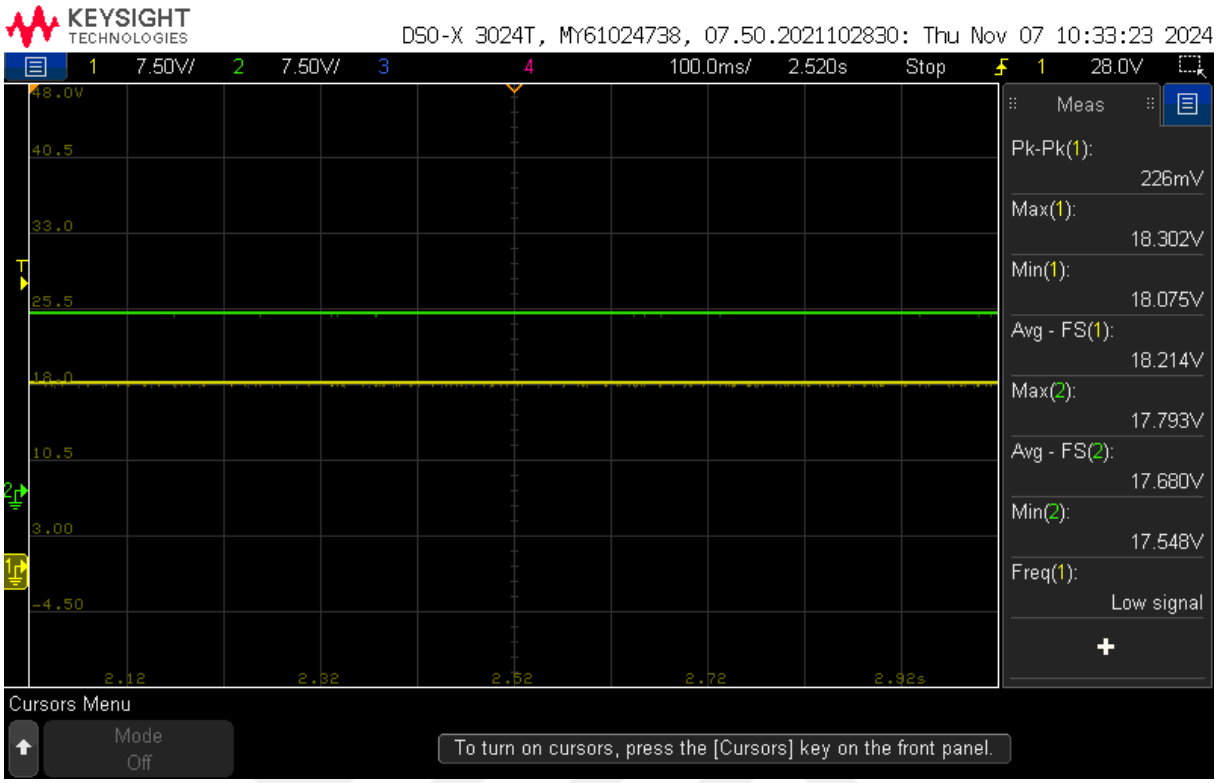
Şekil 4.128. LDC401 A Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC401-A devre simülasyon grafiği aşağıdaki Şekil 4.129 ile verilmiştir.



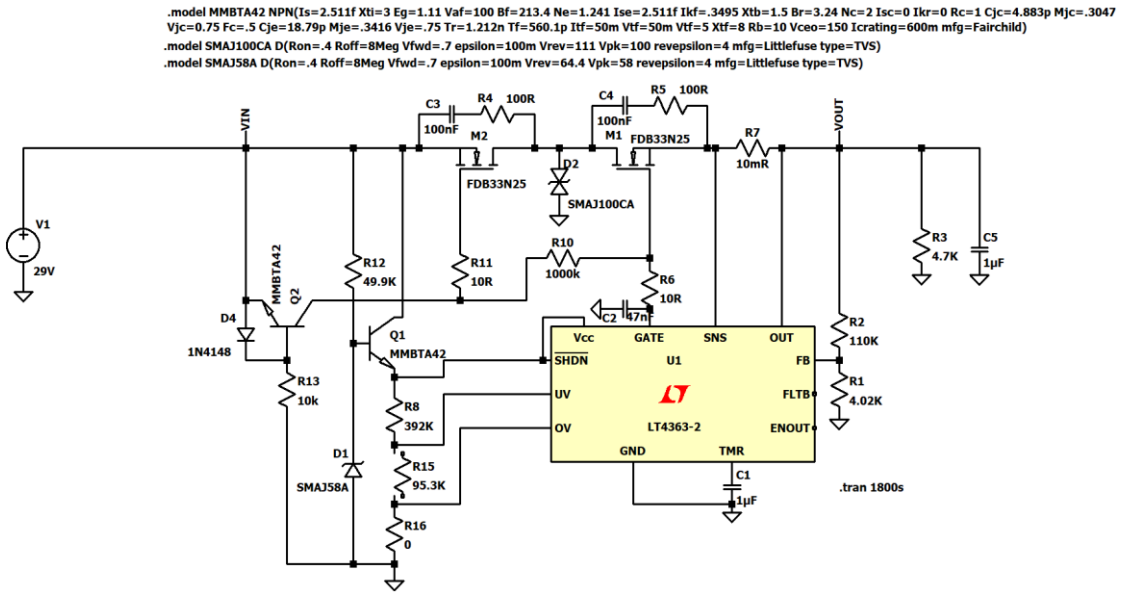
Şekil 4.129. LDC401 A Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.130 ile aşağıdaki grafikte gösterilmiştir.



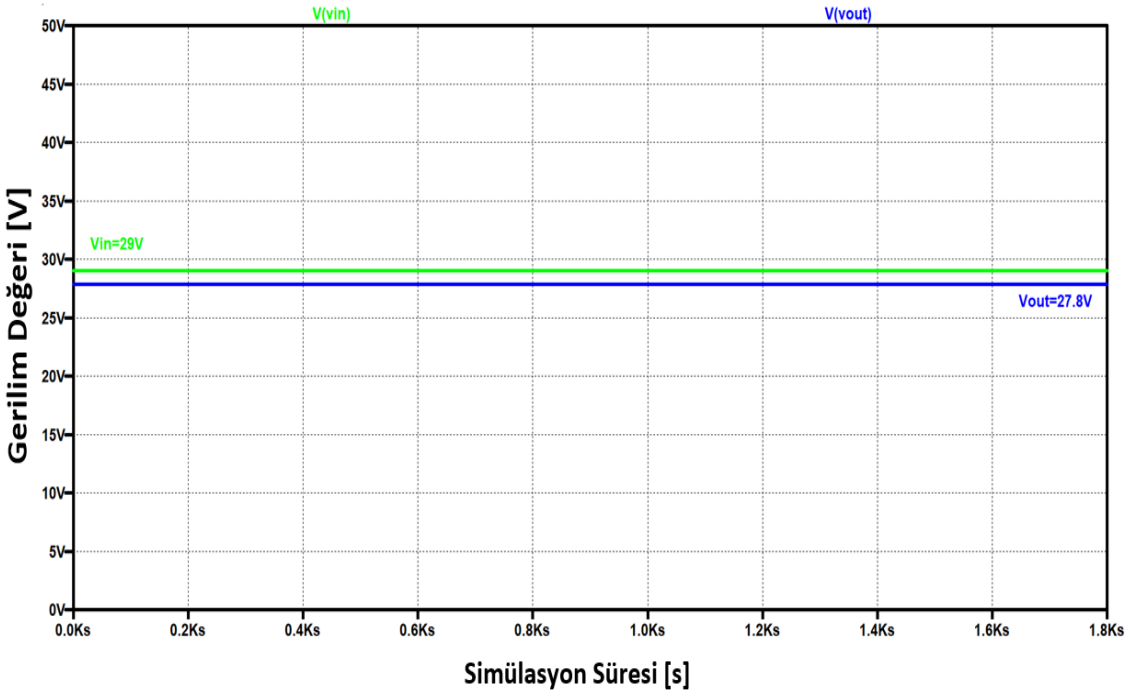
Şekil 4.130. LDC401-A Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC401-B devre simülasyon şematiği aşağıdaki Şekil 4.131 ile verilmiştir.



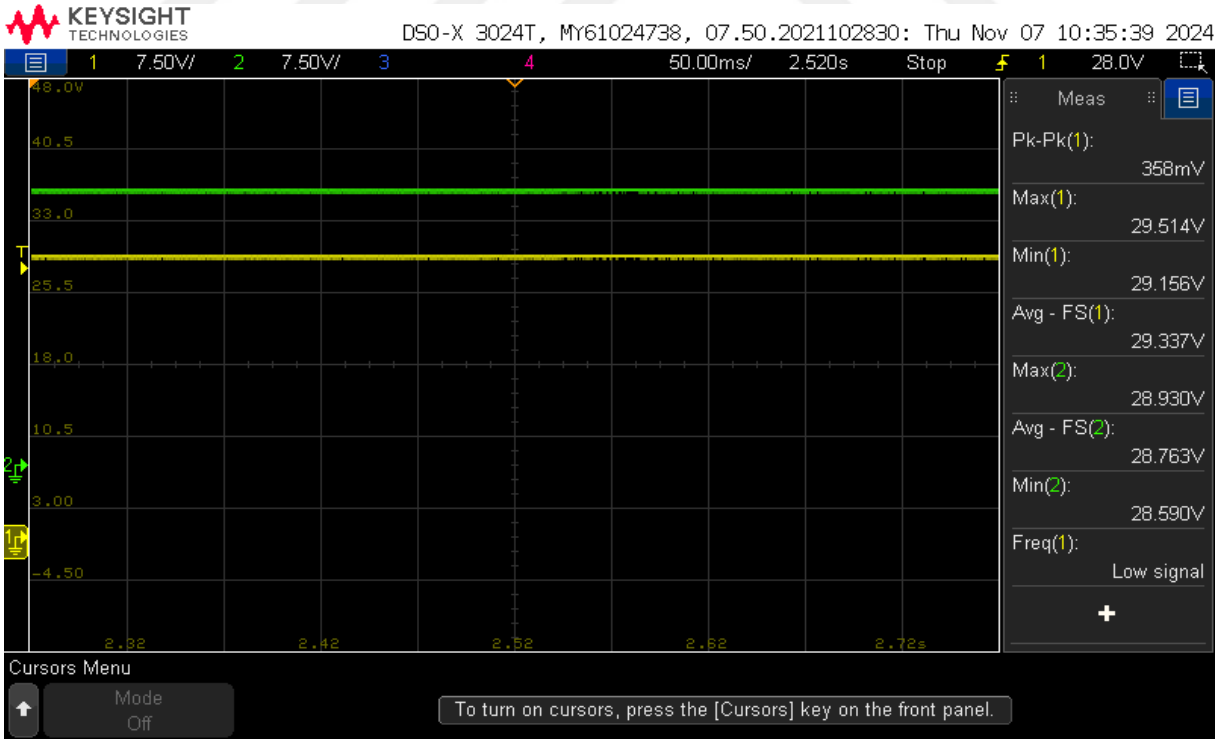
Şekil 4.131. LDC401 B Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC401-B devre simülasyon grafiği aşağıdaki Şekil 4.132 ile verilmiştir.



Şekil 4.132. LDC401 B Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.133 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.133. LDC401-B Testi Grafiği

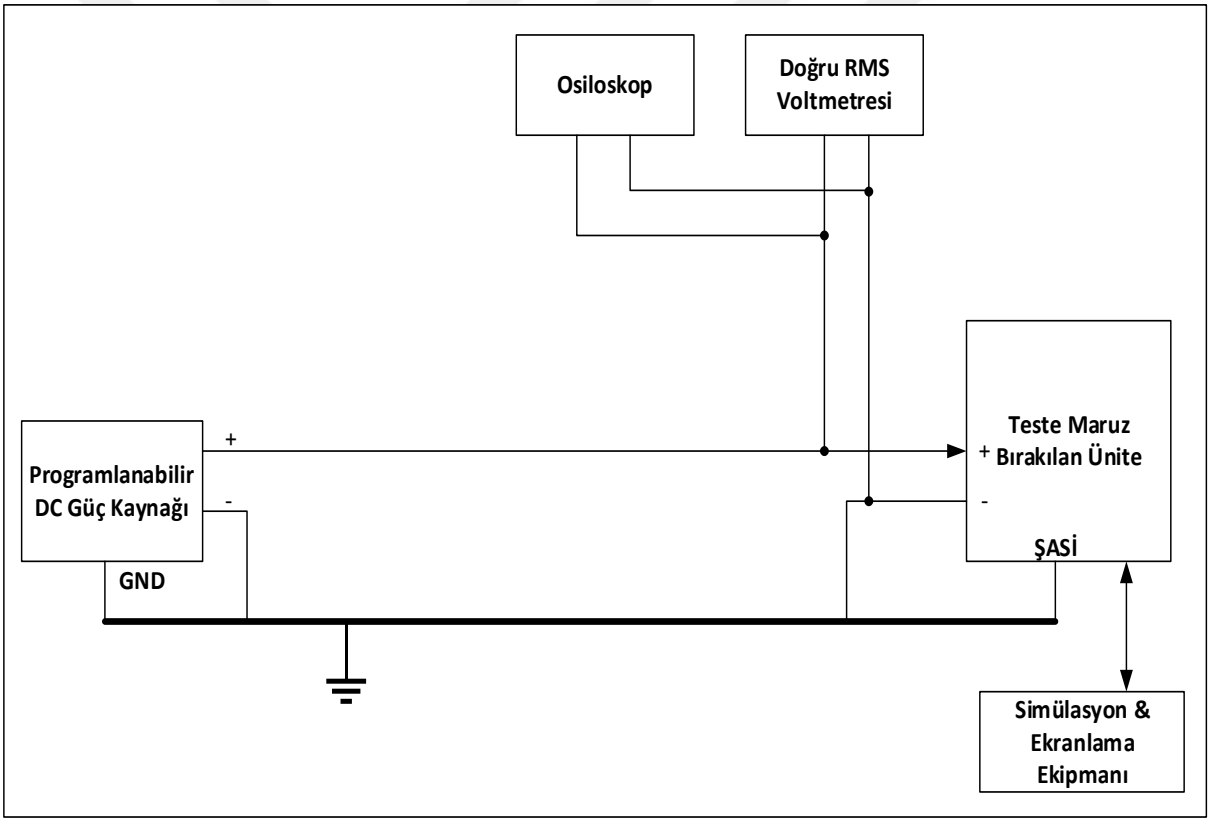
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.10. LDC501 Testi

LDC501 Başlatma Gerilim Geçici Halleri testinin amacı; ünitenin güç girişi MIL-STD-704F standardının Başlatma Gerilim Geçici durumunda, belirlenen performans kriterleri içerisinde çalışması kontrol edilmiştir. Ünitenin AA durumunda, en az 5 kez tekrarlanarak belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

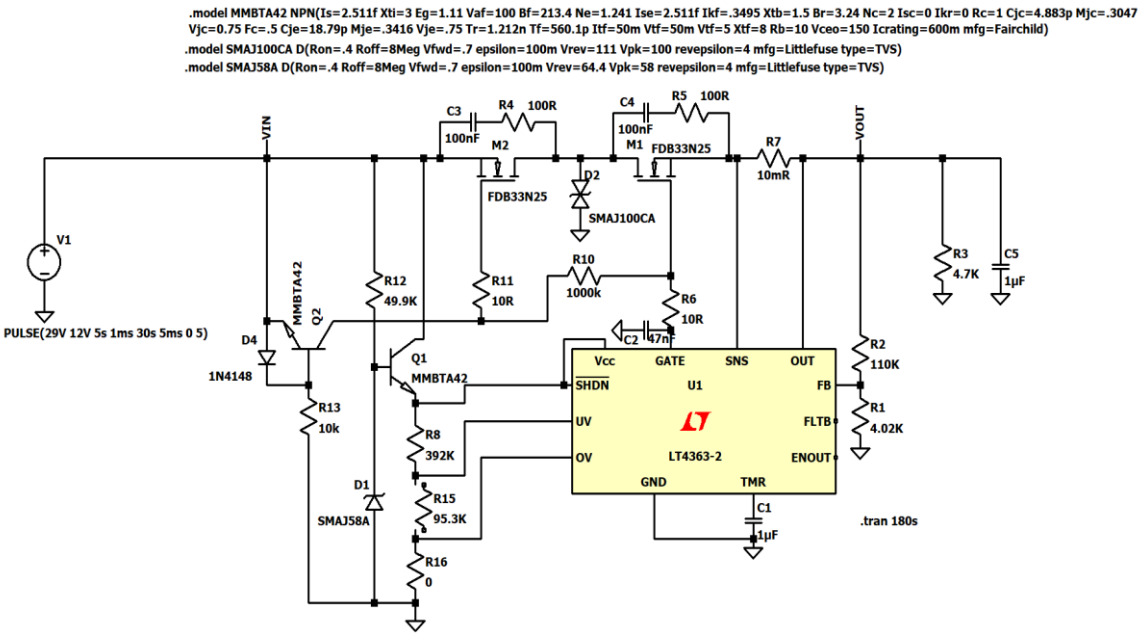
Tablo 4.9. MIL-STD-704F Başlatma Gerilim Geçiş Limitleri

Test Durumu	Kararlı Hal Gerilimi		Gerilim Geçişi	
AA	29	VDC	12	VDC



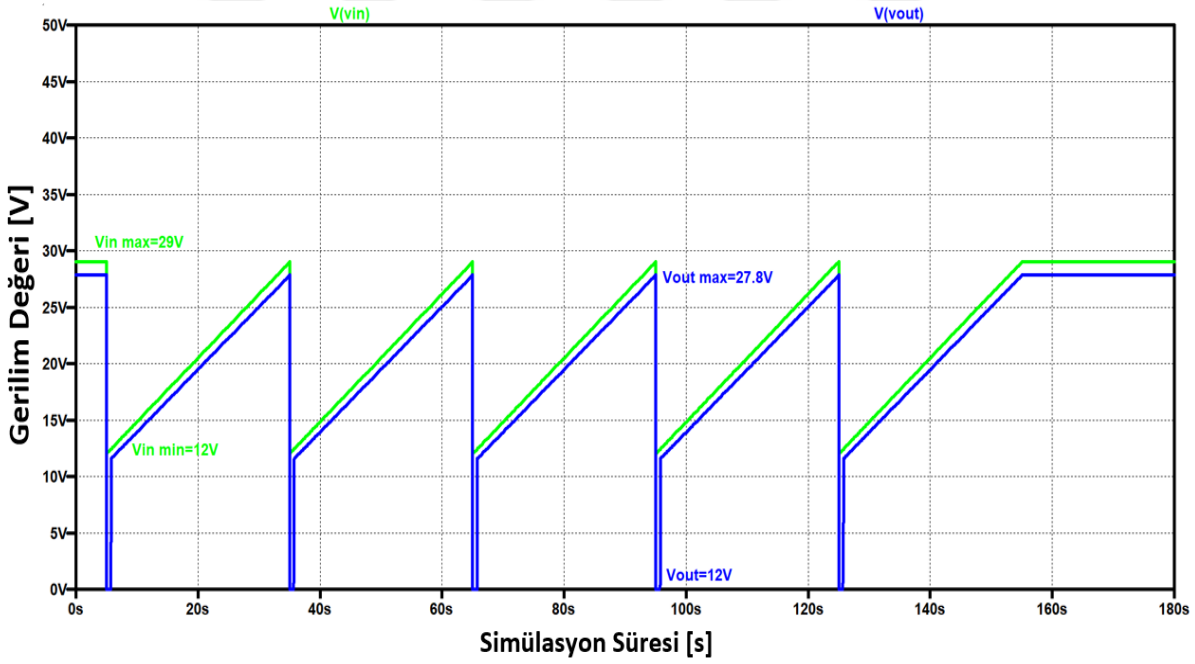
Şekil 4.134. LDC501 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.134 verilmiştir. LTSpice programı kullanılarak hazırlanan LDC501-AA devre simülasyon şematiği aşağıdaki Şekil 4.135 ile verilmiştir.



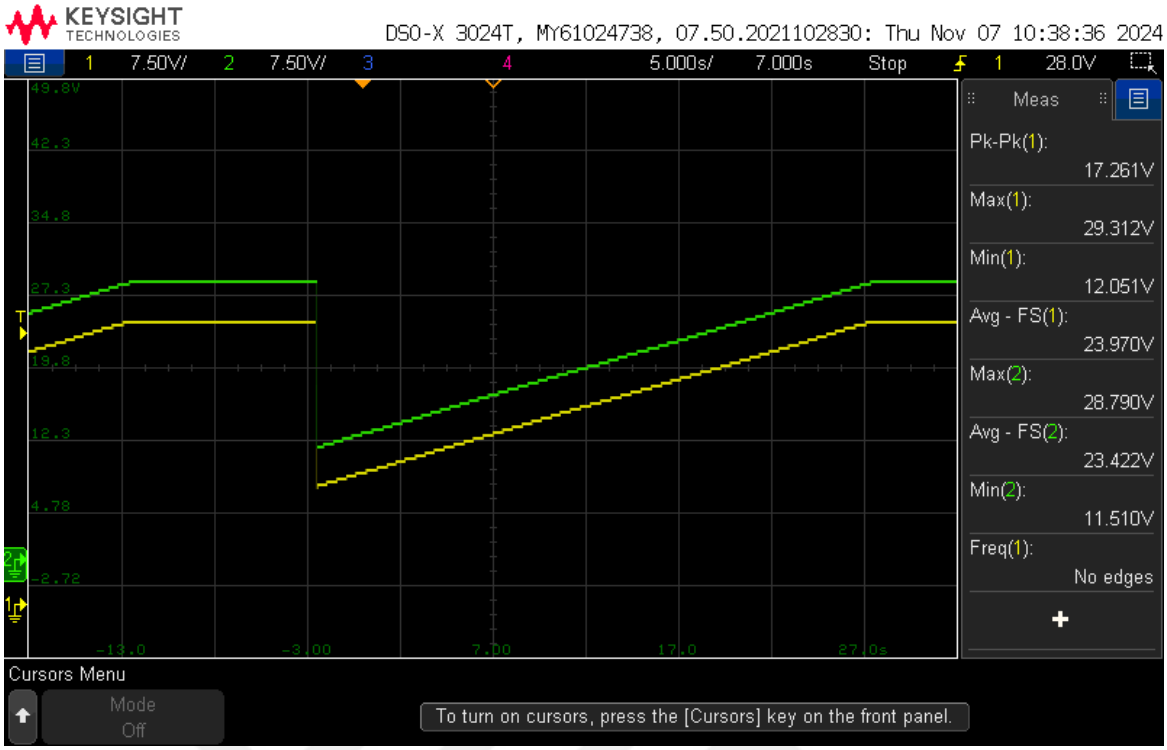
Şekil 4.135. LDC501 AA Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC501-AA devre simülasyon grafiği aşağıdaki Şekil 4.136 ile verilmiştir.



Şekil 4.136. LDC501 AA Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Ünitede uygulanan LDC501 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.137 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.137. LDC501 Testi Grafiği

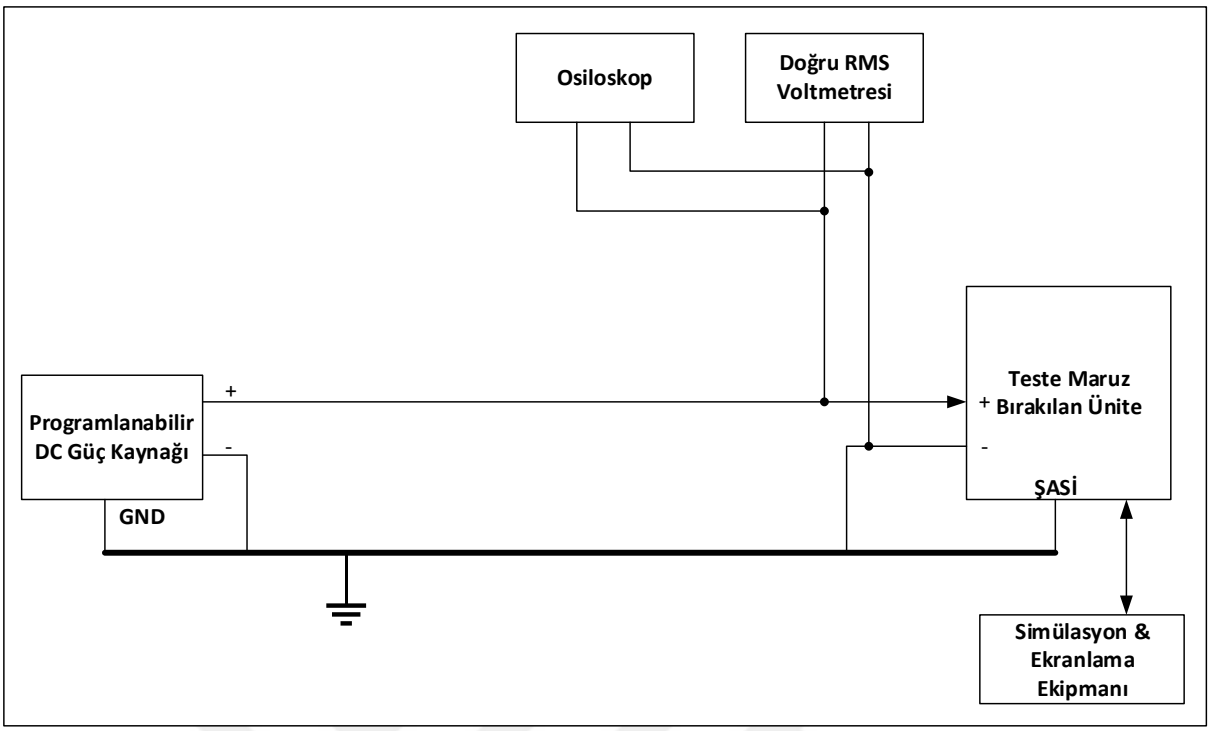
Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.2.11. LDC601 Testi

LDC601 Güç Çökmesi testinin amacı; ünitenin güç girişi MIL-STD-704F standardının Güç Çökmesi durumunda, belirlenen performans kriterleri içerisinde çalışması kontrol edilmiştir. Ünitenin A, B, C ve D durumlarında en az 5 kez tekrarlanarak belirlenen performans kriterleri içerisinde çalışması gerekmektedir. Test durumları tamamlandığında gerilim değerleri ünitenin kararlı hal gerilimi olan 28 VDC seviyesine getirilerek ünitenin beklenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

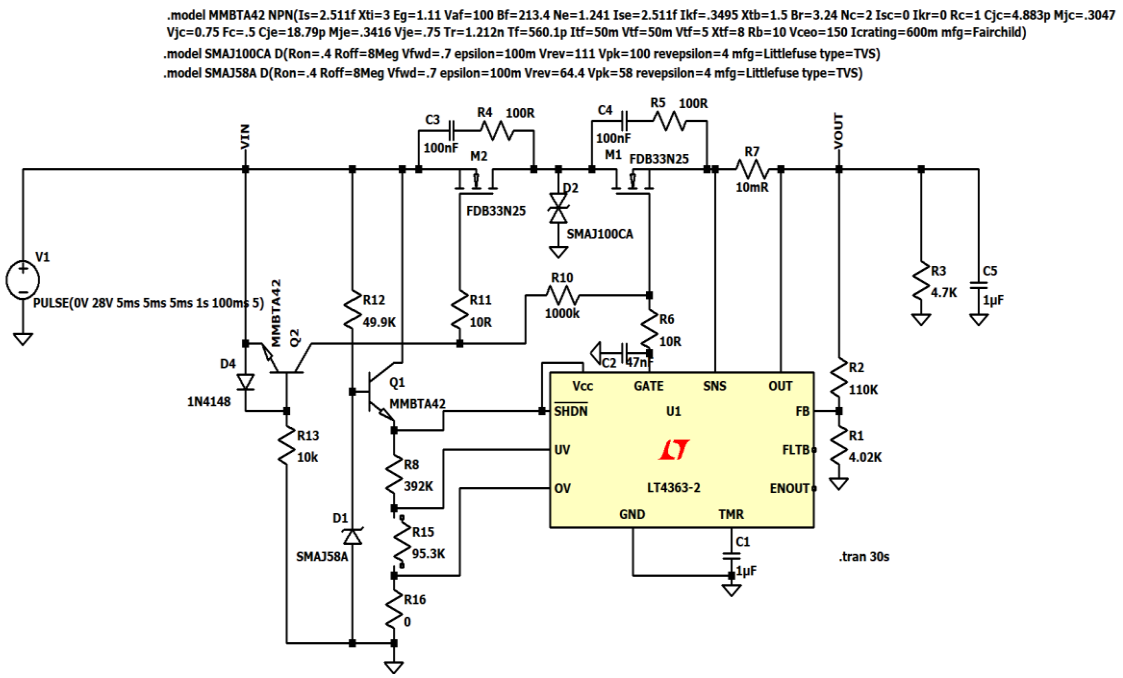
Tablo 4.10. MIL-STD-704F Başlatma Gerilim Geçiş Limitleri

Test Durumu	Gerilim		Güç Kesinti Süresi	
A	**28**	**VDC**	**100**	**ms**
B	28	VDC	500	ms
C	28	VDC	3	s
D	**28**	**VDC**	**7**	**s**



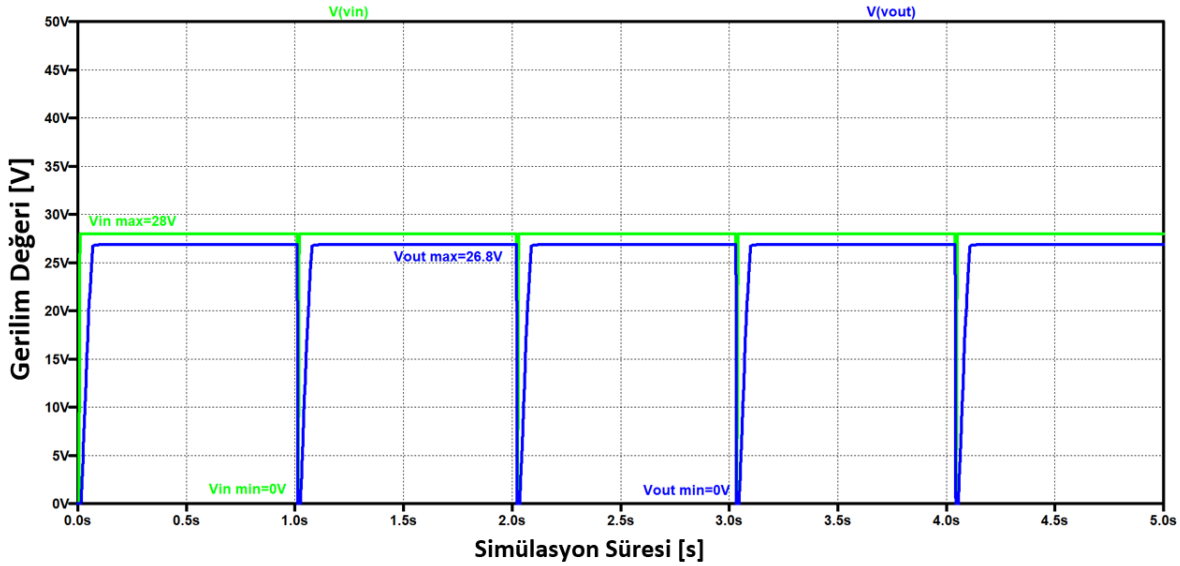
Şekil 4.138. LDC601 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.138 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC601-A devre simülasyon şematiği aşağıdaki Şekil 4.139 ile verilmiştir.



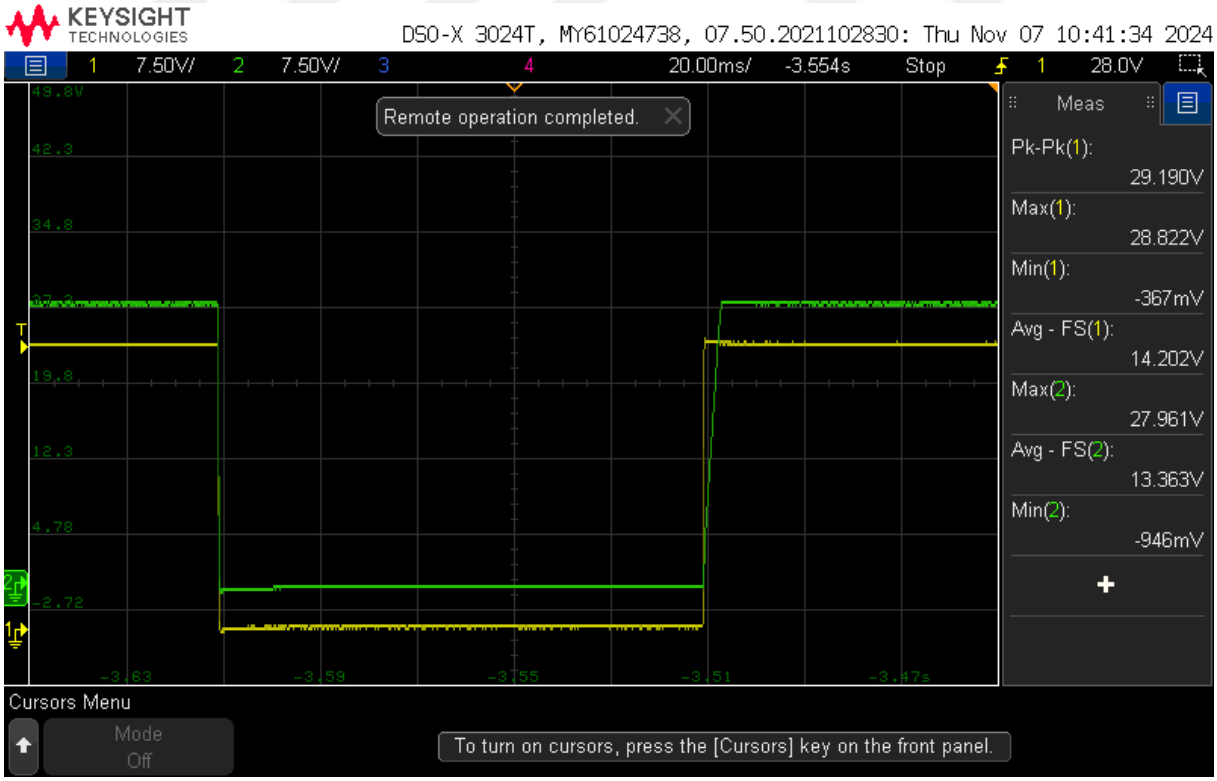
Şekil 4.139. LDC601 A Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC601-A devre simülasyon grafiği aşağıdaki Şekil 4.140 ile verilmiştir.



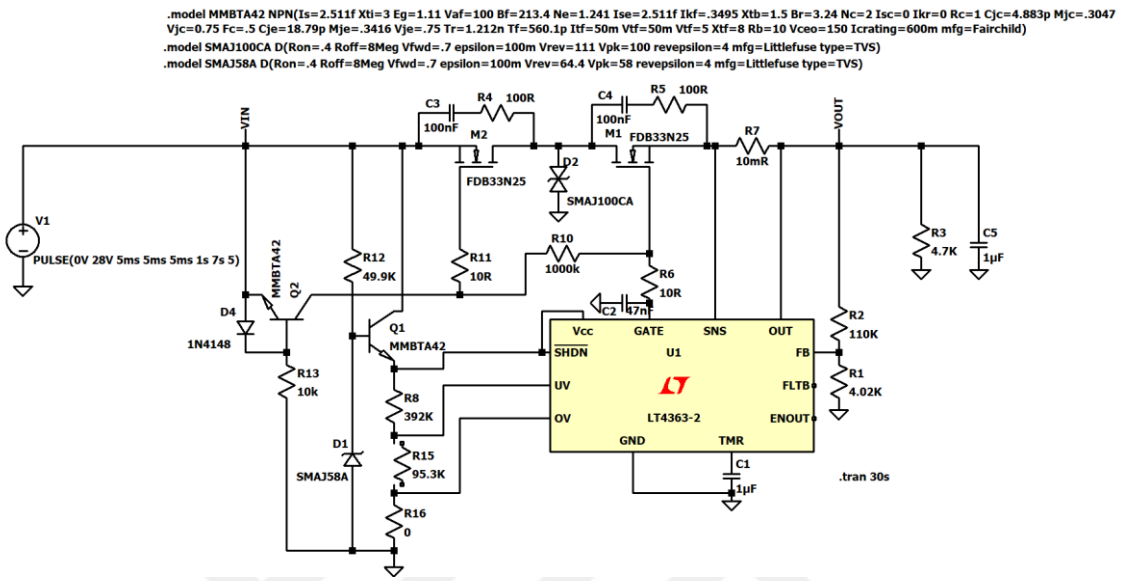
Şekil 4.140. LDC601 A Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.141 ile aşağıdaki grafikte gösterilmiştir.



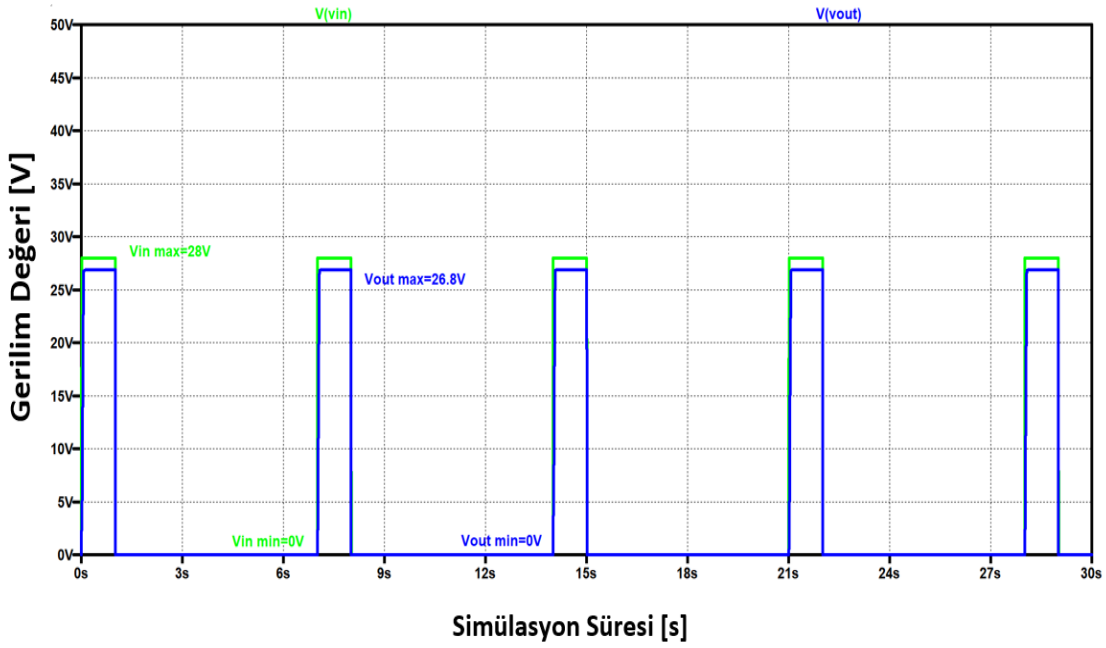
Şekil 4.141. LDC601-A Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. LTSpice programı kullanılarak hazırlanan LDC601-D devre simülasyon şematiği aşağıdaki Şekil 4.142 ile verilmiştir.



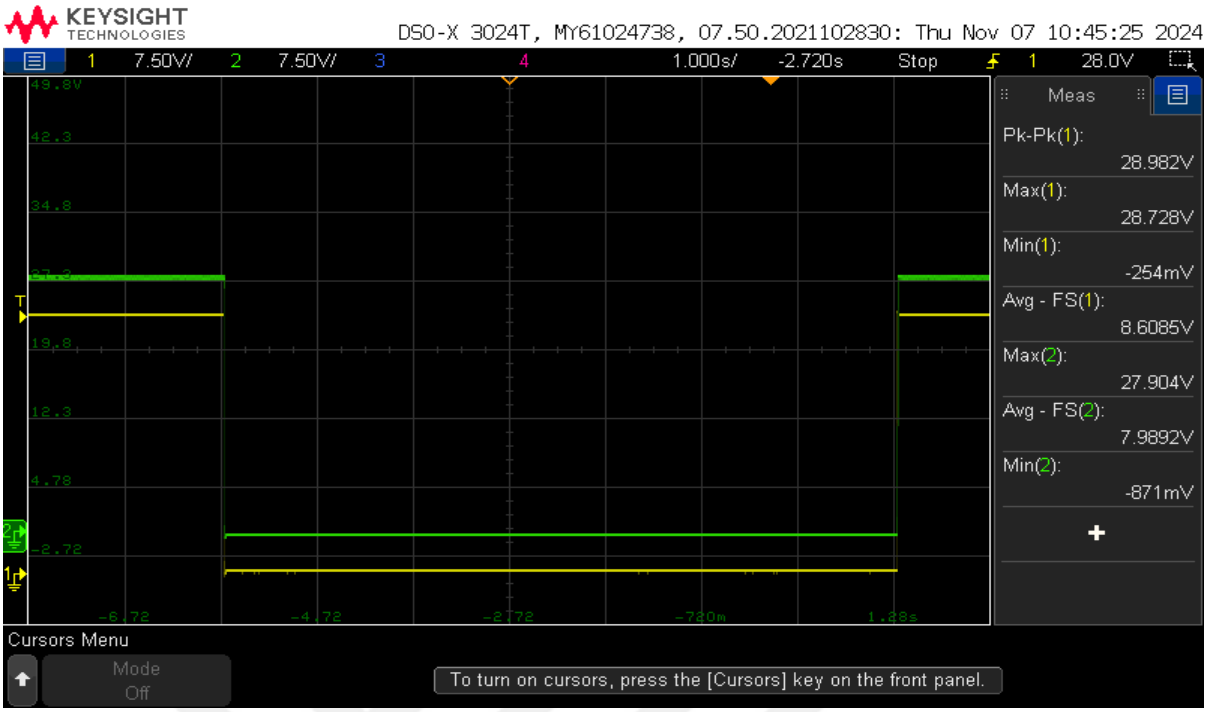
Şekil 4.142. LDC601 D Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC601-D devre simülasyon grafiği aşağıdaki Şekil 4.143 ile verilmiştir.



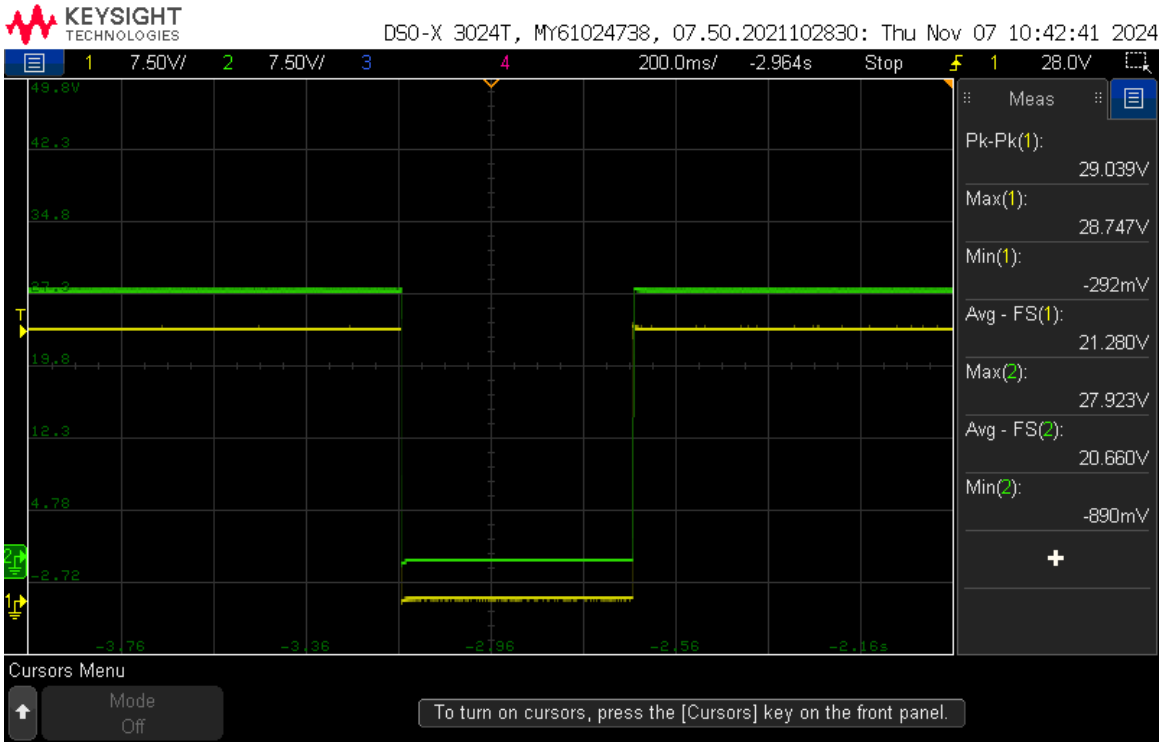
Şekil 4.143. LDC601 D Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Teste dair; osiloskop görüntüsü Şekil 4.144 ile aşağıdaki grafikte gösterilmiştir.

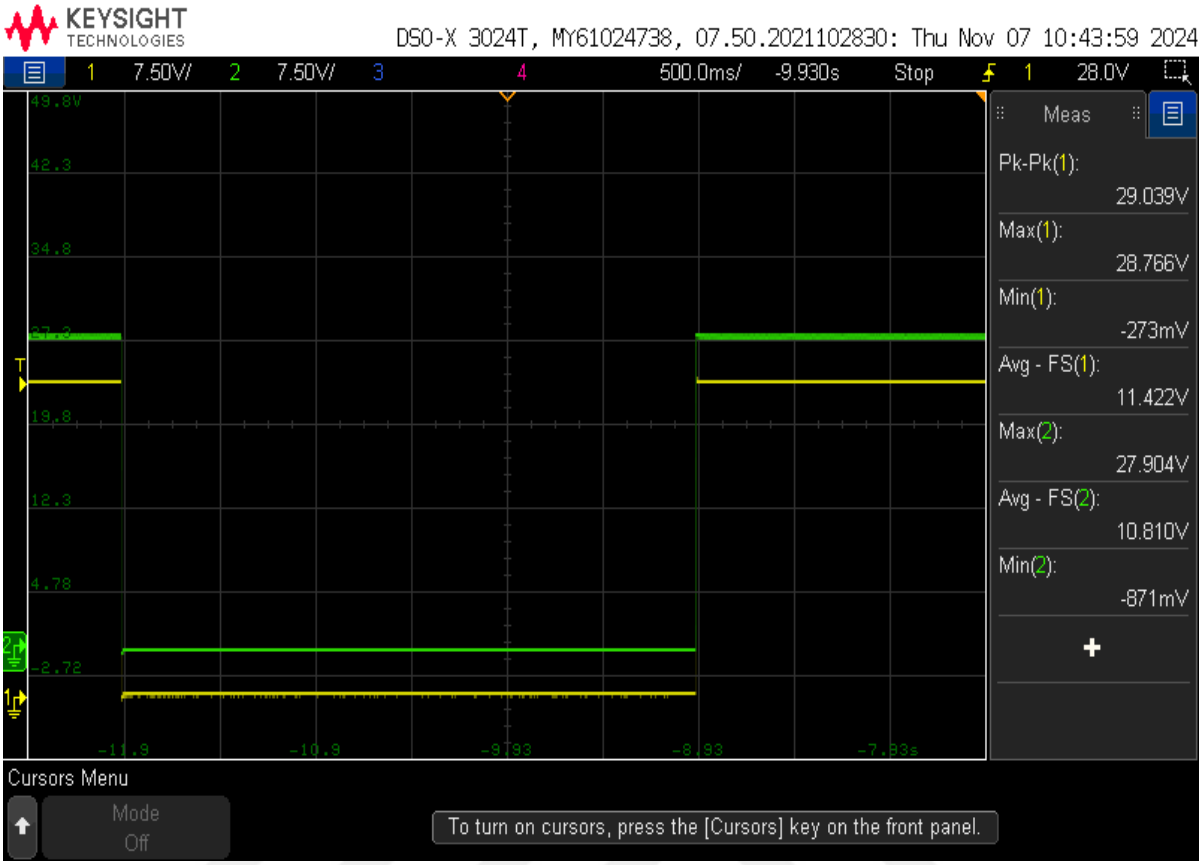


Şekil 4.144. LDC601-D Testi Grafiği

Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir. Ünitede uygulanan LDC601 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.145 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.145. LDC601-B Testi Grafiği



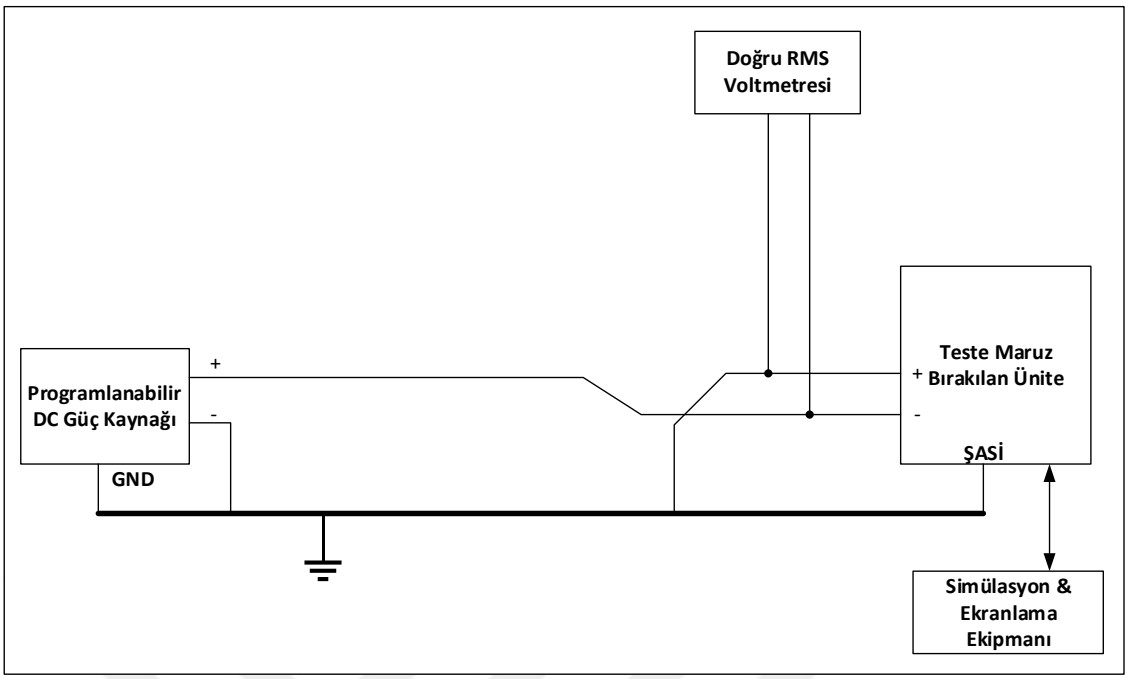
Şekil 4.146. LDC601-C Testi Grafiği

4.2.12. LDC602 Testi

LDC602 Kutup Değiştirilmesi testinin amacı; ünitenin güç girişi MIL-STD-704F standardının ilgili versiyonunda ters güç beslemesi durumunda, ünitenin belirlenen performans kriterleri içerisinde çalıştığını doğrulamaktır. Uygulanacak olan gerilim değerleri ve uygulama süreleri aşağıdaki tabloda gösterilmiştir.

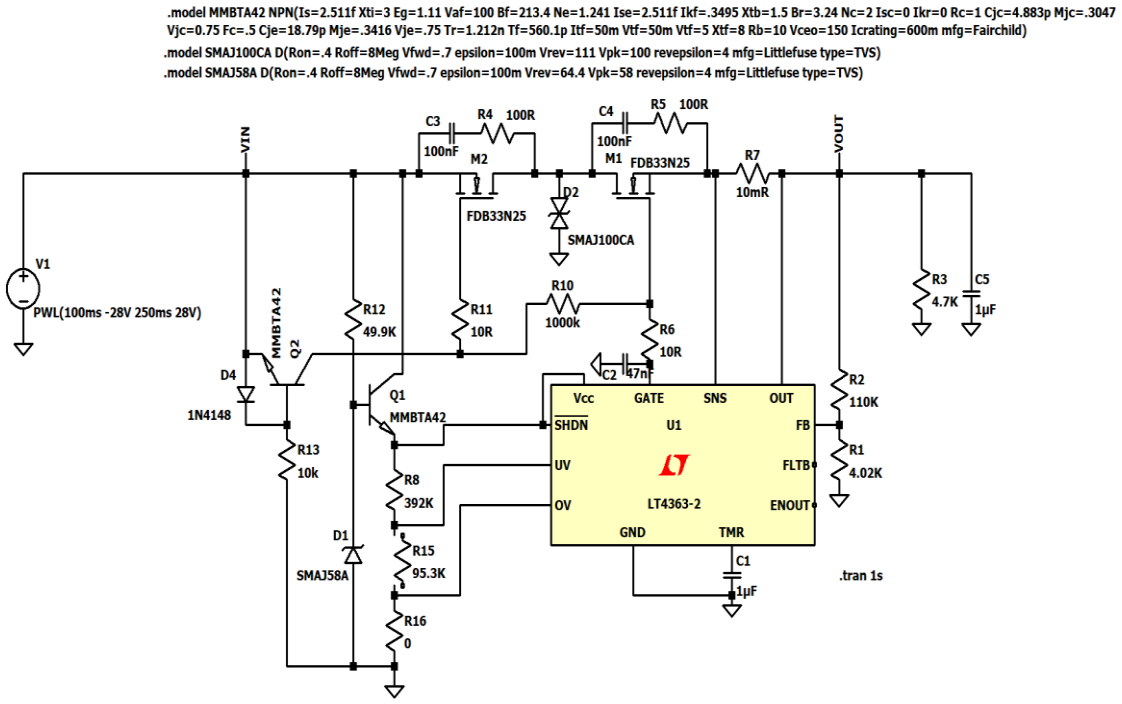
Tablo 4.11. MIL-STD-704F Test Ölçüm Tablosu

Test Durumu	**Parametreler**	
	Gerilim	**Birim**
Ters Bağlantı	-28	VDC
Doğru Bağlantı	28	VDC



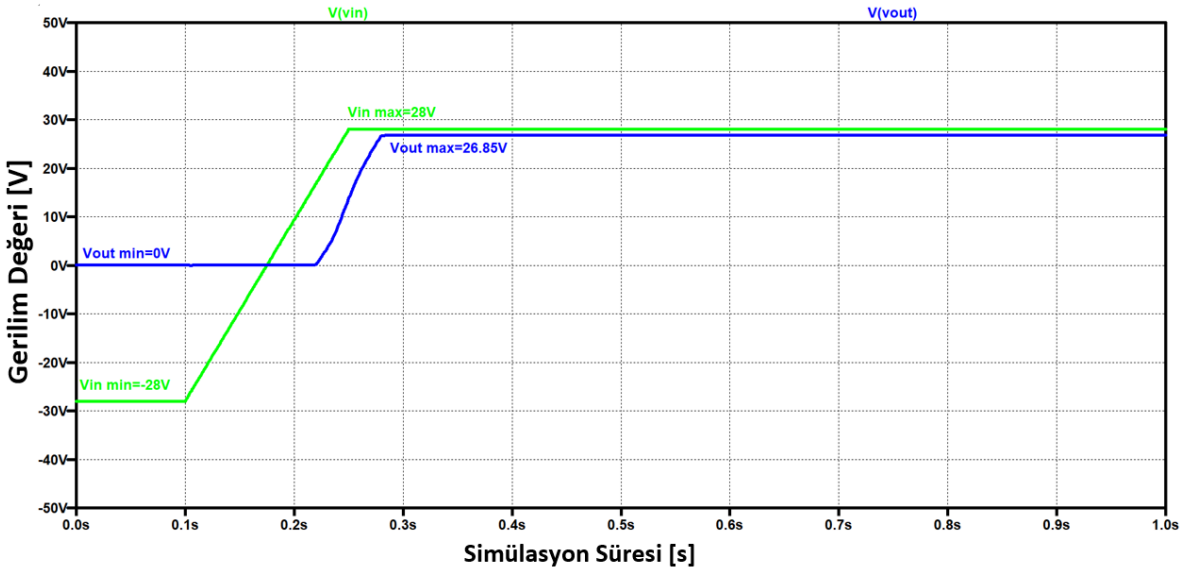
Şekil 4.147. LDC602 Test Düzeneği Şeması

Ünitenin test düzeneği şeması aşağıdaki Şekil 4.147 ile verilmiştir. LTSpice programı kullanılarak hazırlanan LDC602 devre simülasyon şematiği aşağıdaki Şekil 4.148 ile verilmiştir.



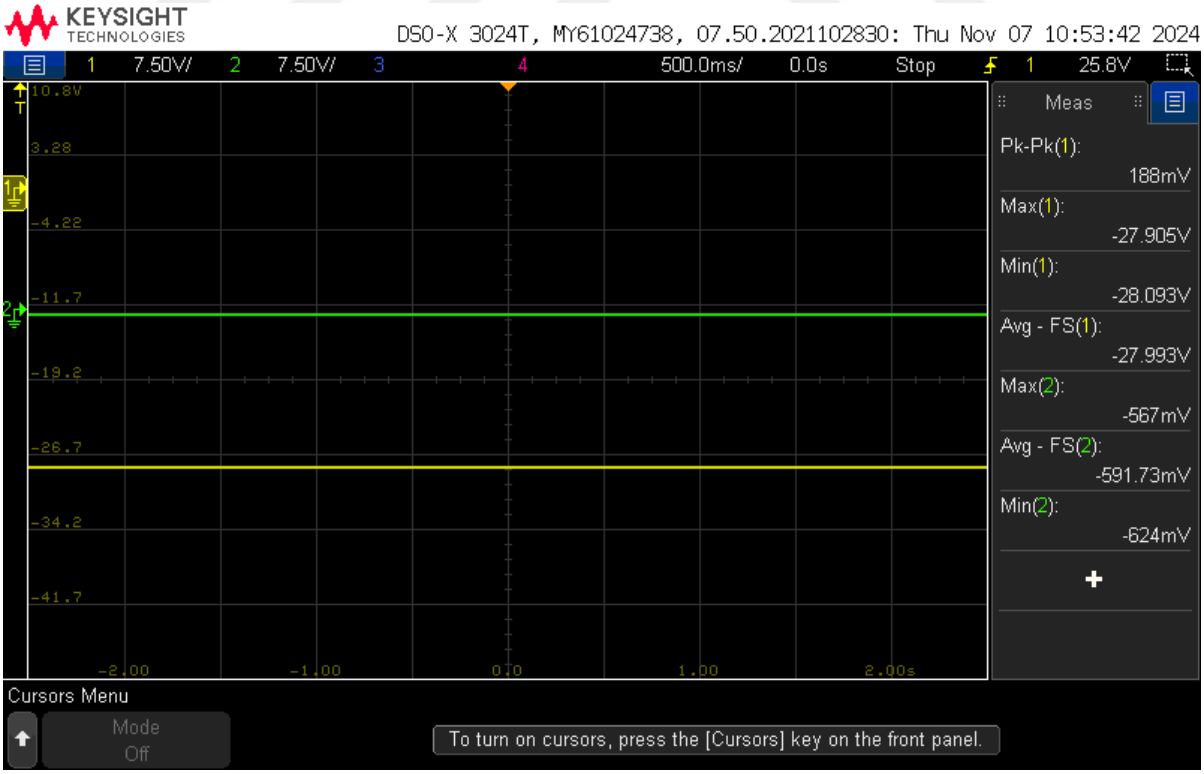
Şekil 4.148. LDC602 Testi Simülasyon Şematik Devresi

LTSpice programı kullanılarak hazırlanan LDC602 devre simülasyon grafiği aşağıdaki Şekil 4.149 ile verilmiştir.

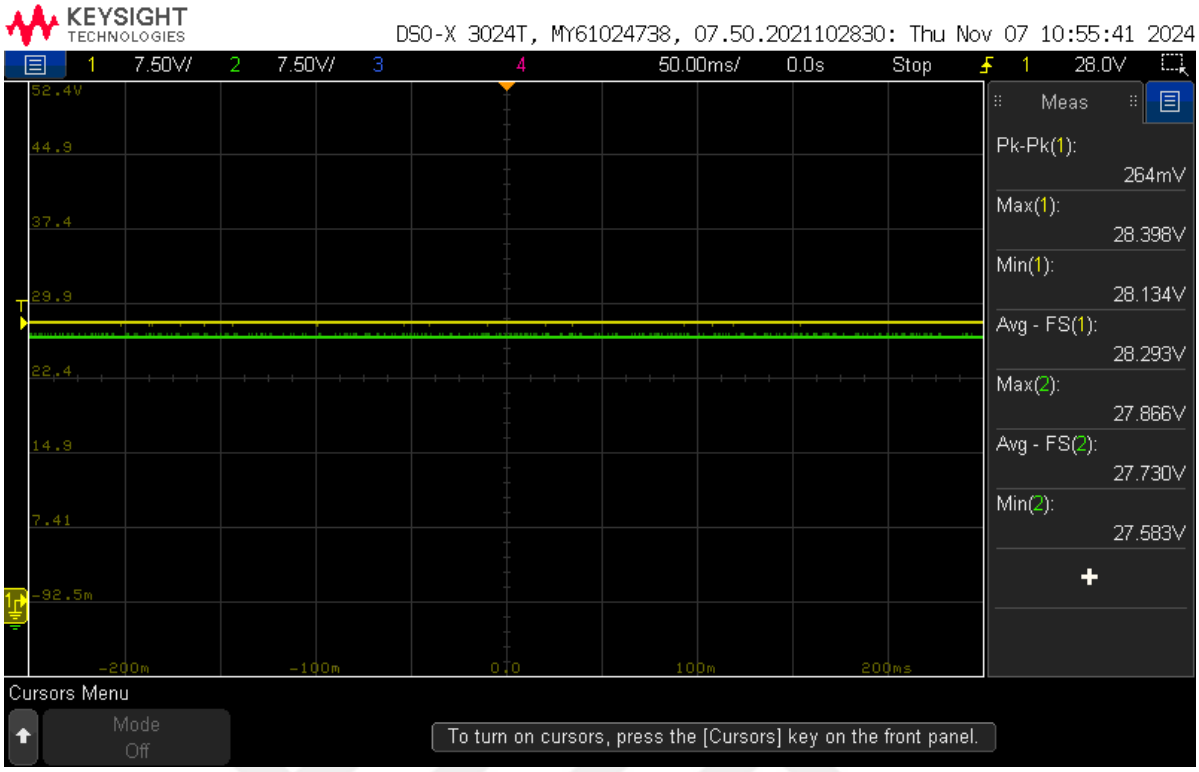


Şekil 4.149. LDC602 Testi Simülasyon Grafiği

Simülasyon sonuçlarında görüldüğü üzere, devre operasyonel çalışma aralığında kalmaktadır. Ünitede uygulanan LDC602 testi sonucunda grafikler ve ünite sonuç grafiği aşağıdaki şekillerle verilmiştir. Teste dair; osiloskop görüntüsü Şekil 4.150 ile aşağıdaki grafikte gösterilmiştir.



Şekil 4.150. LDC602 Ters Polarizasyon Testi Grafiği



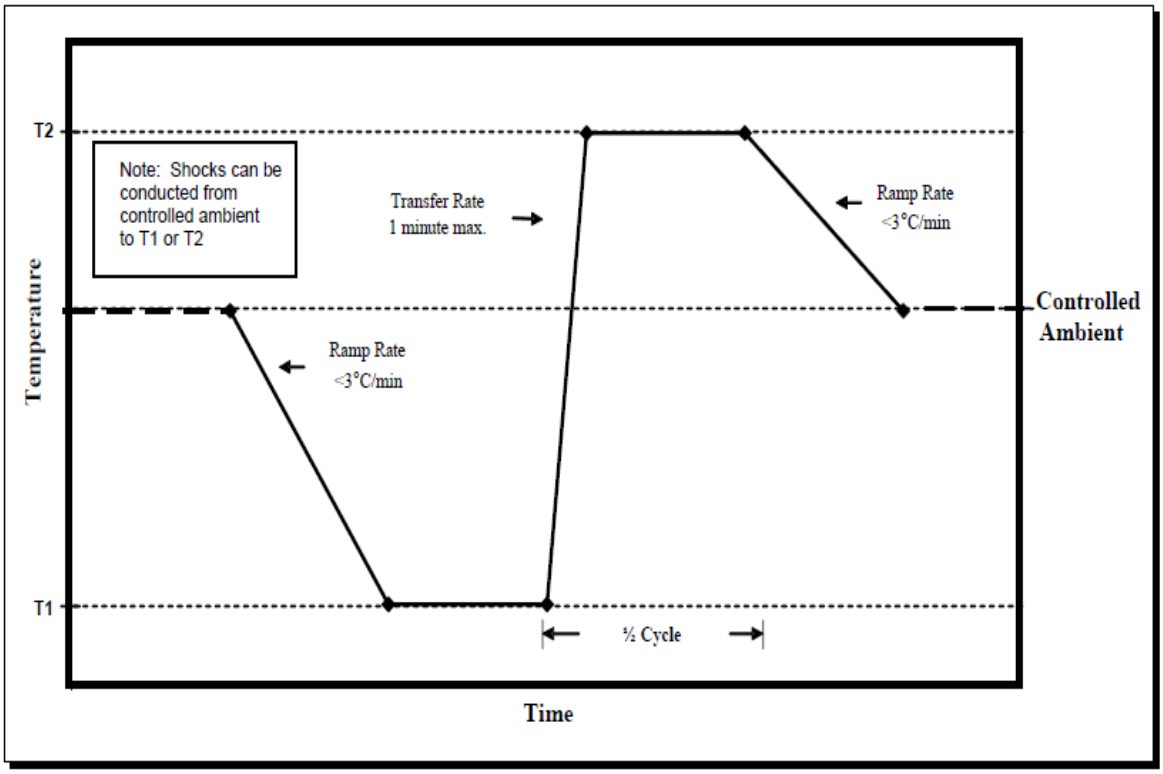
Şekil 4.151. LDC602 Doğru Polarizasyon Testi Grafiği

Teste dair; osiloskop görüntüsü Şekil 4.151 ile aşağıdaki grafikte gösterilmiştir. Bu sonuçlar değerlendirildiğinde, simülasyon sonuçları ve test sonuçlarının birbiriyle tutarlı olduğu gözlemlenmiştir.

4.3. MIL-STD-810G TESTİ

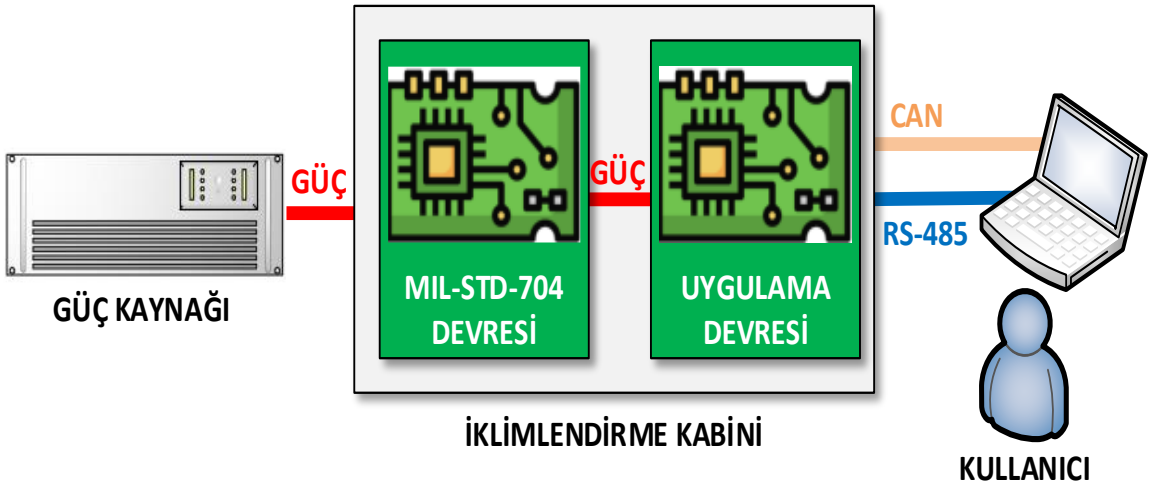
MIL-STD-810G, askeri standartların en önemlilerinden biridir ve özellikle aviyonik sistemlerde kritik bir rol oynar. Bu standart, askeri donanımların çevresel zorluklara karşı dayanıklılığını test etmek ve güvenilirliğini sağlamak amacıyla geliştirilmiştir. Aviyonik sistemler, uçakların kontrol ve navigasyon cihazları gibi kritik altyapıları içerdiğinden, bu sistemlerin çeşitli çevresel koşullarda güvenli ve sürekli çalışması gereklidir [13].

MIL-STD-810G standardı kapsamında iklimlendirme testi gerçekleştirilmiştir. Testin amacı, tasarlanan devrenin askeri standarda uygunluğunun teyit edilmesidir. Buradaki temel kıstas, seçilen komponentlerin operasyonel çalışma aralığının standart kapsamında belirlenen sıcaklık değerleriyle örtüşüyor olmasıdır. Şekil 4.152 ile standarda ait sıcaklık test döngüsü gösterilmiştir.



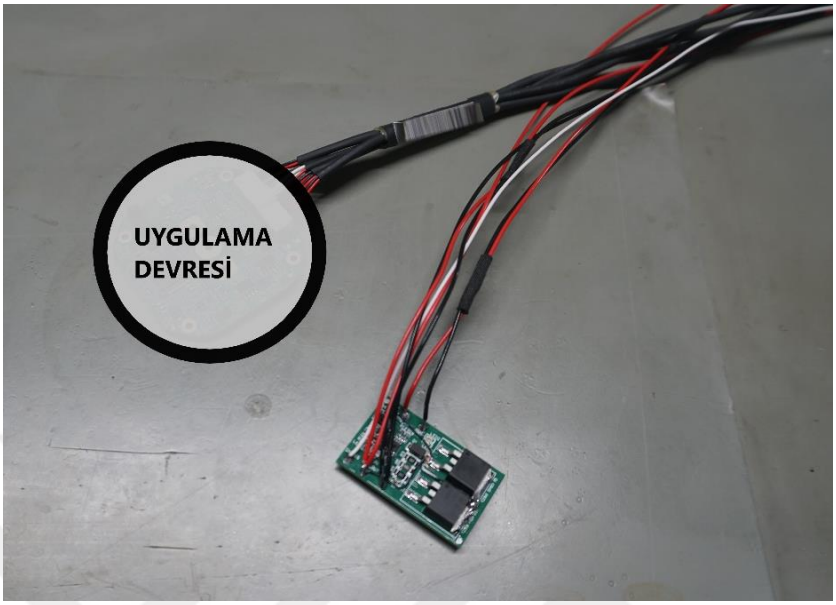
Şekil 4.152. MIL-STD-810 İklimlendirme Testi Tanımlama Grafiği [14]

Standarda uygun olacak şekilde, ilk önce -40°C derecede ünite güç kapalı olacak şekilde 2 saat bekletildikten sonra güç verilip log kaydı alınmaya başlanmıştır. Ünite, 1 saat daha -40 °C derecede çalıştırılmıştır. Daha sonra +80°C dereceye kadar ünite faal halde sıcaklık artırılıp 2 saat çalıştırıldıktan sonra +26°C derecede 30 dk beklenip test faaliyeti sonlandırılmıştır.



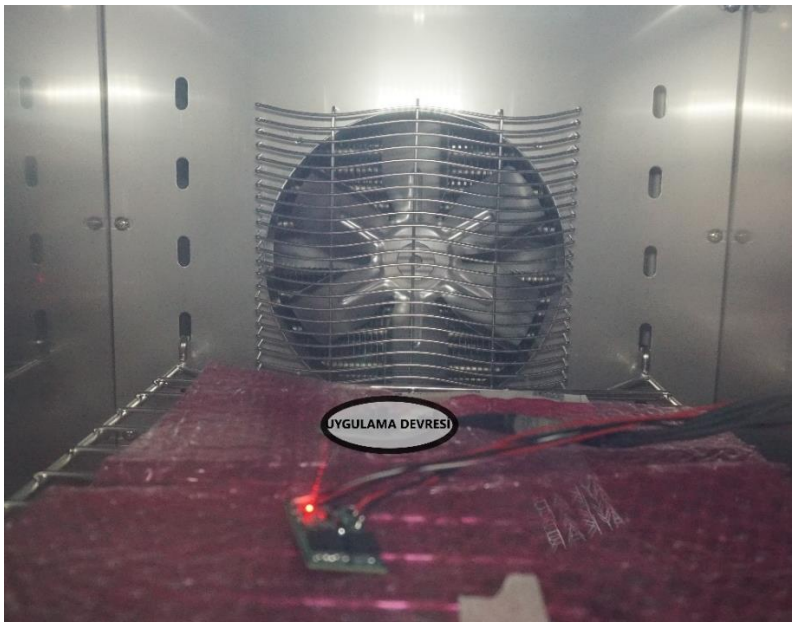
Şekil 4.153. İklimlendirme Testi Düzeneği Blok Diyagramı

Testte log almak için kullanılan uygulama devresini de içeren devre görseli Şekil 4.154 ile gösterilmiştir.



Şekil 4.154. İklimlendirme Testinde Kullanılan Test Devreleri

Devrelerin iklimlendirme kabini içerisinde test faaliyeti sırasındaki görüntüsü Şekil 4.155 ile gösterilmiştir.



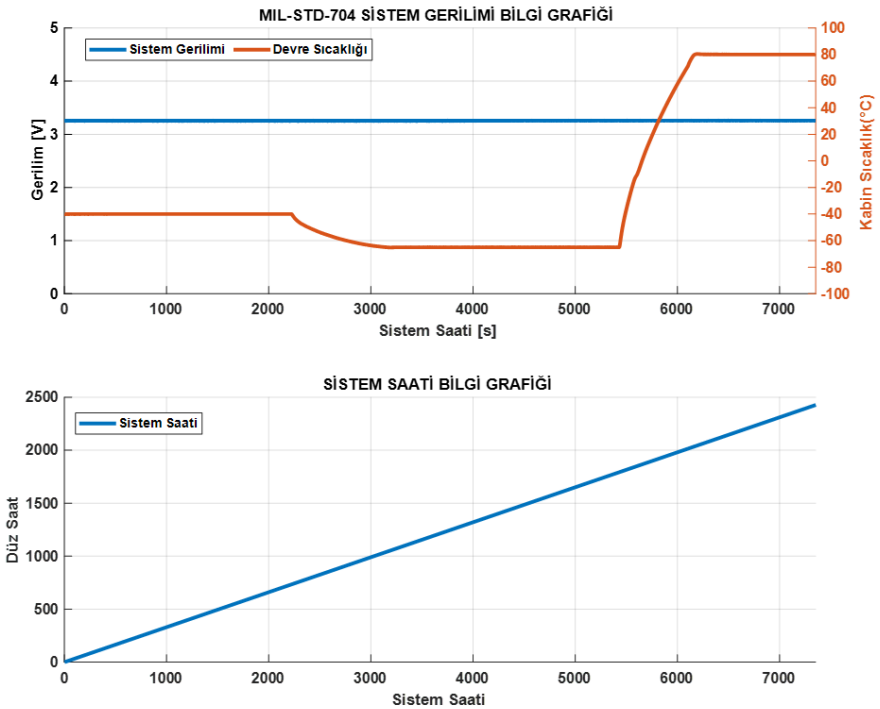
Şekil 4.155. İklimlendirme Kabini Görüntüsü

Devrelerin iklimlendirme kabini içerisinde test faaliyeti sırasındaki dışarıdan görüntüsü Şekil 4.156ile gösterilmiştir.



Şekil 4.156. İklimlendirme Kabin Testi Görüntüsü

Test faaliyeti sonucunda, test boyunca herhangi bir güç kesintisi yaşanmadığı ve gerilimde bir ripple etkisi görülmediği Şekil 4.157 ile gözlemlenmektedir.



Şekil 4.157. İklimlendirme Testi Sonucu Grafiği

5. TARTIŞMA

Literatürde yapılan çalışmalar göz önüne alındığında aşırı akım ve aşırı gerilim korumalarını birleştiren entegre koruma şemalarının önerildiği gözlemlenmiştir.

Referans [3] ile gösterilen kaynakta yapılan çalışmada, elektrik arızalarının nedenleri istatistik olarak paylaşılmıştır. Koruma devresi olarak harici bir mikrodenetleyici tabanlı bir gömülü sistem kullanılarak kısa devre ve yüksek gerilim koruması sağlanmıştır.

Referans [5] ile gösterilen kaynakta yapılan çalışmada, elektriksel güç sistemi Solid State Breaker Controller yöntemi ile kontrol altına alınmıştır. Aşırı akım ve kısa devre durumlarında devre kesici hızla devreye girebilmektedir.

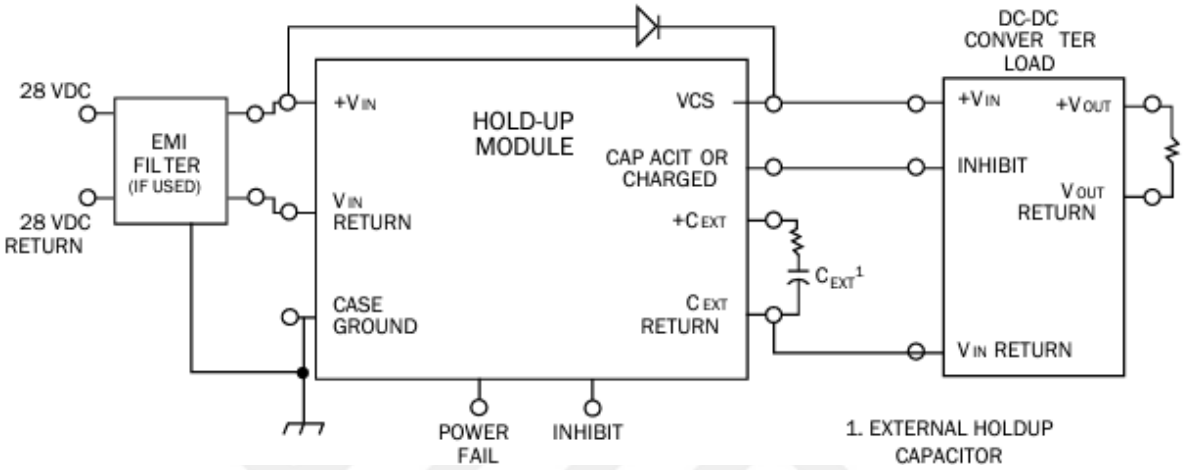
Referans [6] ile gösterilen kaynakta yapılan çalışmada, aşırı akım ve aşırı gerilim koruma yapısını birleştiren bir koruma yapısı sunulmuştur. Koruma yapısının blok diyagramı ve test sonuçlarına çalışmada yer verilmiştir.

Referans [8] ile gösterilen kaynakta yapılan çalışmada, hava aracının elektriksel güç mimarisine dair bilgiler yer almaktadır. Güç mimarisinin testine dair çalışmalar mevcuttur.

Literatürdeki hava aracı elektriksel güç sistemi koruma metodolojileri konusunda bazı yetersizlikler tespit edilmiştir. Bu tespitlere yönelik hava aracı elektriksel güç sisteminin uçuş kritik bir öneme sahip olmasından dolayı model tabanlı tasarım metodu ile gerçekleştirilmesinin oldukça önem arz ettiği düşünülmektedir. Tasarım modelinin doğruluğunu kanıtlamak için MIL-STD-704 standardına uygun test faaliyetleri gerçekleştirilmiştir.

Bu çalışma ise, aşırı akım ve aşırı gerilim koruma yapılarının tasarımı ve uygulanmasıyla ilgili hem teorik analizleri hem de deneysel sonuçları sunmaktadır. Ayrıca, çalışma, zorlu ortamlarda elektrik güç sistemlerinin güvenilirliğini ve sağlamlığını artırmadaki kritik rollerini vurgulayarak, ters gerilim koruma mekanizmaları ve adaptif koruma stratejileri için ayrıntılı değerlendirmeler içermektedir.

MIL-STD-704F standardına uyumlu tasarımlarda, kritik yüklerin kendisi için tanımlanmış giriş gerilim aralığı dışında da belirli bir süre boyunca kesintisiz çalışmasına devam etmesi beklenmektedir. Bu amaçla; yüksek gerilim bozulmalarına karşı surge koruma, tasarım gereklerinde "ms" gibi çok kısa süreli düşük gerilimler veya güç kesintileri tanımlıysa hold-up çözümleri kullanılabilmektedir.



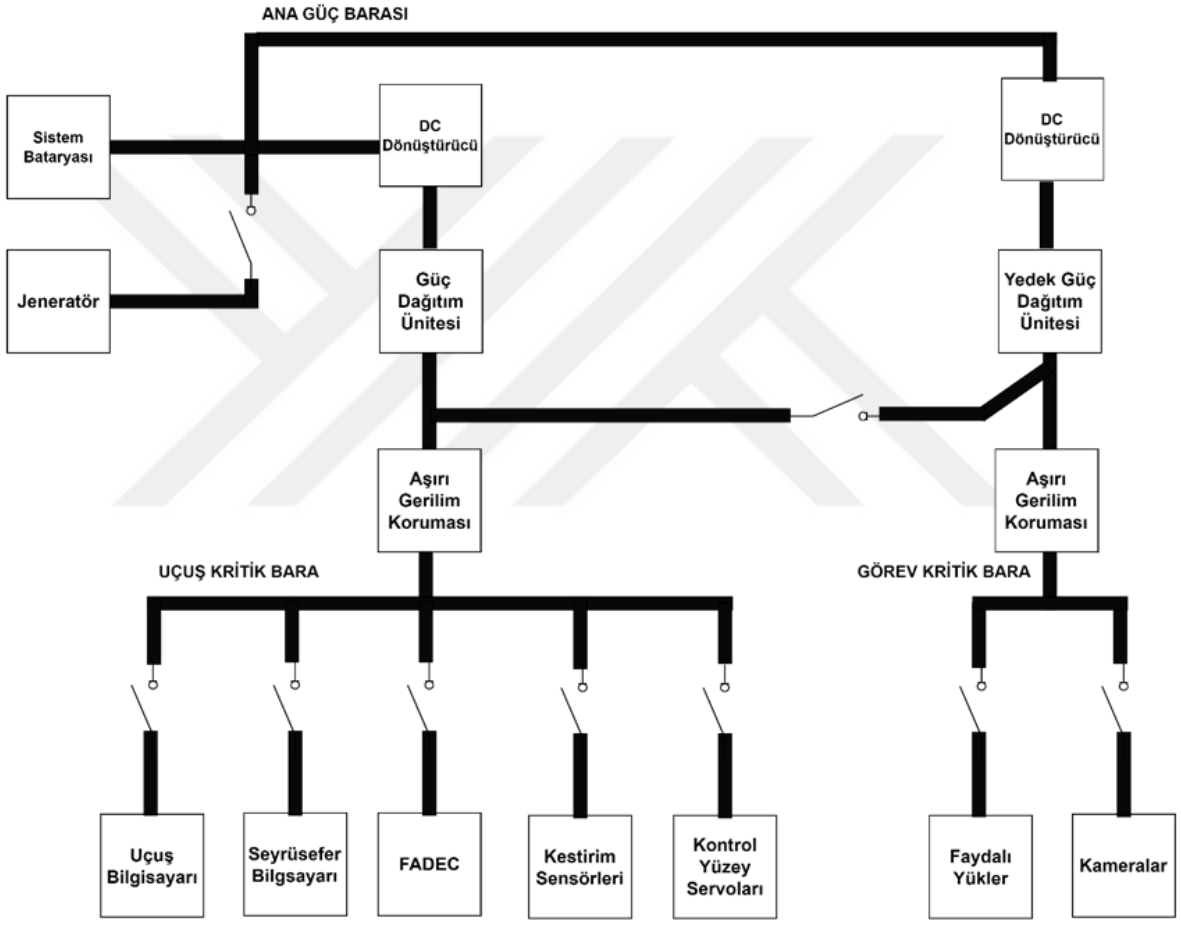
Şekil 5.1. Güç Kesintisi Durumlarına Karşı Örnek Bir Hold-Up Koruma Yapısı Şeması [11]

Çalışma senaryolarına ve tercih edilen tasarım yöntemine bağlı olarak hold-up devrelerini güvenli şekilde devreye "alma/çıkarma" senaryosu için çalışma sınırlarında bir miktar daralma görülebilmektedir. Aksi durumda hold-up devreleri DC/DC dönüştürücü girişlerine bağlanamadan önce dönüştürücü girişindeki kapasiteler hızla boşalır ve dönüştürücü çıkışlarından beslenen yükler resetlenebilmektedir. Bu çözümlerde devreye girme ve çıkma sınırlarının belirlenmesi de kritik bilgi olmaktadır.

$$E = \frac{1}{2} C_{HU}\, x\, (V_{CHU}{}^2 - V_{DC-DCmin}{}^2) = P_{IN} x\, T_{HU} \tag{5.1}$$

Enerji denklemine göre, hold-up enerjisinin gerilimin karesiyle artıyor olması nedeniyle özellikle yüksek enerji gerekleri olan tasarımların standartlara uyumunu sağlayabilmek amacıyla kapasite değerini yükseltmek için büyük hacimli kapasitelerle çalışmak yerine yüksek ve geniş giriş gerilimi kabul eden standart paket AB/ABD/UD alternatifleri bulunabilmektedir. Bazı firmalar bu düşünceyle HU ihtiyaçlarına yönelik kapasite bağlantısını destekleyen "BUS" gibi uç tanımları olan DC/DC çeviriciler tanıtmaktadır. Daha uzun süreler veya daha yüksek güçler için HU kapasite enerjisi yetersiz kalacağından batarya (Kesintisiz Güç Kaynağı, UPS) ile koruma yöntemleri tercih edilmesi gerekmektedir.

Genel olarak hava araçlarında kullanılan aviyoniklerin yüzeysel yerleşimi ve elektriksel güç isterleri dikkate alındığında herbir aviyonik için hold-up yöntemi ya da süperkapasitör kullanımından ziyade güç sisteminin yedeklenmesi tercih edilmektedir. Bu tercih sistemi hem daha güvenilir hem de pratikte daha uygulanabilir kılmaktadır. Buna rağmen, bazı durumlarda güç sistemi kendi içerisinde yedekli olsa da uçuş kritik ünitelerde ünite içinde hold-up veya süperkapasitör yöntemleri kullanılabilmektedir. Şekil 5.2'de örnek bir hava aracı elektriksel güç sistemi blok şeması gösterilmiştir.



Şekil 5.2. Hava Aracı Elektriksel Güç Sistemi Mimarisi

Hava araçlarında ana güç sistem bataryasından sağlanılmaktadır. Sistem bataryası, aviyoniklerin gücünü sağlamakla birlikte marş ve motor gücünü de sağlayabilmektedir. Bataryanın gücüne ya da hava aracının kullanım süresine bağlı olarak ana güç kaynağı jeneratör tarafından da sağlanabilmektedir.

6. SONUÇ VE ÖNERİLER

MIL-STD-704 standardının amacı, askeri hava araçlarının elektrik güç sistemleriyle ilgili gereksinimlerini tanımlamaktır. Bu standart, hava aracı içindeki elektronik ve elektrikli ekipmanların güvenli, etkili ve uyumlu bir şekilde çalışmasını sağlamak için gerekli olan elektriksel güç niteliklerini belirler. Özellikle, uçak elektrik güç kaynaklarından alınan enerjinin voltaj, frekans, dalgalanma ve diğer karakteristiklerinin sınırlarını düzenler. Bu sayede, farklı donanımların ortak bir güç kaynağı üzerinden stabil ve güvenilir bir şekilde çalışabilmesi sağlanır.

MIL-STD-704, çeşitli güç koşulları altında (örneğin, normal çalışma, geçici durumlar veya acil durumlar gibi) ekipmanların performans gereksinimlerini belirleyerek hem uçuş güvenliği hem de görev sürekliliği açısından önemlidir.

Bu tez çalışmasında, 28VDC giriş gerilimine sahip aviyonik sistemler için MIL-STD-704 standardına uygun bir güç topolojisi tasarlanması amaçlanmıştır. Standartta yer alan Şekil 2.1 ile belirtilmiş sinyalin ünitelere uygulanması durumunda korumasız devreler gayri faal duruma gelmektedir. Bu durum sonucunda oluşacak arıza durumları hava araçları için ölümcül kritik sebebiyetler oluşturabileceği gibi kaza kırıma da neden olabilmektedir.

Şekil 4.1 ile gösterilmiş olan güç topolojisi ile yüksek ve ters gerilim koruma devresi tasarımı, malzeme seçimi, benzetimi ve gerçekleştirilmiş devrenin test sonuçları tez içinde anlatılmıştır. Benzetim sonuçları ile test sonuçları birbirleri ile tutarlıdır ve anormal durumda 50VDC gelen gerilimlerde, çıkış gerilimini 36VDC gerilime sınırlandırmaktadır. Bu gerilim, sistemde bu tasarımdan beslenen yükler için herhangi bir sorun teşkil etmemektedir. Ek olarak, sınırlandırılan çıkış gerilimi istenilen değer seviyelerine feedback dirençleri üzerinden ayarlanabilmektedir.

MIL-STD-810 standardındaki iklimlendirme testinin amacı, ekipmanların çeşitli iklim koşullarına dayanıklılığını değerlendirerek, görev sırasında güvenilir performans göstermelerini sağlamaktır. Bu testler, ekipmanların yüksek sıcaklık, düşük sıcaklık, yüksek nem gibi çevresel stres faktörlerine maruz kaldıkları durumlarda nasıl tepki vereceklerini

anlamak için yapılmaktadır. Bunun yanı sıra, iklimlendirme testleri ünitelerin elektriksel sistemlerini de değerlendirmektedir. Nem; elektronik devrelerde kısa devreye, paslanmaya veya yalıtım kaybına neden olabilmektedir. Bu testle, cihazların yoğun nem koşullarında çalışmaya devam edip edemeyecekleri doğrulanmaktadır. Böylece, elektronik aksamın güvenliği ve dayanıklılığı güvence altına alınmaktadır.

Şekil 4.157 ile gösterilen test sonucunda, devrenin bu standart altında belirlenen koşullara uygun bir şekilde çalıştığı gözlemlenmektedir. Bu standart kapsamında dikkat edilen en önemli noktalardan biri seçilen komponentlerin operasyonel sıcaklık değerlerinin standart içerisinde yer alan sıcaklık değerlerini kapsıyor olmasıdır. Ek olarak, komponentlerin nem ve korozyondan etkilenmemesi için PCB kart üzerinde dizgileri yapıldıktan sonra konformal kaplama yapılması önem arz etmektedir.

Sonuç olarak; tasarlanan devre aviyonik ünitelerde kullanılmak üzere belirtilen standartlara uygun yüksek gerilim, ters gerilim, yüksek akım durumlarında ünitenin faaliyetlerini koruması amacını yerine getirebilmektedir. MIL-STD-704 standardı kapsamında yer alan güç kesinti testleri için ise 50ms gibi az süreli güç kesintilerinde tartışma bölümünde bahsedildiği üzere hold-up yöntemleri ya da süper kapasite kullanımı değerlendirilebilir. Daha uzun süreli güç kesinti durumları için de yedek güç ünitesi veya jeneratör kullanımına gidilmelidir. Bu tip çözümlere yönelmek hem sistem güvenilirliği hem de hava aracının emniyeti açısından önem arz etmektedir.

KAYNAKLAR

[1]. Andoga R., Bréda R., Fözö L., Schrötter M., 2018, The Evolution of the Aircraft Electric Power Systems, *International IEEE Conference and Workshop in Óbuda on Electrical and Power Engineering (CANDO-EPE)*, 2018 Budapest, Hungary, 159-162.

[2]. Misca T., Stoian C., Uta T., 2005, Solutions for protection from atmospheric and switching overvoltage, *EMERG*, 2005 Romania, 24-32.

[3]. Aciu E., Lozneanu D., Ogrutan P., Rosca I., 2010, Study Regarding Intelligent Protection in Low Voltage Supply and Data Transmission, *2010 IEEE 16th International Symposium for Design and Technology in Electronic Packaging (SIITME)*, 2010 Pitesti, Romania, 211-214.

[4]. Spencer W., 1999, Circuit Breaker with Integrated Control Features, https://patents.justia.com/patent/5875087 [Ziyaret tarihi: 18 Ekim 2024].

[5]. Barrado A., Izquierdo D., Lazaro A., Raga C., Sanz M., 2011, Protection Devices for Aircraft Electrical Power Distribution Systems: State of the Art, *IEEE Transactions on Aerospace and Electronic Systems*, 1538-1550.

[6]. Brocke R., Rock M., Schork F., 2017, A Combined Electronic Overvoltage and Overcurrent Protection Concept, *Conference on Sustainable Energy Supply and Energy Storage Systems NEIS*, 2017

[7]. Department of Defense USA, 2002, *MIL-HDBK-704-8*, Guidance For Test Procedures For Demonstration of Utilization Equipment Compliance to Aircraft Electrical Power Characteristics 28 VDC, Part 8, USA, 680-757.

[8]. Sagirkaya H., 2023, Design and Verification of Aircraft Electrical Power System, *2023 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles & International Transportation Electrification Conference (ESARS-ITEC)*, 2023, Venice, Italy, 1-6.

[9]. Linear Technology, 2022, *SMAJ33A*, TVS Diodes Datasheet LittleFuse, SMAJ Series, USA, 1-6.

[10]. Infineon Technology, 2020, *PT030N12N*, MOSFET OptiMOS Power Transistor Datasheet OptiMOS Series, USA, 1-9.

[11]. Linear Technology, 2024, *LT4363*, High Voltage Surge Stopper with Current Limit Datasheet, Surge Stopper Series, USA, 1-24.

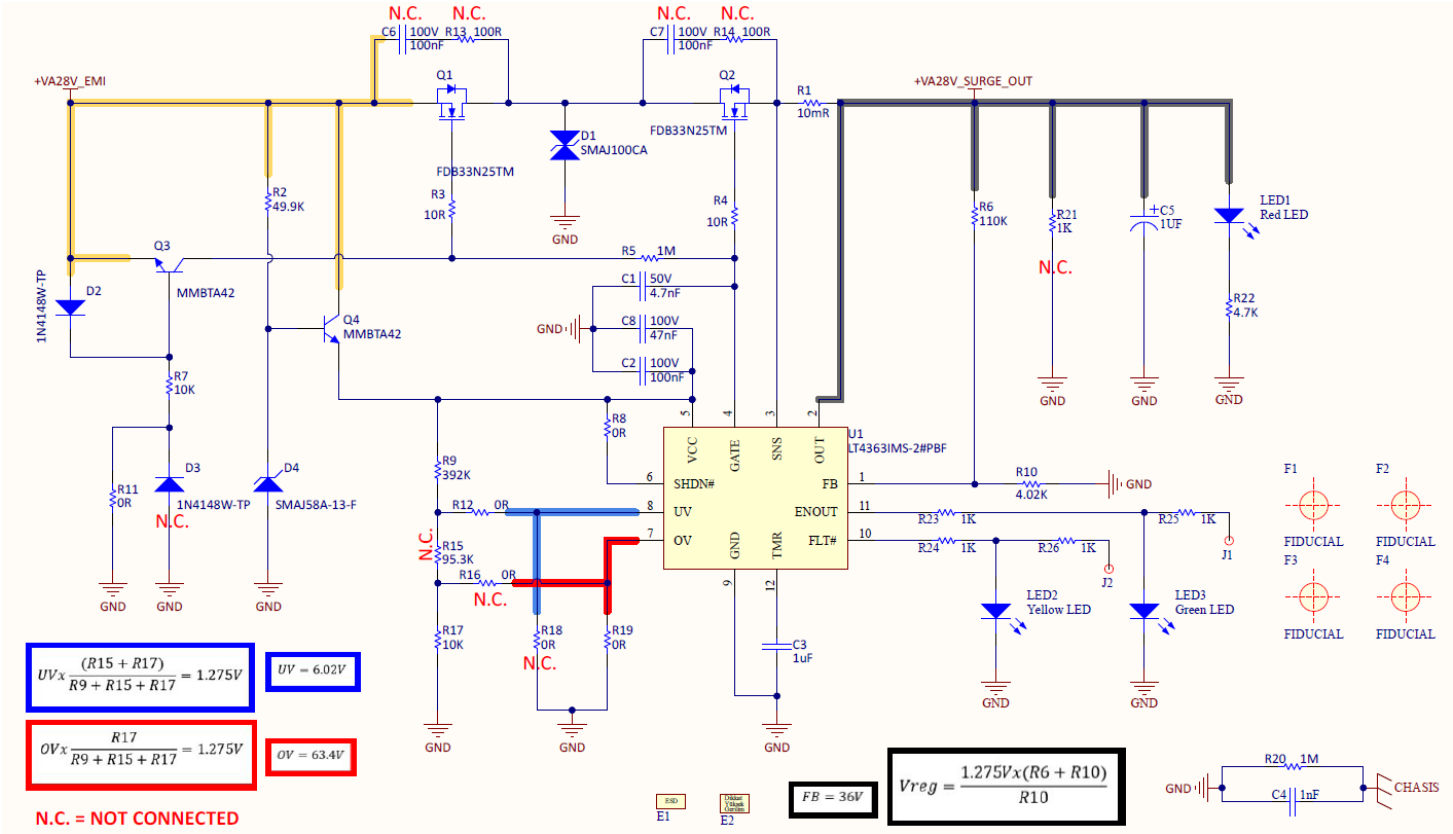
[12]. Abishek D., 2024, *LTC4364 for High Current Application*, https://ez.analog.com, [Ziyaret tarihi: 08 Ekim 2024].

[13]. Boeing, 2024, *Environmental Testing for Avionics Systems*, https://www.boeing.com, [Ziyaret tarihi: 19 Ekim 2024].

[14]. Department of Defense USA, 2014, *MIL-STD-810G Change*, Guidance For Environmental Engineering Considerations and Laboratory Tests, Notice 1, USA, 71-93.

EKLER

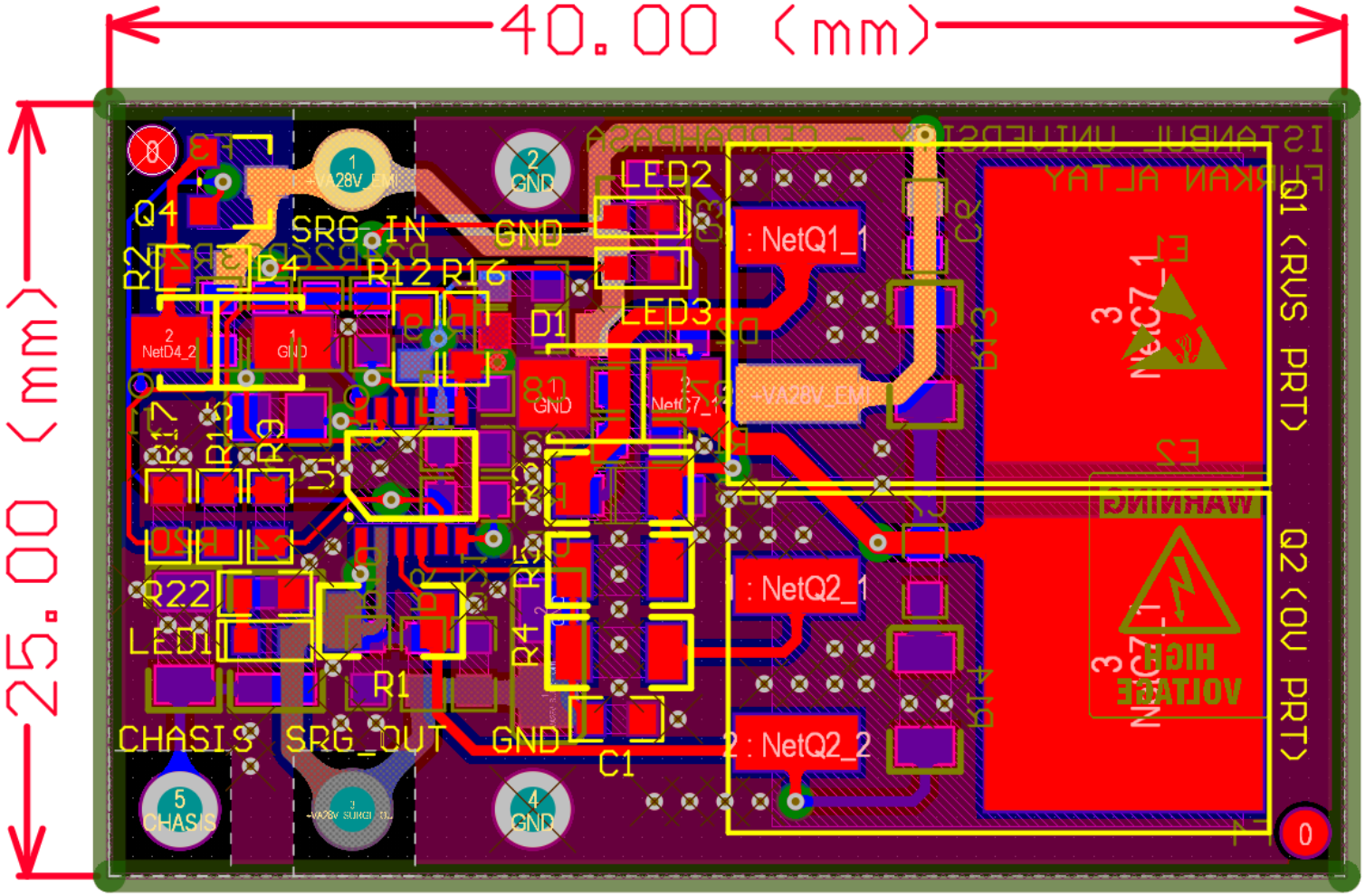
EK 1. MIL-STD-704F Uyumlu Güç Devre Yapısı Şematik Tasarımı



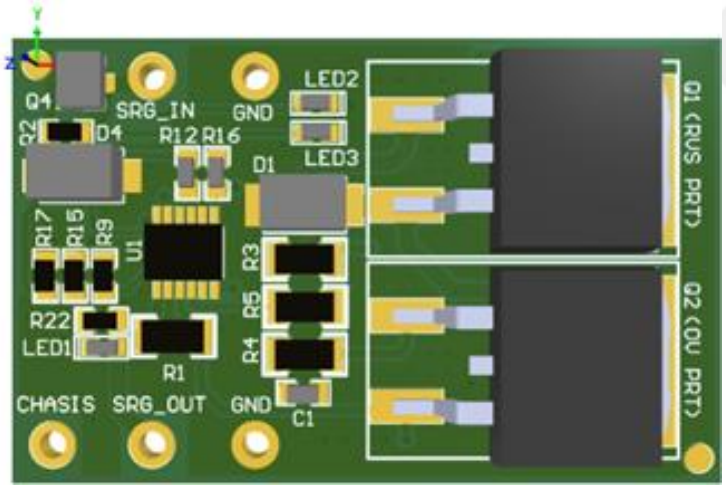
EK 2. MIL-STD-704F Uyumlu Güç Devre Yapısı Tasarım Malzeme Listesi

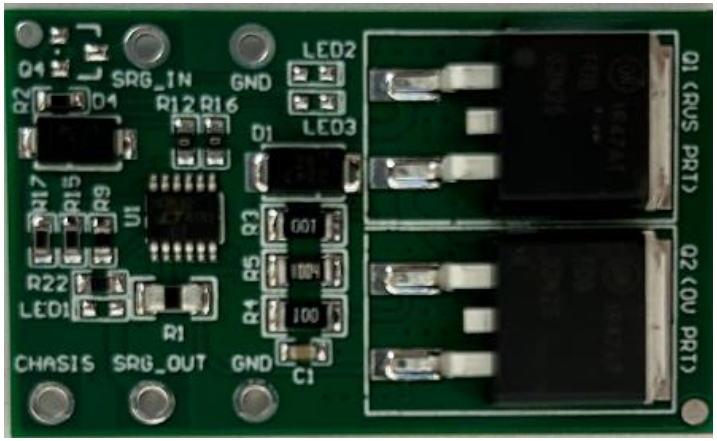
Item #	*Designator	*Qty	Manufacturer	*Mfg Part #	Description / Value	*Package/Footprint	Mounting Type
1	C1	1	Samsung Electro-Mechanics	CL10B472JB8NNNC	4.7nF, 0603, X7R, 50V, % 5	0603	SMD
2	C2	1	YAGEO	CC0603KRX7R0BB104	100nF, 0603, X7R, 100V, % 10	0603	SMD
3	C3	1	Samsung Electro-Mechanics	C2012X7S2A105M125AB	1uF, 0805, X7R, 50V, % 10	0805	SMD
4	C4	1	Würth Elektronik	885342209009	1nF, 1210, X7R, 2kV, % 10	1210	SMD
5	C5	1	KEMET	T491A105K050AT	CAP TANT 1UF 10% 50V 1206	1206	SMD
6	C6, C7	2	YAGEO	CC1206KRX7R0BB103	CAP CER 10000PF 100V X7R 1206	1206	SMD
7	C8	1	YAGEO	CC0603KRX7R0BB473	CAP CER 0.047UF 100V X7R 0603	0603	SMD
8	D1	1	Bourns Inc.	SMAJ100CA	TVS DIODE 100VWM 162VC DO214AC	DO-214AC (SMA)	SMD
9	D2, D3	2	Micro Commercial Co	1N4148W-TP	DIODE GEN PURP 100V 150MA SOD123	SOD-123	SMD
10	D4	1	Diodes Incorporated	SMAJ58A-13-F	TVS DIODE 58VWM 93.6VC SMA	SMA	SMD
11	LED1	1	ams-OSRAM USA INC.	LS Q976.01-N1Q2-1	SMD RED SMD 0603 LED GEN 2, 2V, 30mA	0603	SMD
12	LED2	1	ams-OSRAM USA INC.	LY Q976.01-Q1R2-36-1	LED YELLOW CLEAR 0603 SMD	0603	SMD
13	LED3	1	ams-OSRAM USA INC.	LG Q976.01-MGNI-35-1	LED GREEN CLEAR 0603 SMD	0603	SMD
14	Q1, Q2	2	onsemi	FDB33N25TM	MOSFET N-CH 250V 33A D2PAK	TO-263 (D2PAK)	SMD
15	Q3, Q4	2	Diotec Semiconductor	MMBTA42	TRANS NPN 300V 0.5A SOT23	SOT-23	SMD
16	R1	1	Panasonic Electronic Components	ERJ-8CWFR010V	RES 0.01 OHM 1% 1W 1206	1206	SMD
17	R2	1	Panasonic Electronic Components	ERJ-3EKF4992V	RES SMD 49.9K OHM 1% 1/10W 0603	0603	SMD
18	R3, R4	2	Panasonic Electronic Components	ERJ-8GEYJ100V	10R, 1206, Thick Film, 250mW, % 5, AEC-Q200	1206	SMD
19	R5, R20	2	Panasonic Electronic Components	ERJ-8ENF1004V	1M, 1206, Thick Film, 250mW, % 5, AEC-Q200	1206	SMD
20	R6	1	Panasonic Electronic Components	ERJ-3EKF1103V	RES SMD 110K OHM 1% 1/10W 0603	0603	SMD
21	R7, R17	2	Panasonic Electronic Components	ERJ-3EKF1002V	10K, 0603, Thick Film, 100mW, % 1, AEC-Q200	0603	SMD
22	R8, R11, R12, R16, R18, R19	6	Panasonic Electronic Components	ERJ-3GEY0R00V	E24, 0R, 0603, 1/10W, % 0	0603	SMD
23	R9	1	Panasonic Electronic Components	ERJ-3EKF3923V	392K, 0603, Thick Film, 100mW, % 1, AEC-Q200	0603	SMD
24	R10	1	Panasonic Electronic Components	ERJ-3EKF4021V	RES SMD 4.02K OHM 1% 1/10W 0603	0603	SMD
25	R13, R14	2	Panasonic Electronic Components	ERJ-8GEYJ101V	RES SMD 100 OHM 5% 1/4W 1206	1206	SMD
26	R15	1	Panasonic Electronic Components	ERJ-3EKF9532V	95.3K, 0603, Thick Film, 100mW, % 1, AEC-Q200	0603	SMD
27	R21, R23, R24, R25, R26	5	Panasonic Electronic Components	ERJ-3EKF1001V	1K, 0603, Thin Film, 100mW, % 1	0603	SMD
28	R22	1	Panasonic Electronic Components	ERJ-3EKF4701V	RES SMD 4.7K OHM 1% 1/10W 0603	0603	SMD
29	U1	1	Analog Devices Inc.	LT4363IMS-2#PBF	IC SURGE STOPPER HV 12-MSOP –40C +125C	12-MSOP	SMD

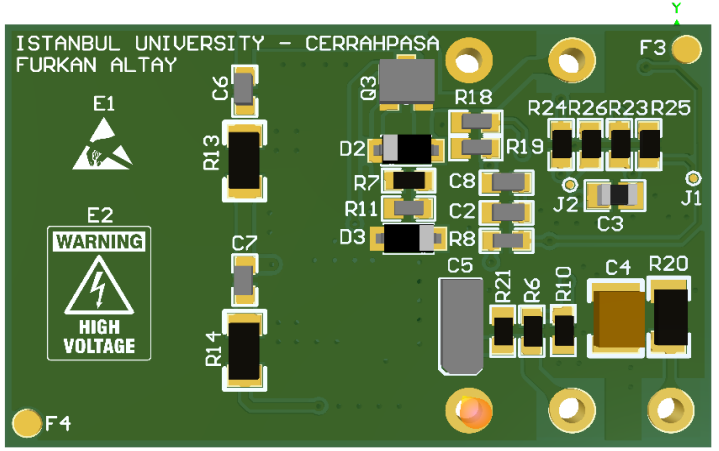
EK 3. MIL-STD-704F Uyumlu Güç Devre Yapısı PCB Layout Tasarımı

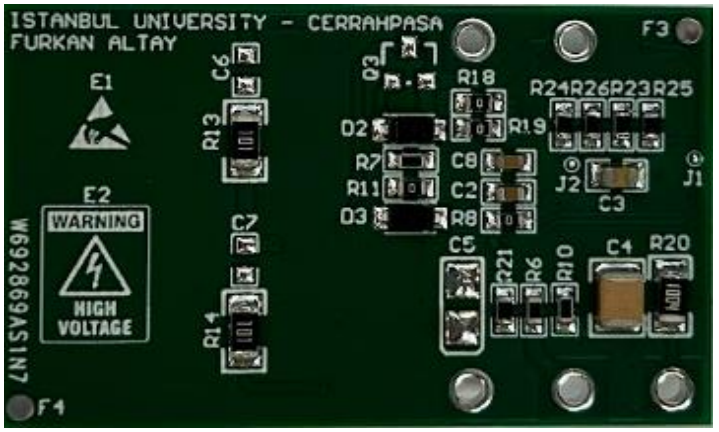


EK 4. MIL-STD-704F Uyumlu Güç Devre Yapısı PCB Görselleri









İNTİHAL RAPORU İLK SAYFASI

Furkan Altay

ORİJİNALLİK RAPORU

%6	%4	%2	%3
BENZERLİK ENDEKSİ	İNTERNET KAYNAKLARI	YAYINLAR	ÖĞRENCİ ÖDEVLERİ

BİRİNCİL KAYNAKLAR

1	Submitted to The Scientific & Technological Research Council of Turkey (TUBITAK) Öğrenci Ödevi	%3
2	ieee.li İnternet Kaynağı	%2
3	acikbilim.yok.gov.tr İnternet Kaynağı	%1
4	Submitted to TechKnowledge Turkey Öğrenci Ödevi	<%1
5	Yüzer, Devrim. "Seçici Manyetik Hipertermi için Dairesel Halbach Dizilerinin Tasarımı ve Kontrolü", Balikesir University (Turkey), 2024 Yayın	<%1
6	everyspec.com İnternet Kaynağı	<%1
7	businessdocbox.com İnternet Kaynağı	<%1
8	Karasahin, Ali Tahir. "Robotik Uygulamalar icin Kapasitif Rotary Enkoder Gelistirilmesi",	<%1

KURUM İZNİ YAZILARI

Uyarı: Canlı ve cansız deneklerle yapılan tüm çalışmalar için kurum izin belgelerinin eklenmesi zorunludur. Gizlilik ve mahremiyet içeren durumlarda kurum adı kapatılmalıdır.

☒ **Kurum izni gerekmektedir.**

☒ **Kurum izni gerekmemektedir.**

Furkan ALTAY
(İmza)