T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

DOKTORA TEZİ

TÜMLEŞTİRMEYE UYGUN KAPASİTE ÇARPMA DEVRESİ TASARIMI

Mutasem VAHBEH

DANIŞMAN
Prof. Dr. Fırat KAÇAR

II. DANIŞMAN
Doç. Dr. Emre ÖZER

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

Haziran, 2024

TEZ KABUL VE ONAYI

Mutasem VAHBEH tarafından, **Prof. Dr. Fırat KAÇAR** danışmanlığında hazırlanan **"Tümleştirmeye Uygun Kapasite Çarpma Devresi Tasarımı"** başlıklı bu çalışma, jürimiz tarafından **14/06/2024** tarihinde yapılan sınav sonucunda **oy birliği** ile başarılı bulunarak **Doktora Tezi** olarak kabul edilmiştir.

Tez Jürisi

		İmza	Sonuç
DANIŞMAN	Prof. Dr. Fırat KAÇAR İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği Anabilim Dalı		☐ Kabul ☐ Ret
ÜYE	Prof. Dr. Yasin ÖZÇELEP İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği Anabilim Dalı		☐ Kabul ☐ Ret
ÜYE	Doç. Dr. Emin BAŞAK Yıldız Teknik Üniversitesi Gemi İnşaat Mühendisliği Anabilim Dalı		☐ Kabul ☐ Ret
ÜYE	Doç. Dr. Aysel ERSOY İstanbul Üniversitesi-Cerrahpaşa Elektrik-Elektronik Mühendisliği Anabilim Dalı		☐ Kabul ☐ Ret
ÜYE	Dr. Öğr. Üyesi Mustafa KONAL Tekirdağ Namık Kemal Üniversitesi Elektrik-Elektronik Mühendisliği Anabilim Dalı		☐ Kabul ☐ Ret

BEYAN

Bu tez çalışmasının kendi çalışmam olduğunu, tezin planlanmasından yazımına kadar bütün aşamalarda etik dışı davranışımın olmadığını, bu tezdeki bütün bilgileri akademik ve bilimsel etik kuralları içinde elde ettiğimi, bu tez çalışmasıyla elde edilmeyen bütün bilgi ve yorumlara kaynak gösterdiğimi ve bu kaynakları da kaynaklar listesine aldığımı, yine bu tezin çalışılması ve yazımı sırasında patent ve telif haklarını ihlal edici bir davranışımın olmadığını ve her türlü hukuki sorumluluğu aldığımı kabul ederim.

Mutasem VAHBEH

Annem, Babam, Eşim ve Hocam'a ithaf ediyorum…

BÜTÇE DESTEKLERİ

Bu tez çalışması için herhangi bir kurumdan bütçe desteği alınmamıştır.

TEŞEKKÜR

Öncelikle danışmanım Prof.Dr. Fırat KAÇAR ve Doç.Dr. Emre ÖZER'e sürekli ve sonsuz yardımları ve değerli tavsiyeleri için teşekkür etmek istiyorum, sayenizde bilgi ve alçak gönüllülüğün aynı anda nasıl birleşebileceğini öğrendim.

Aileme ve sevgili eşim'e sonsuz sevgi ve destek için, her zaman yanımda olduğunuz için minnettarım.

Haziran 2024 **Mutasem VAHBEH**

İÇİNDEKİLER

Sayfa No

TEZ KABUL VE ONAYI ii
BEYAN iii
BÜTÇE DESTEKLERİ v
TEŞEKKÜR vi
İÇİNDEKİLER vii
ŞEKİL LİSTESİ ix
TABLO LİSTESİ xi
SİMGE VE KISALTMA LİSTESİ xii
ÖZET xiv
ABSTRACT xv
1. GİRİŞ 1
1.1. ÇALIŞMANIN KAPSAMI 1
1.2. TEZİN ÖNEMİ 1
1.3. TEZ KONUSU 1
1.4. TEZİN AMACI 2
2. KAVRAMSAL ÇERÇEVE VE GENEL KISIMLAR 3
2.1. LİTERATÜR İNCELEMESİ 3
2.1.1. Akım Modlu Aktif Elemanlar 5
3. YÖNTEM 11
3.1. ÖNERİLEN TOPRAKLANMIŞ KAYIPSIZ NEGATİF KAPASİTE ÇARPMA DEVRESİ 12
3.1.1. İdeal Olmayan Kazançların Etkisi 13
3.1.2. Parazitik Empedansların Etkisi 14
3.2. ÖNERİLEN TOPRAKLANMIŞ KAYPILI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ 16
3.2.1. İdeal Olmayan Kazançların Etkisi 17
3.3. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ 17

3.3.1. İdeal Olmayan Kazançların Etkisi 19
3.4. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C POZİTİF KAPASİTE ÇARPMA DEVRESİ 19
3.4.1. İdeal Olmayan Kazançların Etkisi 20
3.5. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ 21
3.5.1. İdeal Olmayan Kazançların Etkisi 21
4. BULGULAR 23
4.1. ÖNERİLEN TOPRAKLANMIŞ KAYIPSIZ NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI 23
4.2. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI 31
4.3. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI 33
4.4. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C POZİTİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI 33
4.5. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C NEGATİF KAPASİTE ÇARPMA DVRESİNİN SİMÜLASYON SONUÇLARI 33
4.6. DENEYSEL ÇALIŞMA 37
5. TARTIŞMA VE SONUÇLAR 39
6. ÖNERİLER 42

ŞEKİL LİSTESİ

Sayfa No

Şekil 2.1: CCII'ın sembolü. 5

Şekil 2.2: Evirmeyen tip CFOA'nın sembolü. 6

Şekil 2.3: CFOA'nın devre sembolü. 6

Şekil 2.4: CFOA'nın parazit empedansları. 7

Şekil 2.5: Evirmeyen tip CFOA'nın MOS transistör tabanlı içyapısı [30] 8

Şekil 2.6: a. DTMOS eşdeğer devresi, b. Şematik sembolü. 10

Şekil 3.1: Önerilen evirmeyen tip CFOA'nın iç yapısı [32]. 11

Şekil 3.2: Önerilen topraklanmış kayıpsız negatif KÇ devresi. 13

Şekil 3.3: Önerilen topraklanmış kayıpsız negatif KÇ devresinin eşdeğer devresi. 13

Şekil 3.4: CFOA'nın ideal olmayan kazançlarını dikkate alan eşdeğer devre. 14

Şekil 3.5: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresi. 16

Şekil 3.6: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin eşdeğer devresi.17

Şekil 3.7: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresi. 18

Şekil 3.8: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin eşdeğer devresi.18

Şekil 3.9: Önerilen birinci topraklanmış kayıplı seri R-C pozitif KÇ devresi. 20

Şekil 3.10: Önerilen ikinci topraklanmış kayıplı seri R-C negatif KÇ devresi. 21

Şekil 4.1: Önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -500.5) 24

Şekil 4.2: Önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için empedansının faz cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -500.5) 24

Şekil 4.3: Önerilen devre ile K = -10 ve C_1 = 0.5 nF, 5 nF ve 10 nF için elde edilen eşdeğer kapasitenin C_{eq} = -5 nF, -50 nF ve -500 nF empedansının genlik cevabı. 25

Şekil 4.4: Önerilen devre ile K = -10 ve C_1 = 0.5 nF, 5 nF ve 10 nF için elde edilen eşdeğer kapasitenin C_{eq} = -5 nF, -50 nF ve -500 nF empedansının faz cevabı. 25

Şekil 4.5: Önerilen topraklanmış kayıpsız negatif KÇ devresinin çeşitli sıcaklık değerleri için önerilen devrenin giriş empedansının genlik cevabı. 26

Şekil 4.6: Önerilen topraklanmış kayıpsız negatif KÇ devresinin çeşitli sıcaklık değerleri için önerilen devrenin giriş empedansının faz cevabı. 26

Şekil 4.7: Çeşitli besleme gerilimleri altında önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının genlik cevabı. 27

Şekil 4.8: Çeşitli besleme gerilimleri altında önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının faz cevabı. 27

Şekil 4.9: Tüm MOS transistörlerinin eşik geriliminde (V_{TH}) ve geçit oksit tabakası kalınlığında (t_{ox}) %10'luk bir değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının genlik cevabı. 28

Şekil 4.10: Tüm MOS transistörlerinin eşik geriliminde (V_{TH}) ve geçit oksit tabakası kalınlığında (t_{ox}) %10'luk bir değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının faz cevabı. 28

Şekil 4.11: Tüm MOS transistörlerinin genişliğinde %5'lik değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının genlik cevabı. 29

Şekil 4.12: Tüm MOS transistörlerinin genişliğinde %5'lik değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının faz cevabı. 29

Şekil 4.13: Kapasite iptal devresi [10,31]. 30

Şekil 4.14: Kapasite iptal devresinin frekans cevabı. 30

Şekil 4.15: Şekil 4.13'teki devre için I_{Ra} ve I_{Rb} akım dalga biçimleri. 31

Şekil 4.16: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -100.5). 32

Şekil 4.17: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -100.5). 32

Şekil 4.18: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -11, K_2 = -21 ve K_3 = -51)..34

Şekil 4.19: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -11, K_2 = -21 ve K_3 = -51). 34

Şekil 4.20: Önerilen topraklanmış kayıplı seri R-C pozitif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = 10, K_2 = 100.5). 35

Şekil 4.21: Önerilen topraklanmış kayıplı seri R-C pozitif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = 10, K_2 = 100.5). 35

Şekil 4.22: Önerilen topraklanmış kayıplı seri R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -11, K_2 = -101). 36

Şekil 4.23: Önerilen topraklanmış kayıplı seri R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -11, K_2 = -101). 36

Şekil 4.24: Deney düzeneği. 37

Şekil 4.25: 1 kHz'de V_x ve V_y gerilim dalga biçimleri. 38

Şekil 4.26: 10 kHz'de V_x ve V_y gerilim dalga biçimleri. 38

Şekil 4.27: 100 kHz'de V_x ve V_y gerilim dalga biçimleri 38

TABLO LİSTESİ

Sayfa No

Tablo 2.1: Evirmeyen tip CFOA'nın MOS transistör en boy oranları, Evirmeyen tip CFOA'nın MOS transistör en boy oranları. 8

Tablo 3.1: Evirmeyen tip CFOA'nın transistör en / boy oranları.....11

Tablo 3.2: Evirmeyen tip CFOA'nın parazitik empedansları ve ideal olmayan kazançları.....11

Tablo 3.3: Önerilen devrelerin eşdeğer direnç ve kapasite değerleri.....22

Tablo 5.1: Topraklanmış kayıplı/kayıpsız negatif KÇ devrelerinin karşılaştırması 40

SİMGE VE KISALTMA LİSTESİ

Simgeler **Açıklama**

C : Kapasitör
dB : Desibel
F : Farad
f : Frekans
g_m :Geçiş İletkenliği
I : Akım
R : Direnç
s : Saniye
V : Gerilim
VDD : Pozitif Besleme Gerilimi
VSS : Negatif Besleme Gerilimi
Z : Empedans
Ω : Direnç Birimi
Hz : Frekansın Birimi

Kısaltmalar **Açıklama**

KÇ : Kapasite Çarpıcı
CCII : İkinci Nesil Akım Taşıyıcı
CFTA : Akım İzleyici Geçiş İletkenliği Kuvvetlendiricisi
CCII+ : Pozitif Tipli Ikinci Nesil Akım Taşıyıcı
CCII- : Negatif Tipli Ikinci Nesil Akım Taşıyıcı
CFOA : Akım Geri Beslemeli İşlemsel Kuvvetlendirici
DVCC : Gerilim Diferansiyeli Alan Akım Taşıyıcı
DTMOS : Dinamik Eşik Gerilimi MOS
DXCCII : Çift X Uçlu İkinci Nesil Akım Taşıyıcı
E-DVCC : Elektronik Olarak Ayarlanabilir Diferansiyel Gerilim Akım Taşıyıcı
EGİ : Eviren Gerilim İzleyici

Gİ : Gerilim İzleyici

ICCII : Eviren İkinci Nesil Akım Taşıyıcı

ICFOA : Eviren Akım Geri Beslemeli İşlemsel Kuvvetlendirici

MOS : Metal Oksit Yarıiletken

NMOS : N Tipi Metal Oksit Yarıiletken

OTA : İşlemsel Geçiş İletkenliği Kuvvetlendirici

Op-Amp : İşlemsel Kuvvetlendirici

PMOS : P Tipi Metal Oksit Yarıiletken

$\mathbf{V_{TH}}$: Eşik Gerilimi

$\mathbf{V_G}$: Geçit Gerilimi

$\mathbf{V_{GS}}$: Geçit Savak Gerilimi

ÖZET

[DOKTORA TEZİ]

[TÜMLEŞTİRMEYE UYGUN KAPASİTE ÇARPMA DEVRESİ TASARIMI]

[Mutasem VAHBEH]

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik- Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği, Doktora Programı

[Danışman: Prof. Dr. Fırat KAÇAR]

[Bu tezde, beş farklı kapasite çarpma devresi önerilmiştir ve aktif devre elemanı olarak Akım Geri Beslemeli İşlemsel Kuvvetlendirici (CFOA) kullanılmıştır. Güç tüketimini azaltmak amacıyla, CFOA'nın iç mimarisinde dinamik eşik gerilimi MOSFET (DTMOS) transistörleri kullanılmıştır. İlk tasarımda, bir CFOA, dört direnç ve bir topraklanmış kapasitör kullanılarak bir topraklanmış kayıpsız negatif kapasite çarpma devresi önerilmiştir. Sonraki tasarımlar ise, bir CFOA, üç veya dört direnç ve bir topraklanmış kapasitör içeren kayıplı kapasite çarpma devreleridir. Önerilen her devre için ideal ve ideal olmayan koşullar altında matematiksel analizler yapılmıştır. Simülasyon sonuçları, 0,13 μm IBM CMOS teknoloji parametreleri kullanılarak SPICE simülasyon programı ile elde edilmiştir. Proses, sıcaklık, besleme gerilimi ve çarpma katsayısındaki değişiklikler gibi çeşitli senaryolar için kayıpsız kapasite çarpma devresinin giriş empedansının genlik ve faz cevapları incelenmiştir. Kayıpsız tasarımın doğruluğunu kanıtlamak amacıyla, ticari olarak temin edilebilen AD844 entegre devresi kullanılarak deneysel çalışmalar yapılmıştır.]

Haziran 2024 , [67] sayfa.

Anahtar kelimeler : [Kapasite Çarpıcı, CFOA, DTMOS, AD844]

ABSTRACT

[Ph.D. THESIS]

[DESIGN OF CAPACITANCE MULTIPLIER CIRCUITS FOR INTEGRATION]

[Mutasem VAHBEH]

İstanbul University-Cerrahpaşa

Institute of Graduate Studies

Department of Electrical and Electronics Engineering

Electrical-Electronics Engineering, PhD Program

[Supervisor: Prof. Dr. Fırat KAÇAR]

[In this thesis, five different capacitor multiplier circuits are proposed using the Current Feedback Operational Amplifier (CFOA) as the active circuit element. To reduce power consumption, dynamic threshold voltage MOSFET (DTMOS) transistors are employed in the internal architecture of the CFOA. The first design proposes a grounded lossless negative capacitor multiplier circuit using one CFOA, four resistors, and one grounded capacitor. The subsequent designs are lossy capacitor multiplier circuits that include one CFOA, three or four resistors, and one grounded capacitor. Mathematical analyses for each proposed circuit are conducted under both ideal and non-ideal conditions. Simulation results are obtained using the SPICE simulation program with 0.13 µm IBM CMOS technology parameters. The amplitude and phase responses of the input impedance of the lossless capacitor multiplier circuit are examined for various scenarios, including changes in process, temperature, supply voltage, and multiplication factor. To validate the lossless design, experimental studies are conducted using the commercially available AD844 integrated circuit.]

June 2024, [67] pages.

Keywords: [Capacitance Multiplier, CFOA, DTMOS, AD844]

1. GİRİŞ

1.1. ÇALIŞMANIN KAPSAMI

Analog devreler, elektroniğin temel bir parçasını oluşturur ve sürekli gerçek dünya sinyallerini işlemek ve değiştirmek için gereklidir. Ayrık sinyallerle çalışan dijital devrelerin aksine analog devreler sürekli gerilim veya akım seviyeleri ile ilgilenir. Doğrudan sinyal işleme, gerçek zamanlı yanıt verme ve fiziksel dünya ile arayüz sağlayarak çeşitli uygulamalarda önemli bir rol oynarlar. Dirençler, kapasitörler, indüktörler, diyotlar, transistörler ve işlemsel kuvvetlendiriciler gibi temel elektronik bileşenlerin incelenmesini ve uygulanmasını kapsamaktadır. Analog devreler ayrıca giriş sinyallerindeki değişikliklere hızla uyum sağlayarak gerçek zamanlı yanıt verebilirlik sundukları için geri bildirim kontrol sistemleri gibi anında ve sürekli ayarlamalar gerektiren uygulamalar için uygun hale getirmektedir.

1.2. TEZİN ÖNEMİ

Teknoloji ilerledikçe pasif elemanlar dışında küçük bir alanda daha fazla transistör üretilebilmek önem kazanmıştır. Pasif elemanların empedans değerleri çip alanıyla doğru orantılıdır [1]. Cihazların boyutunu küçültme ve taşınabilir olması için sistem entegrasyonu yıllardır yaygın bir konu olmuştur. Bu arada, dijital sistemler milyonlarca transistörü tek küçük bir alana entegre edebilecek kadar ilerlemiştir. Ancak diğer yandan analog sistemler, değerlerine göre daha fazla alana ihtiyacı olan pasif elemanlar gerektiren filtreler gibi belirli uygulamalarda aynı konuda ciddi bir sorunla karşı karşıya kalmıştır. Örneğin 1 nF'lık bir kapasitör için 0,18µm CMOS proses teknolojisinde $1mm^2$ silikon alanı kaplayacaktır [1]. Bu sebeple çip üzerinde daha fazla alana ihtiyaç duyulmaktadır, buda pratik olmamaktadır. Entegre sistemlerinde kapasite çarpma (KÇ) devreleri daha fazla alan yaratmak ve daha fazla eleman yetiştirmek için kullanışlı bir tekniktir.

1.3. TEZİN KONUSU

KÇ devreleri, pasif elemanın küçük bir değerinin kullanılmasını, ardından toplam empedans üzerinde etkisi olan ve çok az çip alanı kaplayan pasif ve aktif elemanların bir kombinasyonunu kullanarak gerçek elemanın eşdeğer değerinin arttırılmasını önermektedir.

1.4. TEZİN AMACI

Daha önce literatürde önerilenmiş devrelere göre daha az aktif ve pasif eleman kullanılarak tümleşik devreye uygun KÇ devresi tasarımı hedeflenmektedir. Bunun yanı sıra kısmen düşük güç tüketimi, daha düşük gürültü, sıcaklık etkileri ve elektronik olarak ayarlanabilir özelliklere sahip KÇ devresi tasarlamaktır.

Entegre devre teknolojisinde büyük değerli kapasitörleri gerçekleştirmek için çip üzerinde geniş bir silikon alan gerekmektedir. Ayrıca, bu büyük kapasitörlerin değeri üretimden sonra değiştirilememektedir.

Bu sorunu çözmek için KÇ devreleri önerilmiştir. KÇ devreleri, aktif ve pasif bileşenleri kullanarak küçük bir kapasitörden büyük bir kapasitör eşdeğeri elde etmek için önerilmiştir.

Örneğin, biyomedikal devreler gibi düşük frekanslı uygulamalarda, yüksek empedans değerlerine ihtiyaç duyulduğu için entegre devrelerde uygulanması pratik değildir. Bu sorunu çözmek için yaygın yaklaşım, daha az çip alanı kaplayan empedans çarpma devresini kullanmaktır.

Bu tez çalışmasında giriş bölümünde tez konusu ve önemi anlatırken, ikinci bölümde literatür araştırması yapılmıştır ve tasarımlarda kullanılan CFOA elemanı hakkında temel bilgiler verilmiştir. Ayrıca sıklıkla kullanılan CCII ve eviren tip birim kazançlı kuvvetlendirici (IB) bileşenleri detaylı olarak anlatılmıştır.

Üçüncü bölümde bir terminalı topraklanmış kayıpsız negatif KÇ devresi ele alınmıştır. Ayrıca iki adet topraklanmış kayıplı paralel R-C KÇ devresi, bir adet kayıplı seri R-C pozitif KÇ ve bir adet kayıplı seri R-C negatif KÇ devresi sunulmuştur. CFOA iç yapısında geleneksel MOSFET yerine DTMOS kullanılmıştır. Devrelerin ideal ve ideal olmayan koşullar altında matematik analizleri yapılmıştır.

Dördüncü bölümde, 0,13 μm IBM teknoloji parametreleri ile SPICE programı kullanılarak önerilen devrelerinin zaman ve frekans alanındaki simülasyonları yapılmıştır. Ayrıca teorik analizleri doğrulamak için ticari olarak temin edilebilen AD844 entegre devresi kullanılarak deneysel çalışmalar yapılmıştır.

Beşinci bölümde önerilen devreler, mevcut literatürdeki devreler ile karşılaştırılmıştır.

2. KAVRAMSAL ÇERÇEVE VE GENEL KISIMLAR

2.1. LİTERATÜR İNCELEMESİ

KÇ devreleri, kapasitenin tipine göre yüzen [2,3,4] ya da topraklı olarak [5,6] sınıflandırılabilir. Yüzen kapasitör, entegre devre üretimi için uygun değildir [6]. Elde edilen kapasitörün pozitif [2,7,8] veya negatif [9,10] değerli olmasına göre başka bir sınıflandırma yapılmaktadır.

[2]'de OTA'ya dayalı iki KÇ devresi önerilmiştir. İlk topoloji bir OTA içermektedir, ancak çarpma katsayısı sıcaklığa bağlıdır. Bu nedenle simüle edilmiş kapasite, değişen çevresel koşullar altında değişecektir. İkinci topoloji iki OTA içemektdir ve çarpma katsayısı sıcaklıktan bağımsızdır. Ön gerilim akımı I_B ile kapasitör değerinin değişimi deneysel olarak sunulmuştur. OTA kullanılan KÇ devresinin yüksek frekans performansı kısıtlıdır. 1999'da elektronik olarak ayarlanabilen yüzen bir KÇ devresi önerilmiştir [11]. KÇ devrelerin çarpma katsayısı, CCCII+'nın ön gerilim akımı değiştirerek ayarlanabilmektedir. Çarpma katsayısı sıcaklıktan bağımsızdır. Önerilen devrenin teori ile uyumlu olduğu SPICE simülasyonu ile gösterilmiştir.

[12]'de, KÇ devresi iki farklı aktif eleman (bir CCII ve bir DVCC) kullanılarak tasarlanmış, bu tasarımda bir direnç olmadan topraklanmış bir kapasitör kullanılmıştır.

[13]'te DXCCII'yi kullanan topraklanmış bir KÇ devresi sunulmuştur. Bu aktif elemanın uygulanması, yüksek kutuplama akımlarına sahip çok sayıda transistör gerektirir, bu da yüksek güç tüketimine ve çip üzerinde geniş bir alan gerektirmektedir. [14] – [17]'da sunulan tasarımlar, geniş çip alanı gerektirecek fazladan pasif elemanlara sahiptir. [18], [19] ve [20]'deki diğer tasarımlarda, güç tüketimini artıran büyük kutuplama akımları kullanılmıstır. [21]'de sunulan devre sınırlı bir çarpma katsayısına sahiptir.

[22]'de OTRA tabanlı pozitif ve negatif KÇ devresi sunulmuştur. Burada bir gerilim izleyici, bir kapasitör ve üç direnç kullanılmıştır. Sunulan devrelerin negatif ve pozitif çarpma katsayıları, üç direncin değerlerine bağlıdır. OTRA kullanarak KÇ devresi tasarlamanın bazı dezavantajları vardır. Bu dezavantajlar arasında sınırlı yüksek frekans performansı, sınırlı çıkış salınımı ve pasif eleman uyumsuzluklarına karşı hassasiyet bulunmaktadır. Ayrıca, diğer KÇ topolojilerine göre daha yüksek bir besleme gerilimine ihtiyaç duyabilmektedir.

[23]'te bir CFOA, iki OTA ve bir topraklı empadans kullanılarak negatif empadans çarpıcı gerçekleştirilmiştir. Devre 2 Hz ile 7 MHz frekans aralığında doğru bir şekilde çalışmaktadır. Bu tasarımın avantajı iyi doğrusallık ve yüksek çıkış empadansı sağlamasıdır. Ayrıca, bu yöntem yüksek giriş empadansı ve yüksek kazanç sağlamayı mümkün kılmıştır. Ancak, bu tasarımın dezavantajı, diğer empadans çarpıcı devrelerine kıyasla daha fazla sayıda eleman gerektirmesinden ziyade sınırlı çıkış salınımı ve sınırlı yüksek frekans performansıdır.

[24]'te bir CCII+ ve iki çarpma aşamasından oluşturulmuştur. Her çarpma aşamasında iki OTA kullanılmıştır. Çalışma frekans aralığı 1 Hz'den 10 KHz'e kadardır. Simülasyon sonuçları da maksimum çarpma katsayısı 3600 olurken hatanın %8,6 olduğunu göstermektedir. Beş aktif eleman kullanıldığı için güç tüketiminin yüksek olması kaçınılmazdır.

2006 yılında bir yüzen KÇ devresi önerilmiştir [25]. Önerilen tasarım, iki adet DO-CCII ve üç pasif eleman içermektedir. Devrenin performansını göstermek için ikinci dereceden bir bant geçiren filtre verilmiştir. 2017'de iki CFOA içeren yedi farklı devre önermiştir [3]. Yüzen kayıplı/kayıpsız, pozitif/negatif KÇ devrelerinin elde edildiği gösterilmiştir. Önerilen devrelerin işlevselliği AD844 kullanılarak deneysel olarak doğrulanmıştır. [26]'da iki KÇ devresi önerilmiştir. İlk devre CCII- ve Gİ'den oluşmuştur. İkinci devre, bir ICCII ve bir EGİ içermektedir. Simülasyon sonuçları TSMC 0,18 µm CMOS proses parametreleri kullanılarak verilmiştir. Uygulama olarak birinci dereceden bir alçak geçiren filtre verilmiştir. 2019'da CFOA tabanlı bir KÇ devresi önerilmiştir [7]. Devre iki CFOA, iki direnç ve bir yüzen kapasitör içermektedir. Devrenin işlevselliği SPICE simülasyonu ve deneysel çalışma RLC rezonatör uygulaması ile gösterilmiştir. 2020'de iki CFOA içeren bir KÇ devresi önerilmiştir [5]. AD844 makro modeli kullanılarak zaman ve frekans alanı simülasyonları gerçekleştirilmiştir. Devrenin işlevlliği, zaman alanındaki deneysel bir çalışma ile gösterilmiştir. 2021'de önerilen topraklanmış KÇ devresinde tek bir ICFOA, topraklanmış bir kapasitör ve iki direnç kullanılmıştır [4]. 2022'de tek bir CFOA, üç direnç ve topraklanmış bir kapasitör bir topraklanmış negatif KÇ devresi sunulmuştur [27]. Sunulan tasarımın çarpma katsayısı bir direnç kullanılarak kontrol edilebilmektedir. Sunulan devrenin performansı, AD844'ün makro modeli kullanılarak doğrulanmıştır. Elde edilen kapasitörün pozitif ya da negatif değerde olmasına göre bir diğer sınıflandırma yapılmaktadır. İstenmeyen pozitif kapasiteleri kompanze etmek için negatif KÇ devreleri kullanılmıştır [28].

Bahsedilen tüm tasarımlar arasında bir karşılaştırma yapabilmek için kriterleri netleştirmek önemlidir. Önemli kriterler aşağıda yer almaktadır [9]:

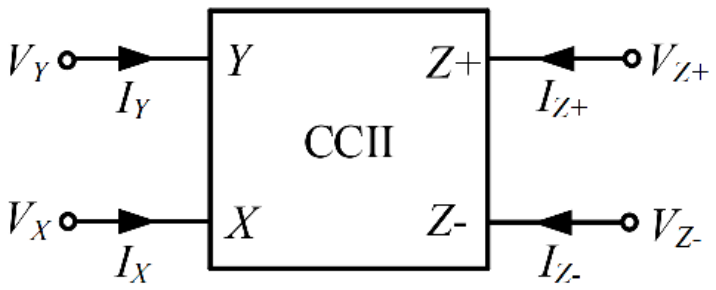
1. Asgari sayıda aktif ve pasif eleman kullanımı.
2. Elektronik olarak ayarlanabilen çarpma katsayısı.
3. Parazit unsurlar nedeniyle minimum düşük frekans kısıtlamaları.
4. Sıcaklığa karşı hassasiyet.
5. Tümleşik devre teknolojisine uygunluk.
6. Güç tüketimi.

2.1.1. Akım Modlu Aktif Elemanlar

1. İkinci Nesil Akım Taşıyıcı (CCII)

1968'de Sedra ve Smith [28] tarafından tanıtılmalarından ve ardından 1970'te Sedra ve Smith [29] tarafından önerilmiştir. Sembolü Şekil 2.1'de gösterilen CCII, denklem (2.1)'de giriş ve çıkış bağlantı noktası ilişkileriyle karakterize edilmektedir.

Z- terminalı topraklanmışsa, pozitif tipli CCII (CCII+), Z+ ucu topraklanmışsa negatif tipli CCII (CCII-) elde edilir. Denklem (2.1)'deki CCII bağıntıları dikkate alındığında V_X geriliminin V_Y gerilimine eşit olduğu görülmektedir. I_Y giriş akımı sıfır olduğu için Y terminali sonsuz giriş empedansı göstermektedir.

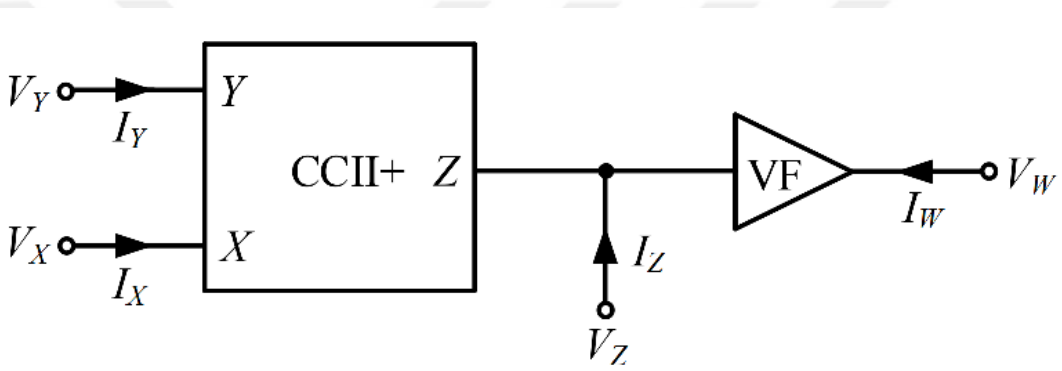


Şekil 2.1: CCII'ın sembolü.

$$\begin{bmatrix} I_Y \\ V_X \\ I_{Z+} \\ I_{Z-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ \beta & 0 & 0 & 0 \\ 0 & \alpha & 0 & 0 \\ 0 & -\gamma & 0 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_{Z+} \\ V_{Z-} \end{bmatrix} \quad (2.1)$$

Burada, β frekansa bağımlı ideal olmayan gerilim kazancı olup ideal olarak bire eşittir. Frekansa bağımlı ideal olmayan akım kazançları olan α ve γ ideal olarak bire eşitlerdir.

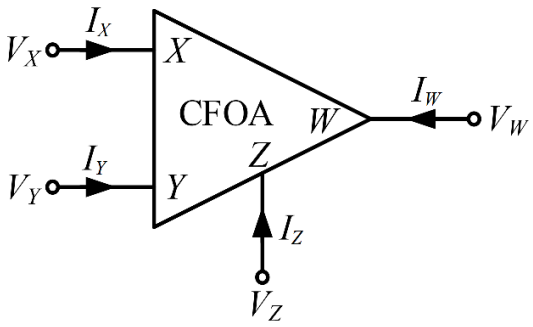
CCII'nin Z terminaline bir Gİ eklenmesiyle Şekil 2.2'de gösterildiği gibi iki tip CFOA aktif devre elamnı elde edilir. Evirmeyen tip CFOA, bir CCII+'ın Z terminaline bir Gİ eklenerek oluşturulmaktadır. Eviren tip CFOA, bir CCII-'nin Z terminaline bir Gİ eklenerek oluşturulmaktadır.



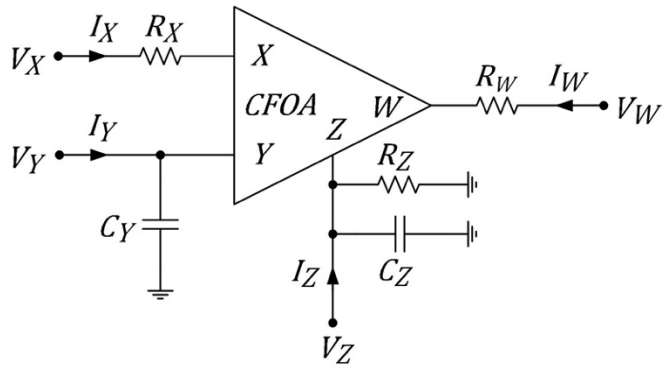
Şekil 2.2: Evirmeyen tip CFOA'nın sembolü.

2. *Akım Geri Beslemeli İşlemsel Kuvvetlendirici (CFOA)*

Şekil 2.3'te, ideal bir CFOA'nın devre sembolü verilirken, Şekil 2.4'te ideal olmayan durumlar için CFOA'nın eşdeğer devresi sunulmuştur.



Şekil 2.3: CFOA'nın devre sembolü.



Şekil 2.4: CFOA'nın parazit empedansları**.**

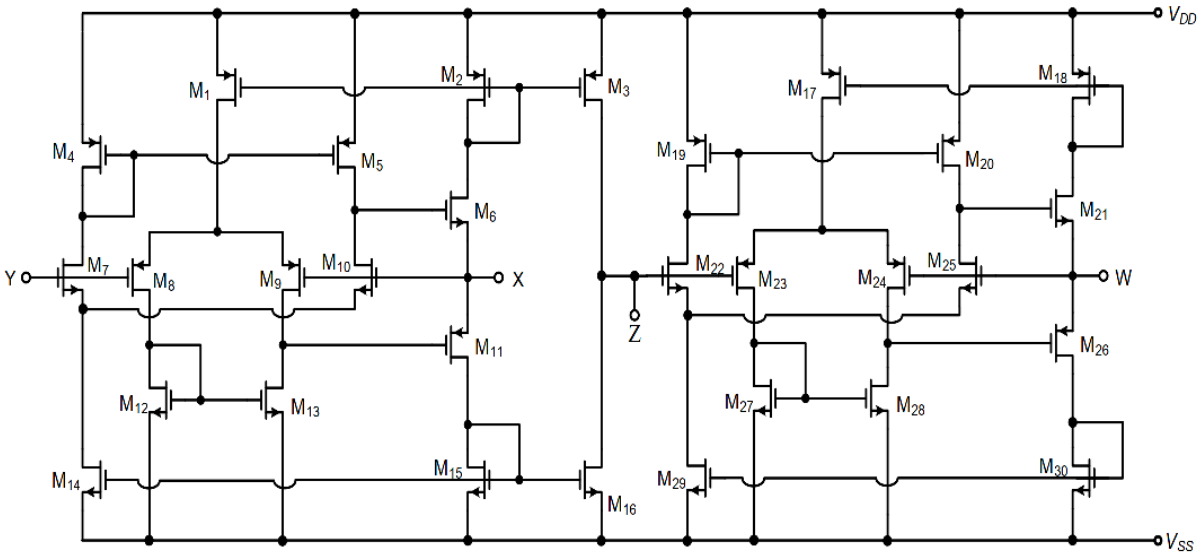
Bir CFOA, analog devre tasarımında yaygın olarak kullanılan bir aktif elemandır. Sinyal işleme, filtreleme ve osilatör devreleri de dahil olmak üzere birçok uygulama alanı bulunan çok yönlü bir devre elemanıdır. CFOA, geleneksel gerilim geri beslemeli Op-Amp yerine akım geri beslemesi kullanan bir işlemsel kuvvetlendirici türüdür. Yüksek bant genişliği ve dönüş oranı hızı ve düşük bozulma özellikleri CFOA'yı yüksek frekanslı uygulamalarda kullanışlı hale getirir. Ek olarak, empedans dönüştürücüler, akım modlu filtreler ve akım modlu osilatörler dahil olmak üzere çeşitli devreleri uygulamak için kullanılabilmektedir.

3. Evirmeyen tip CFOA

Evirmeyen tip CFOA, bir CCII+'ın Z terminalına bir Gİ eklenerek oluşturulmaktadır. Evirmeyen tip CFOA'nın MOS transistör içyapısı Şekil 2.5'te gösterilmiştir. Matris formunda, evirmeyen tipteki CFOA'nın giriş ve çıkış termianl ilişkileri denklemi (2.2)'te verilmiştir.

$$\begin{bmatrix} V_X \\ I_Y \\ I_Z \\ V_W \end{bmatrix} = \begin{bmatrix} \beta & R_X & 0 & 0 \\ sC_Y & 0 & 0 & 0 \\ 0 & \alpha & sC_Z + 1/R_Z & 0 \\ 0 & 0 & \gamma & R_W \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \\ I_W \end{bmatrix} \tag{2.2}$$

Burada R_X, R_Z ve R_w parazitik dirençleri C_Y ve C_z parazitik kapasitörleri göstermektedir. İdeal olarak, bu parazitik elemanlar ideal durumda $R_X = R_w = C_z = C_Y = 0$ ve $R_z = \infty$ şeklindedir. α frekansa bağlı ideal olmayan akım kazancını temsil eder ve ideal olarak bire eşittir. Ayrıca, β ve γ, frekansa bağlı ideal olmayan gerilim kazançlarına karşılık gelir ve ideal olarak her ikisi de bire eşittir.



Şekil 2.5: Evirmeyen tip CFOA'nın MOS transistör tabanlı içyapısı [30]

Şekil 2.5'te verilen evirmeyen tip CFOA'nın içyapısında yer alan MOS transistörlerin en boy oranları Tablo 2.1'de verilmiştir.

Tablo 2.1: Evirmeyen tip CFOA'nın MOS transistör en boy oranları, Evirmeyen tip CFOA'nın MOS transistör en boy oranları.

Tip	**Transistorler**	**W**(µm) / **L** (µm)
PMOS Transistorler	M_1, M_2, M_3, M_4, M_5, M_8, M_9, M_{17}, M_{18}, M_{19}, M_{20}, M_{23}, M_{24}	39 / 0.52
	M_{11}, M_{26}	195 / 0.52
NMOS Transistorler	M_6, M_{21}	97.5 / 0.52
	M_7, M_{10}, M_{12}, M_{13}, M_{14}, M_{15}, M_{16}, M_{22}, M_{25}, M_{27}, M_{28}, M_{29}, M_{30}	13 / 0.52

4. Evirmeyen Tip CFOA'nın Çalışması

CFOA+ aktif blok yapısının terminal bağıntılarından biri $V_x = V_y$ 'dir. M_1'den geçen akım I_1 ve M_8 ile M_{12} 'ten geçen akım I_2 ve M_9 ile M_{13} 'ten geçen akım I_3 olsun. MOSFET'lerin kanal uzunluğu kanal boyu modülasyon etkileri göz ardı edilirse ve M_8 ile M_9 ve M_{12} ile M_{13}'un en-boy oranları aynı ise, M_{12} ve M_{13} 'ten geçen akım da aynıdır.

Sonuç olarak, M_{12} ve M_{13} çifti bir akım aynası devresi gibi görünmektedir. Dolayısı ile M_8 ve M_9'dan akan akımlar da aynı olacaktır.M_8 ve M_9'dan akan akımlar aynı olduğu için geçit ucu gerilimleri eşit olmakatadir. Böylece büyük yaklaşıkla $V_x = V_y$ eşitliği elde edilmiştir.

CFOA+ aktif blok yapısının bir diğer terminal bağıntısı ise $I_z = I_x$ 'dir. Buradaki akım aynaları M_1 ile M_3, M_{15} ile M_{16} ikili gruplardır. Her ikili gruba ait MOSFET'lerin en boy oranları eşit ve kanal boyu modülasyon etkisinin olmadığı varsayılmıştır. M_2 üzerinden akan akım I_1 olsun. Bununla beraber X ucundan içeri yönlü I_2 akımı aksın. Bu durumda M_{11} ve M_{15}'dan akan akım $I_1 + I_2$ olur. M_{15}'den $I_1 + I_2$ akımı akıyorsa M_{16}'den de $I_1 + I_2$ akımı akar. M_2 ile M_3'ün akım aynası olarak kullanılmasından dolayı M_3'ten I_1 ve M_{16}'dan $I_1 + I_2$ akımı akıyorsa Z ucundan içeri yönlü olacak şekilde I_2 akımı akmalıdır.

CFOA+ aktif blok yapısına ait termianl bağıntılarından bir diğeri ise $V_w = V_z$'dir. Bu eşitlik Şekil 2.5'te gösterilen gerilim izleyici ile elde edilir.

5. Dinamik Eşik Gerilimli MOS

CMOS devrelerinin güç verimliliğinin arttırılması, başlangıçta dijital devrelerde besleme gerilim seviyelerinin düşmesine neden olmuştur. Bu azalma, kullanılan besleme gerilimin karesi ile doğru orantılı olduğu için güç tüketimini azaltmayı amaçlamıştır. Bu nedenle, aynı çipte dijital devrelerin çok düşük besleme gerilimi seviyelerinde çalışabilen analog devrelerin tasarlanması gerekliliğini de ortaya çıkarmıştır. Bununla birlikte, çok düşük besleme geriliminin dijital devrelerle paylaşılması, analog devrelerin performansını ciddi şekilde sınırlamaktaıdır.

DTMOS tekniği, eşik geriliminin (V_{TH}) azaltılması için en etkili çözümlerden biridir. DTMOS transistörler, transistörün taban ile geçit uçları arasında bir kanal oluşturularak gerçekleştirilir. DTMOS transistörün eşik gerilimi denklem (2.3)'te verilmektedir.

$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|} \right) \tag{2.3}$$

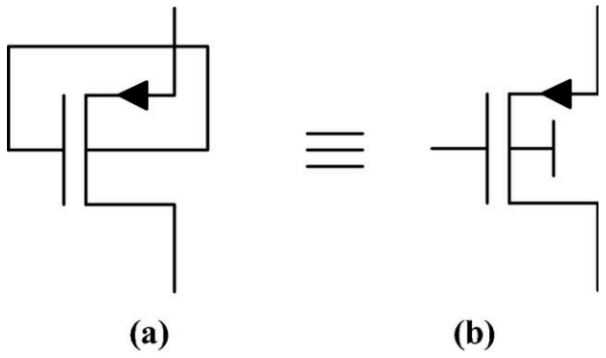
Burada, ϕ_F fermi potansiyeli; V_{TH0}, $V_{BS} = 0$ olduğu durumdaki eşik gerilimi; γ, gövde etkisi faktörü olup 0.4 V-0.5 V aralığında değişmektedir. Gövde etkisi geçit oksit kapasitesine, silikon geçirgenliğine ve diğer parametrelere bağlıdır ve denklem (2.4)'te verilmektedir.

$$\gamma = \frac{\sqrt{2q\varepsilon_{si}N_A}}{C_{ox}} \tag{2.4}$$

Burada; ϵ_{si}, silikon dielektrik geçirgenliği; N_A, katkılama oranı, C_{ox} ise oksit kapasitesidir.

Denklem (2.3)'ten de görüldüğü gibi eşik gerilimi V_{BS} gerilimine bağlı olarak değişmektedir. $V_{BS} = V_{GS} = 0$ durumunda eşik gerilimi yükselmekte, $V_{BS} = V_{GS} = V_{DD}$ durumunda eşik gerilimi azalmaktadır. Yani DTMOS transistörün giriş geriliminin artması ile eşik gerilimi azalmaktadır.

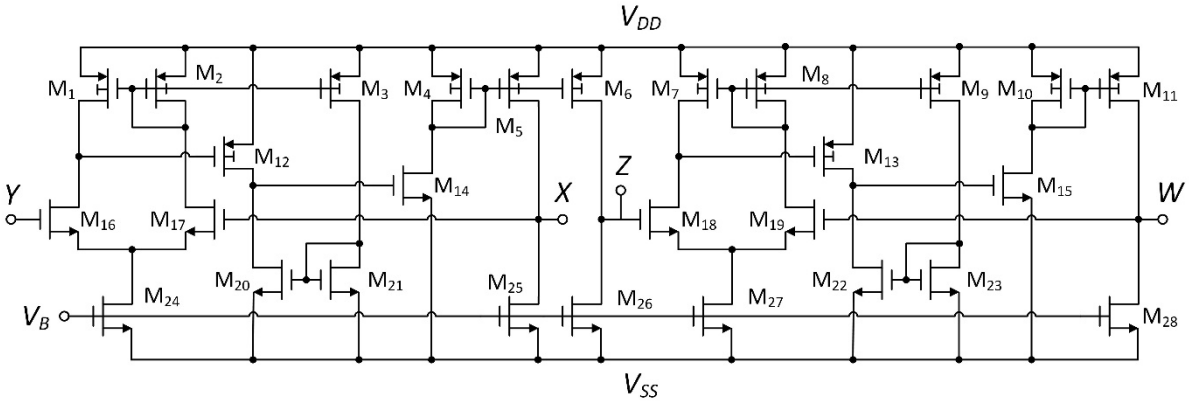
DTMOS transistörün geçit ucuna yüksek gerilim uygulandığında, transistörün girişi "açık" durumuna geçmektedir. Taban ve geçit arasındaki kanal nedeniyle $V_{SB} = 0$ ve taban gerilimi de yüksek olmaktadır. Taban tabakasının etkisiyle gerekli V_{TH} düşük olur ve böylece transistör daha düşük gerilim değerlerinde çalıştırılabilir hale gelmektedir. Denklem (2.3)'te V_{TH} ve V_{TH0} eşit olmaktadır. DTMOS transistörün geçit ucuna düşük gerilim uygulandığında, transistörün girişi "kapalı" durumuna geçmektedir. Taban ve geçit arasındaki kanaldan dolayı gerekli V_{TH} yüksek olmaktadır. Bu şekilde, düşük gerilimli transistör daha az güç tüketmektedir [31]. DTMOS transistörün sembolü ve eşdeğeri Şekil 2.6'da gösterilmektedir.



Şekil 2.6: a. DTMOS eşdeğer devresi, b. Şematik sembolü.

3. YÖNTEM

Bu tez çalışmasında, bir topraklanmış kayıpsız negatif KÇ devresi, iki adet topraklanmış kayıplı paralel R-C negatif KÇ devresi, bir adet topraklanmış kayıplı seri R-C pozitif KÇ devresi ve bir adet topraklanmış kayıplı seri R-C negatif KÇ devresi tasarlanmıştır. Önerilen evirmeyen tip CFOA'nin içyapısı Şekil 3.1'de gösterilmiştir. Burada tüm PMOS transistörleri DTMOS transistörleri ile değiştirilmiştir. Transistörlarin en boy oranları Tablo 3.1'de sunulmuştur.



Şekil 3.1: Önerilen evirmeyen tip CFOA'nın iç yapısı [32].

Tablo 3.1: Evirmeyen tip CFOA'nın transistör en / boy oranları

Tip	**Transistorler**	**W** (μm) / **L** (μm)
PMOS	M_1 - M_{13}	130/0.65
NMOS	M_{14}, M_{15}, M_{20} - M_{23}, M_{25}, M_{26}, M_{28}	13/0.65
	M_{24}, M_{27}	26/0.65
	M_{16} - M_{19}	15.6/0.26

Tablo 3.2: Evirmeyen tip CFOA'nın parazitik empedansları ve ideal olmayan kazançları.

Parazitik Empedanslar	**Değer**
R_X	0.637 Ω
R_W	0.637 Ω
R_Z	20.04 kΩ
C_Z	66 fF
C_Y	8.23 fF
α	0.999972

β	1.000009
η	1.000009

3.1. ÖNERİLEN TOPRAKLANMIŞ KAYIPSIZ NEGATİF KAPASİTE ÇARPMA DEVRESİ

Önerilen topraklanmış kayıpsız negatif KÇ devresi Şekil 3.2'de gösterilmektedir. Devrede aktif eleman olarak bir CFOA, pasif eleman olarak ise üç direnç ve bir topraklanmış kapasite kullanılmıştır. Pasif elemanlar eşleşmesi olmaksızın devrenin giriş admittansı denklem (3.1)'de verilmiştir.

$$Y_{in}(s) = \frac{I_{in}}{V_{in}} = -\frac{(R_3 + R_4)(R_2 - R_1 + sC_1R_1R_2)}{R_1R_3(R_2 + R_4)} \tag{3.1}$$

Devrede $R_2 = R_1$ koşulu sağlanırsa, devrenin giriş admitansı denklem (3.2)'deki gibi bulunmaktadır.

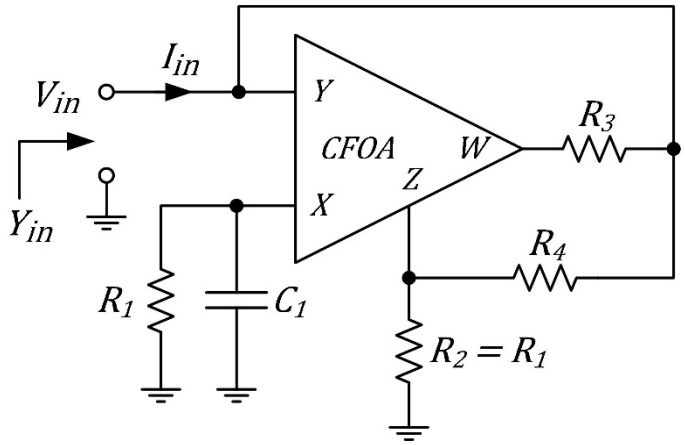
$$Y_{in}(s) = \frac{I_{in}}{V_{in}} = sC_{eq} = sKC_1 = s\left[-\frac{R_1(R_3 + R_4)}{R_3(R_1 + R_4)}\right]C_1 \tag{3.2}$$

Elde edilen eşdeğer kapasite denklem (3.3)'deki gibidir.

$$C_{eq} = KC_1 = -\frac{R_1(R_3 + R_4)}{R_3(R_1 + R_4)}C_1 \tag{3.3}$$

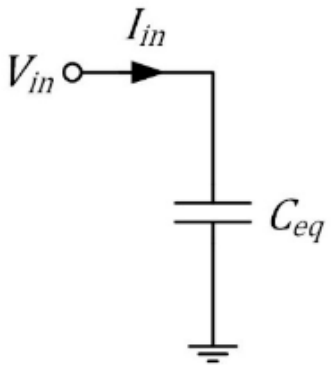
Denklem (3.4)'te verilen çarpma faktötü (K), dirençler ile ayarlanabilmektedir.

$$K = -\frac{R_1(R_3 + R_4)}{R_3(R_1 + R_4)} \tag{3.4}$$



Şekil 3.2: Önerilen topraklanmış kayıpsız negatif KÇ devresi.

İdeal durumda devrenin eşdeğer devresi Şekil 3.3'te gösterilmektedir.



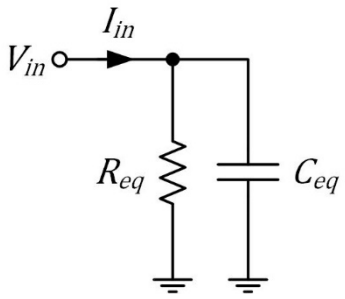
Şekil 3.3: Önerilen topraklanmış kayıpsız negatif KÇ devresinin eşdeğer devresi.

3.1.1. İdeal Olmayan Kazançların Etkisi

CFOA'nın ideal olmayan kazançları hesaba katıldığında giriş admitansı denklem (3.5)'teki gibi elde edilimektedir:

$$Y_{in}(s) = \frac{R_3(1-\alpha\beta) + R_4(1-\alpha\beta\gamma) + R_1(1-\gamma) - \alpha\beta R_1(R_3+\gamma R_4)sC_1}{R_3(R_1+R_4)} \tag{3.5}$$

İdeal olmayan kazançlar dikkate alınarak önerilen devrenin eşdeğer devresi Şekil 3.4'te verilmiştir. Eşdeğer direnç (R_{eq}) ve eşdeğer kapasite (C_{eq}) denklem (3.6) ve (3.7)'deki gibi elde edilimektedir.



Şekil 3.4: CFOA'nın ideal olmayan kazançlarını dikkate alan eşdeğer devre.

$$R_{eq} = \frac{R_3(R_1 + R_4)}{R_3(1 - \alpha\beta) + R_4(1 - \alpha\beta\gamma) + R_1(1 - \gamma)} \tag{3.6}$$

$$C_{eq} = KC_1 = -\frac{\alpha\beta R_1(R_3 + \gamma R_4)}{R_3(R_1 + R_4)} C_1 \tag{3.7}$$

Çarpma katsayısı (*K*), denklem (3.8)'deki gibi hesaplanmaktadır.

$$K = -\frac{\alpha\beta R_1(R_3 + \gamma R_4)}{R_3(R_1 + R_4)} \tag{3.8}$$

3.1.2. Parazitik Empedansların Etkisi

CFOA'nın yalnızca X, Z ve W terminallerinin parazitik empedansları dikkate alındığında giriş admitansı denklem (3.9)'daki gibi elde edilir. İşlemleri basitleştirmek için Y terminalinin parazitik empedansı ihmal edilmiştir.

$$Y_{in}(s) = \frac{a_0 + a_1 s + a_2 s^2}{b_0 + b_1 s + b_2 s^2} \tag{3.9}$$

Burada a_i ve b_i (i = 0,1,2) giriş admitansının $Y_{in}(s)$ gerçek katsayılarıdır.

$$a_0 = \big((R_3 + R_W) + R_4\big)[R_1 + R_X - (R_1 \parallel R_Z)] \tag{3.10}$$

$$a_1 = R_4(R_3 + R_W)\big[C_1 R_1\big(R_X - (R_1 \parallel R_Z)\big) + C_Z(R_1 \parallel R_Z)(R_1 + R_X)\big] \tag{3.11}$$

$$a_2 = C_1 C_Z R_1 R_X (R_1 \parallel R_Z)\big((R_3 + R_W) + R_4\big) \tag{3.12}$$

$$b_0 = (R_1 + R_X)(R_3 + R_W)\big(R_4 + (R_1 \parallel R_Z)\big) \tag{3.13}$$

$$b_1 = \big[C_1 R_1 R_X (R_3 + R_W)\big(R_4 + (R_1 \parallel R_Z)\big) + C_Z R_4 (R_3 + R_W)(R_1 \parallel R_Z)(R_1 + R_X)\big] \tag{3.14}$$

$$b_2 = C_1 C_Z R_1 R_4 R_X (R_3 + R_W)(R_1 \parallel R_Z) \tag{3.15}$$

İdeal durumda bir kapasitenin giriş admitansı $Y_{in}(s) = a_1 s/b_0$ formundadır. Kayıpsız bir kapasite elde etmek için a_1s ve b_0 dışındaki terimlerin yeterince küçük olması gerekir. Başka bir deyişle, s, $j\omega$ ile değiştirildiğinde, ideal kapasite admitansına yaklaşmak için aşağıdaki eşitsizliklerin aynı anda sağlanması gerekir.

$$|a_0| \ll |a_1 \times (j\omega)| \Rightarrow f \gg f_L = \frac{1}{2\pi}\left(\frac{a_0}{a_1}\right) \tag{3.16}$$

$$|a_2 \times (j\omega)^2| \ll |a_1 \times (j\omega)| \Rightarrow f \ll f_{H1} = \frac{1}{2\pi}\left(\frac{a_1}{a_2}\right) \tag{3.17}$$

$$|b_1 \times (j\omega)| \ll |b_0| \Rightarrow f \ll f_{H2} = \frac{1}{2\pi}\left(\frac{b_0}{b_1}\right) \tag{3.18}$$

$$|b_2 \times (j\omega)^2| \ll |b_0| \Rightarrow f \ll f_{H3} = \frac{1}{2\pi}\sqrt{\frac{b_0}{b_2}} \tag{3.19}$$

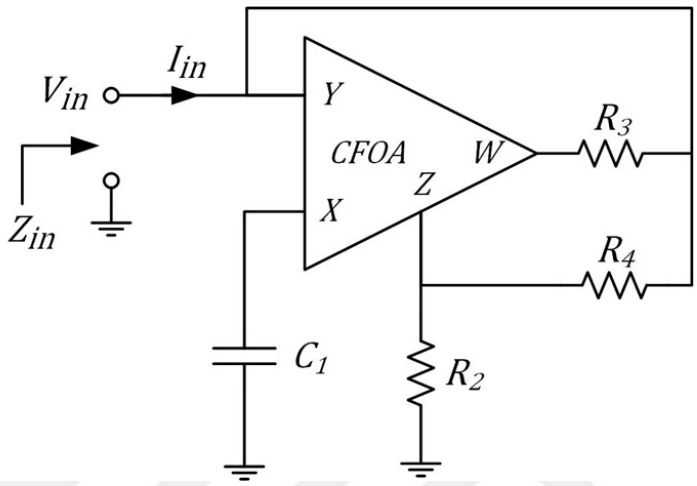
Yukarıda verilen eşitsizliklere göre önerilen topraklanmış kayıpsız negatif KÇ devresinin çalışma frekans aralığı yaklaşık olarak aşağıdaki gibi hesaplanır.

$$f \gg f_L = \frac{1}{2\pi}\left(\frac{a_0}{a_1}\right) \tag{3.20}$$

$$f \ll f_H = \frac{1}{2\pi} min\left\{\frac{a_1}{a_2}, \frac{b_0}{b_1}, \sqrt{\frac{b_0}{b_2}}\right\} \tag{3.21}$$

3.2. ÖNERİLEN TOPRAKLANMIŞ KAYPILI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ

Önerilen birinci topraklanmış kayıplı paralel R-C negatif KÇ devresi Şekil 3.5'te gösterilmektedir. Bu tasarımda aktif eleman olarak bir CFOA ve pasif elemanlar olarak üç direnç ve bir kapasite kullanılmıştır.



Şekil 3.5: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresi.

Şekil 3.5'te gösterilen devrenin giriş admitansı denklem (3.22)'de verilmiştir.

$$Y_{in}(s) = \frac{I_{in}}{V_{in}} = \frac{1}{R_{eq}} + sC_{eq} = \frac{R_3 + R_4}{R_3(R_2 + R_4)} - \frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)} sC_1 \tag{3.22}$$

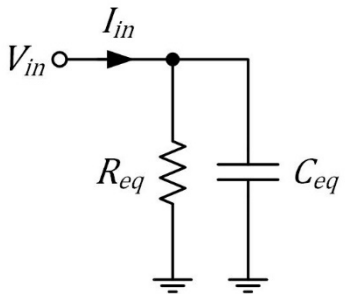
Eşdeğer direnç, eşdeğer kapasite ve çarpma faktötü (K) sırasıyla denklem (3.23), (3.24) ve (3.25)'deki gibi bulunmaktadır.

$$R_{eq} = \frac{R_3(R_2 + R_4)}{R_3 + R_4} \tag{3.23}$$

$$C_{eq} = -\frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)} C_1 \tag{3.24}$$

$$K = -\frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)} \tag{3.25}$$

Önerilen devrenin eşdeğer devresi Şekil 3.6'da gösterilmiştir.



Şekil 3.6: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin eşdeğer devresi.

3.2.1. İdeal Olmayan Kazançların Etkisi

Şekil 3.5'te verilen devre için ideal olmayan kazançlar dikkate alındığında devrenin giriş admitansı denklem (3.26)'daki gibi elde edilmektedir.

$$Y_{in}(s) = \frac{R_3 + R_4 - R_2(\gamma - 1 + \alpha\beta(R_3 + \gamma R_4)sC_1)}{R_3(R_2 + R_4)} \tag{3.26}$$

CFOA'nın ideal olmayan kazançları hesaba katıldığında önerilen devrenin simüle ettiği eşdeğer direnç (R_{eq}), eşdeğer kapasite (C_{eq}) ve çarpma katsayısı (K) sırasıyla denklem (3.27), (3.28) ve (3.29)'daki gibi elde edilmektedir.

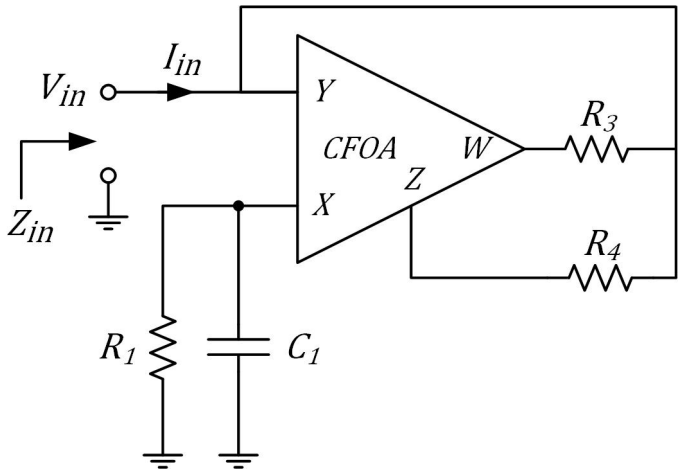
$$R_{eq} = \frac{R_3(R_2 + R_4)}{R_3 + R_4 - R_2(\gamma - 1)} \tag{3.27}$$

$$C_{eq} = KC_1 = -\frac{\alpha\beta R_2(R_3 + \gamma R_4)}{R_3(R_2 + R_4)}C_1 \tag{3.28}$$

$$K = -\frac{\alpha\beta R_2(R_3 + \gamma R_4)}{R_3(R_2 + R_4)} \tag{3.29}$$

3.3. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ

Şekil 3.7'de gösterilen ikinci önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresidir. Bu tasarım bir CFOA, üç direnç ve bir kapasiteden oluşmaktadır.



Şekil 3.7: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresi.

Önerilen devrenin giriş admitansı denklem (3.30)'da verilmiştir:

$$Y_{in}(s) = \frac{I_{in}}{V_{in}} = \frac{1}{R_{eq}} + sC_{eq} = -\left(\frac{R_3 + R_4}{R_1 R_3}\right) - \left(1 + \frac{R_4}{R_3}\right) sC_1 \tag{3.30}$$

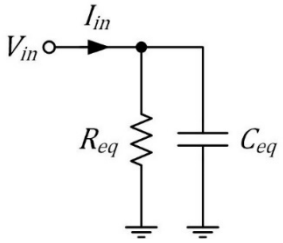
Eşdeğer direnç, eşdeğer kapasite ve çarpma faktötü (K) sırasıyla denklem (3.31), (3.32) ve (3.33)'de verilmiştir.

$$R_{eq} = -\frac{R_1 R_3}{R_3 + R_4} \tag{3.31}$$

$$C_{eq} = KC_1 = -\left(1 + \frac{R_4}{R_3}\right) C_1 \tag{3.32}$$

$$K = -\left(1 + \frac{R_4}{R_3}\right) \tag{3.33}$$

Önerilen devrenin eşdeğer devresi Şekil 3.8'da gösterilmiştir.



Şekil 3.8: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin eşdeğer devresi.

3.3.1. İdeal Olmayan Kazançların Etkisi

Şekil 3.7'de verilen devre için ideal olmayan kazançlar dikkate alındığında devrenin giriş admitansı denklem (3.34)'deki gibi bulunmaktadır.

$$Y_{in}(s) = \frac{-\alpha\beta(R_3 + \gamma R_4) - R_1(\gamma - 1 + \alpha\beta(R_3 + \gamma R_4)sC_1)}{R_1 R_3} \tag{3.34}$$

CFOA'nın ideal olmayan kazançları dikkate alındığında önerilen devrenin simüle ettiği eşdeğer direnç (R_{eq}), eşdeğer kapasite (C_{eq}) ve çarpma katsayısı (K) sırasıyla denklem (3.35), (3.36) ve (3.37)'deki gibi bulunmaktadır.

$$R_{eq} = -\frac{R_1 R_3}{\alpha\beta(R_3 + \gamma R_4) - R_1(1 - \gamma)} \tag{3.35}$$

$$C_{eq} = KC_1 = -\alpha\beta\left(1 + \frac{\gamma R_4}{R_3}\right)C_1 \tag{3.36}$$

$$K = -\alpha\beta\left(1 + \frac{\gamma R_4}{R_3}\right) \tag{3.37}$$

3.4. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C POZİTİF KAPASİTE ÇARPMA DEVRESİ

Önerilen topraklanmış kayıplı seri R-C pozitif KÇ devresi Şekil 3.9'da gösterilmiştir. Devre bir CFOA, üç direnç ve bir kapasiteden oluşmaktadır. Devrenin empedansı denklem (3.38)'de verilmiştir.

$$Z_{in}(s) = \frac{V_{in}}{I_{in}} = \frac{R_1 R_3(R_2 + R_4 + R_2 R_4 sC_2)}{(R_3 + R_4)(R_1 - R_2 + R_1 R_2 sC_2)} \tag{3.38}$$

Devrede $R_2 = R_1$ koşulu sağlanırsa, devrenin giriş empedansı denklem (3.39)'daki gibi bulunmaktadır.

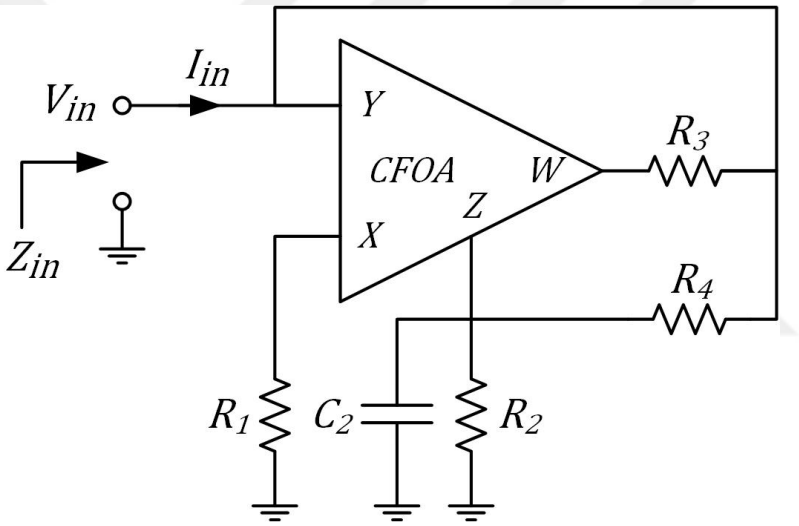
$$Z_{in}(s) = R_{eq} + \frac{1}{sC_{eq}} = \frac{R_3 R_4}{R_3 + R_4} + \frac{1}{\frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)}sC_2} \tag{3.39}$$

Devrenin simüle ettiği eşdeğer direnç (R_{eq}), eşdeğer kapasite (C_{eq}) ve çarpma katsayısı (K) sırasıyla denklem (3.40), (3.41) ve (3.42)'deki gibidir.

$$R_{eq} = \frac{R_3 R_4}{R_3 + R_4} \tag{3.40}$$

$$C_{eq} = KC_2 = \frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)} C_2 \tag{3.41}$$

$$K = \frac{R_2(R_3 + R_4)}{R_3(R_2 + R_4)} \tag{3.42}$$



Şekil 3.9: Önerilen birinci topraklanmış kayıplı seri R-C pozitif KÇ devresi.

3.4.1. İdeal Olmayan Kazançların Etkisi

CFOA'nın ideal olmayan kazançları hesaba katıldığında giriş empedansı denklem (3.43)'te verilmiştir.

$$Z_{in}(s) = \frac{R_3(R_2 + R_4 + R_2 R_4 s C_2)}{R_3(1 - \alpha\beta) + R_4(1 - \alpha\beta\gamma) + R_2(1 - \gamma + (R_3 + R_4)sC_2)} \tag{3.43}$$

3.5. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C NEGATİF KAPASİTE ÇARPMA DEVRESİ

Önerilen topraklanmış kayıplı seri R-C negatif KÇ devresi Şekil 3.10'da sunulmuştur. Devre bir CFOA, üç direnç ve bir kapasiteden oluşmaktadır. Devrenin giriş empedansı denklem (3.44)'de verilmiştir.

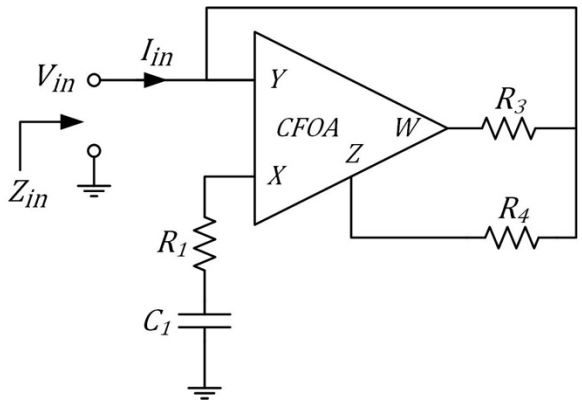
$$Z_{in}(s) = \frac{V_{in}}{I_{in}} = R_{eq} + \frac{1}{sC_{eq}} = -\frac{R_1 R_3}{R_3+R_4} - \frac{1}{sC_1\left(1+\frac{R_4}{R_3}\right)} \tag{3.44}$$

Devrenin simüle ettiği eşdeğer direnç (R_{eq}), eşdeğer kapasite (C_{eq}) ve çarpma katsayısı (K) sırasıyla denklem (3.45), (3.46) ve (3.47)'de verilmiştir.

$$R_{eq} = -\frac{R_1 R_3}{R_3 + R_4} \tag{3.45}$$

$$C_{eq} = KC_1 = -\left(1 + \frac{R_4}{R_3}\right) C_1 \tag{3.46}$$

$$K = -\left(1 + \frac{R_4}{R_3}\right) \tag{3.47}$$



Şekil 3.10: Önerilen ikinci topraklanmış kayıplı seri R-C negatif KÇ devresi.

3.5.1. İdeal Olmayan Kazançların Etkisi

CFOA'nın ideal olmayan kazançları hesaba katıldığında giriş empedansı denklem (3.48)'te verilmektedir.

$$Z_{in}(s) = \frac{R_3(1 + sC_1R_1)}{1 - \gamma + sC_1\big(R_1(1-\gamma) - \alpha\beta(R_3 + \gamma R_4)\big)} \tag{3.48}$$

İdeal durumda önerilen devrelerin simüle ettiği eşdeğer direnç ve eşdeğer kapasite değerleri Tablo 3.2'de özetlenmiştir.

Tablo 3.3: Önerilen devrelerin eşdeğer direnç ve kapasite değerleri.

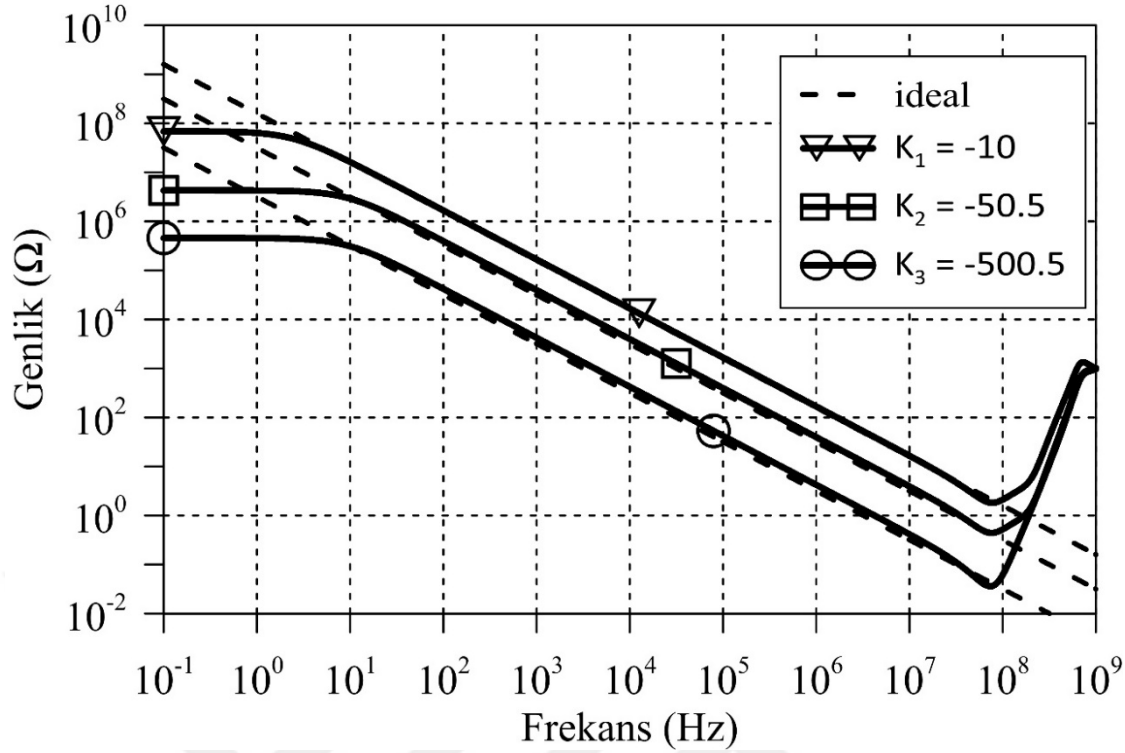
Devre	R_{eq}	C_{eq}	**Tip**
Şekil 3.2	-	$-\frac{R_1(R_3+R_4)}{R_3(R_1+R_4)}C_1$	Saf C
Şekil 3.5	$\frac{R_3(R_2+R_4)}{R_3+R_4}$	$-\frac{R_2(R_3+R_4)}{R_3(R_2+R_4)}C_1$	Paralel R-C
Şekil 3.7	$-\frac{R_1R_3}{R_3+R_4}$	$-\left(1+\frac{R_4}{R_3}\right)C_1$	Paralel R-C
Şekil 3.9	$\frac{R_3R_4}{R_3+R_4}$	$\frac{R_2(R_3+R_4)}{R_3(R_2+R_4)}C_2$	Seri R-C
Şekil 3.11	$-\frac{R_1R_3}{R_3+R_4}$	$-\left(1+\frac{R_4}{R_3}\right)C_1$	Seri R-C

4. BULGULAR

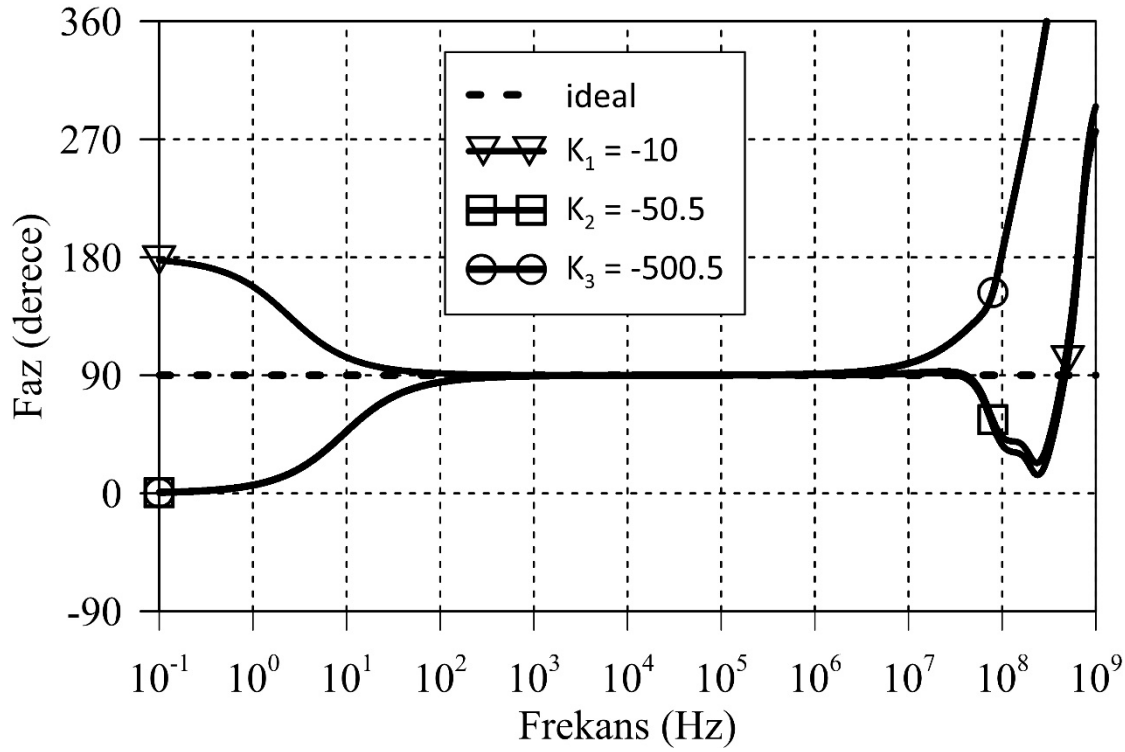
Bu bölümde önerilen devrelerin frekans ve zaman alanı simülasyon sonuçları sunulmuştur. Simülasyon sonuçları, 0,13 μm IBM CMOS teknolojisi parametreleri ile SPICE programı kullanılarak elde edilmiştir. Önerilen devrelerin simülasyonunda bir önceki bölümde Şekil 3.1'de verilen evirmeyen tip CFOA'nın iç yapısı kullanılmıştır. Besleme gerilimi ve kutuplama gerilimi sırasıyla $V_{DD} = -V_{SS} = 0.6$ V ve $V_B = -0.2$ V olarak seçilmiştir. Transistör boyutları Tablo 3.1'de ayrıntılı olarak verilmiştir. CFOA'nın parazitik empedansları ve ideal olmayan kazançları Tablo 3.2'de gösterilmiştir.

4.1. ÖNERİLEN TOPRAKLANMIŞ KAYIPSIZ NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI

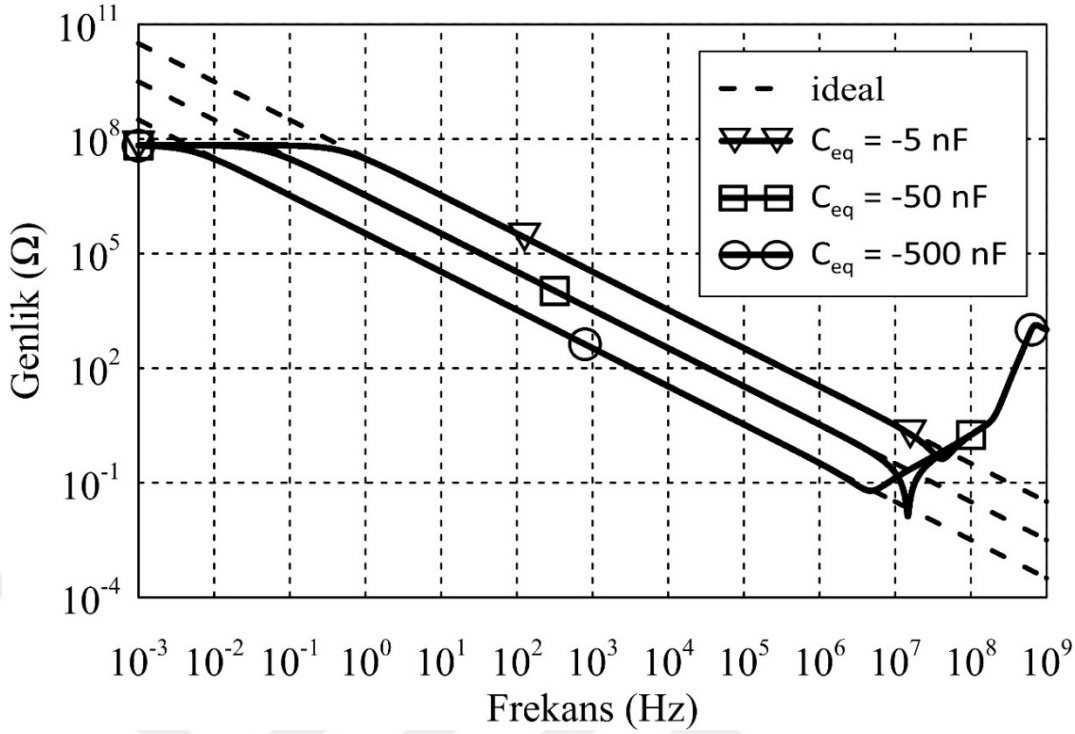
Önerilen ilk devrede pasif elemanlar $R_1 = R_2 = 10$ kΩ , $R_3^{K1} = R_3^{K2} = 100$ Ω, $R_3^{K3} = 10$ Ω, $R_4^{K1} = 1$ kΩ, $R_4^{K2} = R_4^{K3} = 10$ kΩ ve $C_1 = 100$ pF seçilerek çarpma katsayısı sırasıyla K_1 = -10, K_2 = -50.5 ve K_3 = -500.5 elde edilmektedir. Simüle edilen eşdeğer kapasitelerin (C_{eq} = -1 nF, -5.05 nF ve -50.05 nF) empedansının genlik ve faz cevabı sırasıyla Şekil 4.1'de ve Şekil 4.2'de gösterilmektedir. Çarpma katsaıyısı (K = -10) sabit tutularak kapasite değeleri sırasıyla C_1 = 0.5 nF, 5nF ve 10 nF değerleri için elde edilen eşdeğer kapasitenin (C_{eq} = -5 nF, -50 nF ve -500 nF) empedansının genlik cevabı Şekil 4.3'te ve faz cevabı Şekil 4.4'te verilmiştir. Sıcaklığın önerilen tasarım üzerindeki etkisini incelemek için beş farklı sıcaklık değerinde (T_1 = 0 °C, T_2 = 27 °C, T_3 = 50 °C, T_4 = 75°C, T_5 = 100 °C) önerilen devrenin giriş empedansının genlik ve faz cevabı değişimi incelenmiştir. Sonuçlar Şekil 4.5'te ve Şekil 4.6'da sırasıyla verilmiştir. Önerilen devrenin çeşitli besleme gerilimleri altında giriş empedansının genlik ve faz cevabı sırasıyla Şekil 4.7'de ve Şekil 4.8'de sunulmuştur. Devrenin Monte Carlo simülasyonları 100 adım için yapılmıştır. Tüm MOS transistörlerinin eşik geriliminde ve kapı oksit tabakası kalınlıklarında %10'luk bir değişime ilişkin simülasyon sonuçları sırasıyla Şekil 4.9'de ve Şekil 4.10'da verilmiştir. Tüm MOS transistörlerinin genişliğindeki %5'lik değişimine ilişkin Monte Carlo simülasyon sonuçları sırasıyla Şekil 4.11 ve Şekil 4.12'de gösterilmiştir.



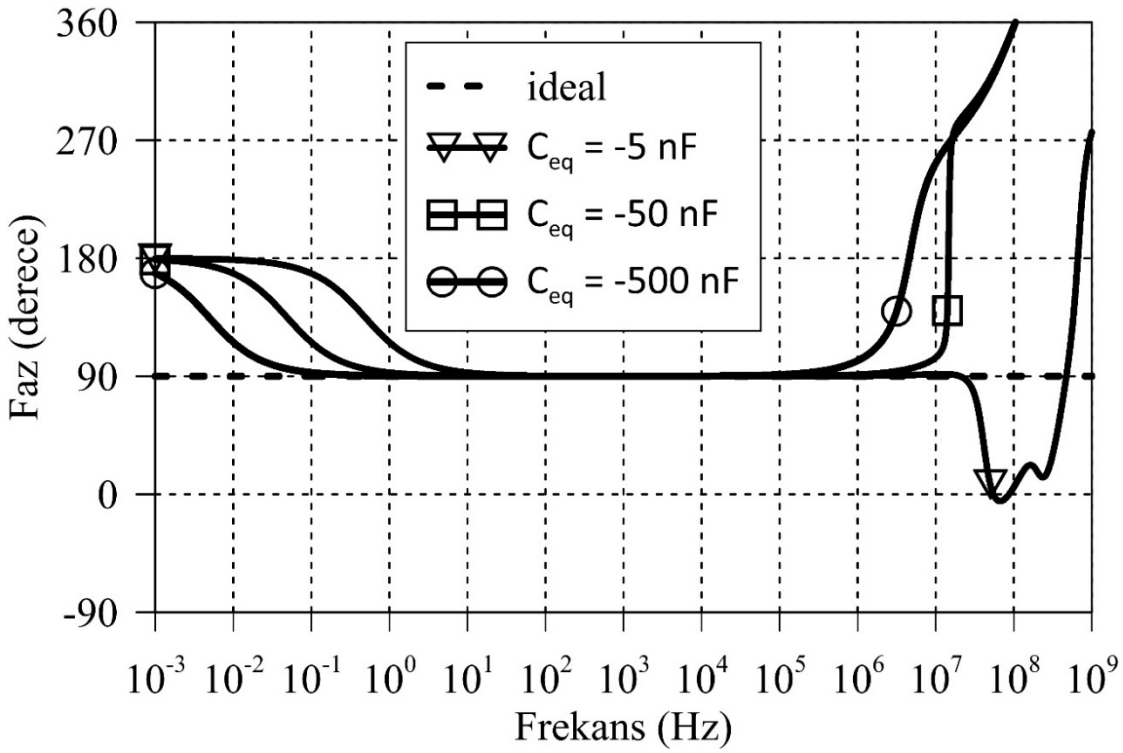
Şekil 4.1: Önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -500.5)



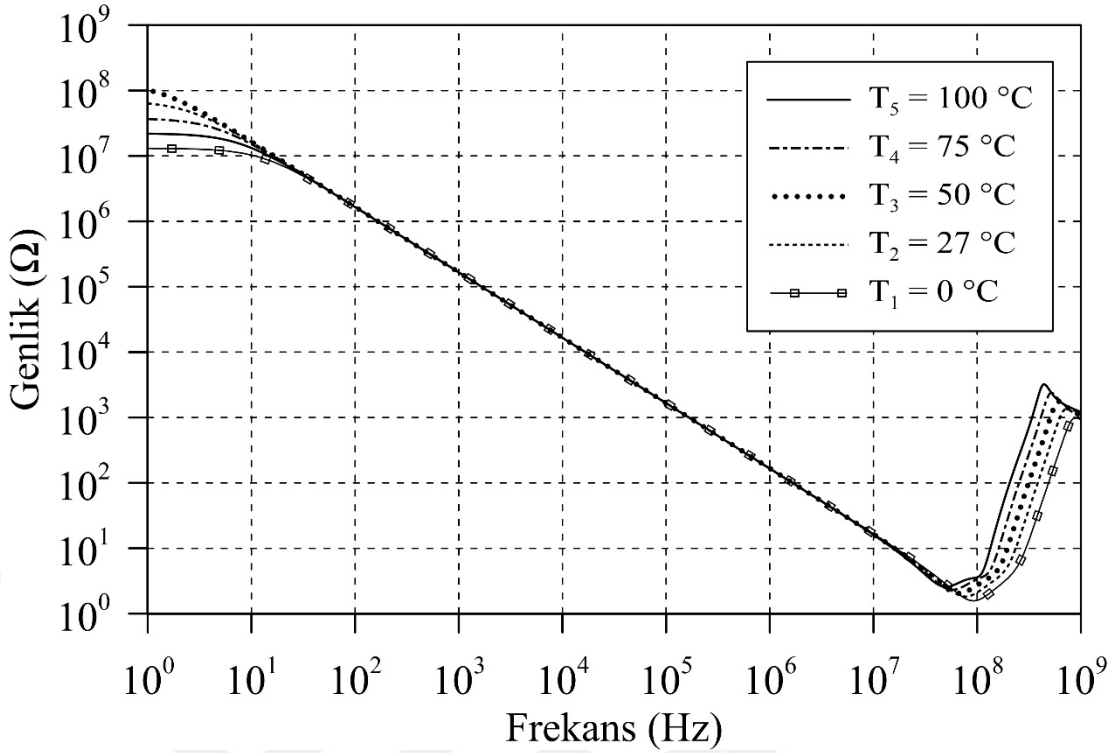
Şekil 4.2: Önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için empedansının faz cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -500.5)



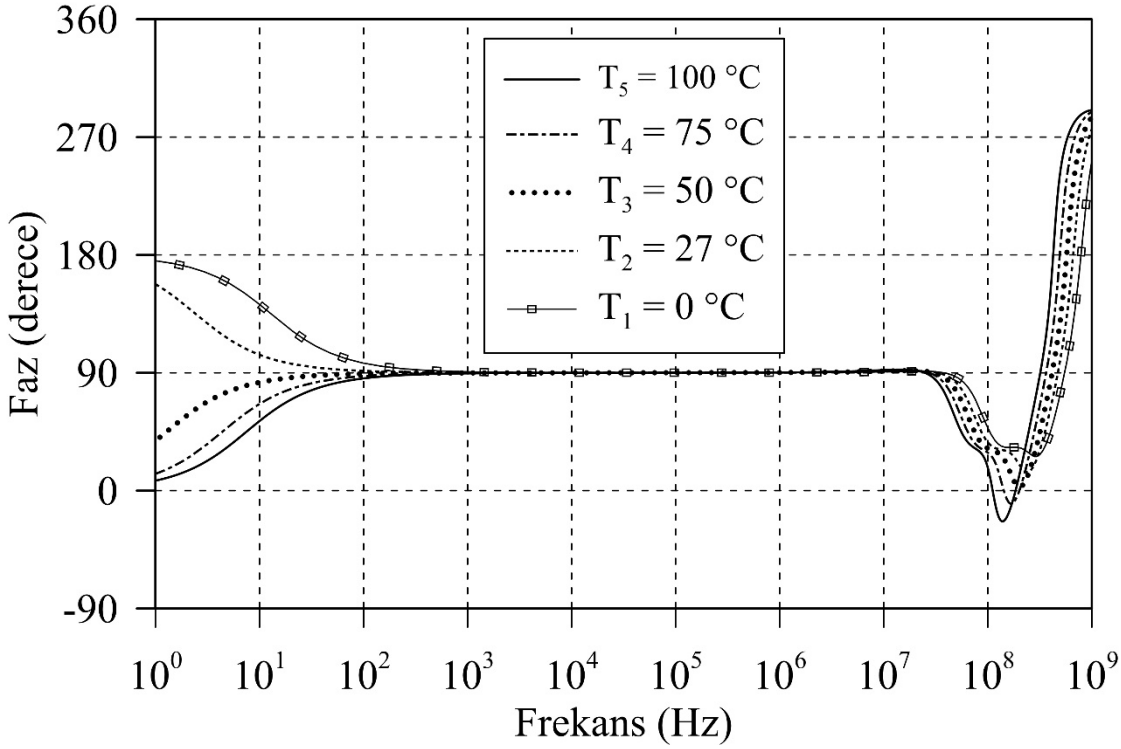
Şekil 4.3: Önerilen devre ile K = -10 ve C_1 = 0.5 nF, 5 nF ve 10 nF için elde edilen eşdeğer kapasitenin C_{eq} = -5 nF, -50 nF ve -500 nF empedansının genlik cevabı.



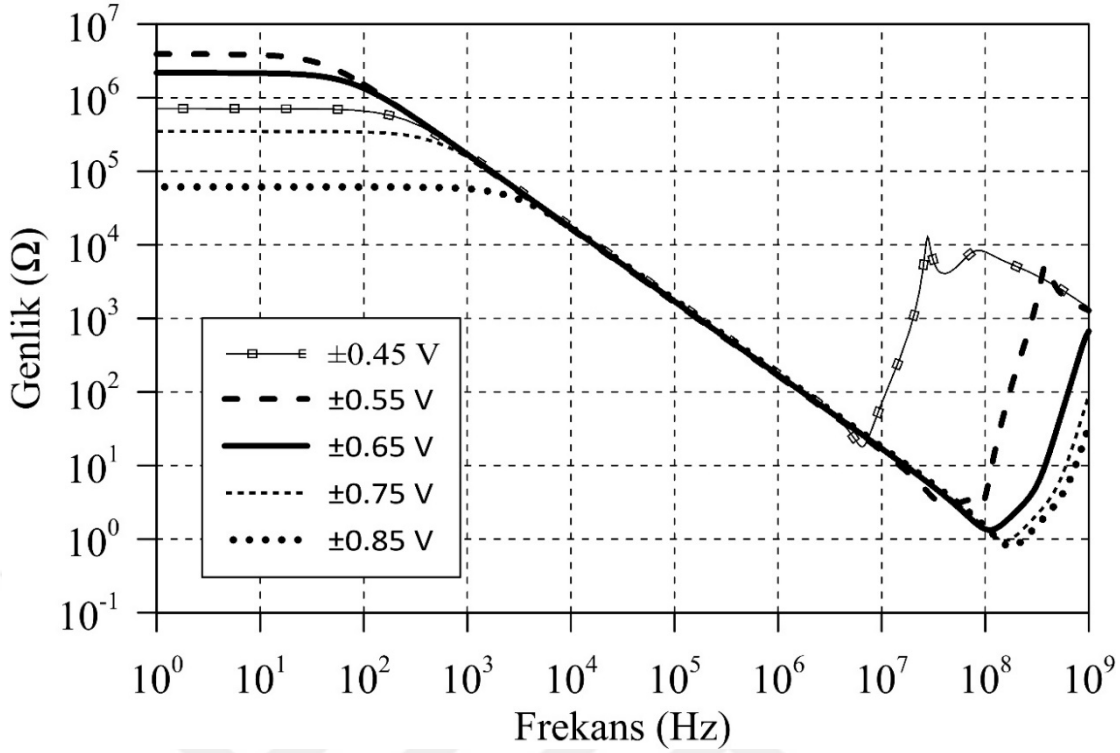
Şekil 4.4: Önerilen devre ile K = -10 ve C_1 = 0.5 nF, 5 nF ve 10 nF için elde edilen eşdeğer kapasitenin C_{eq} = -5 nF, -50 nF ve -500 nF empedansının faz cevabı.



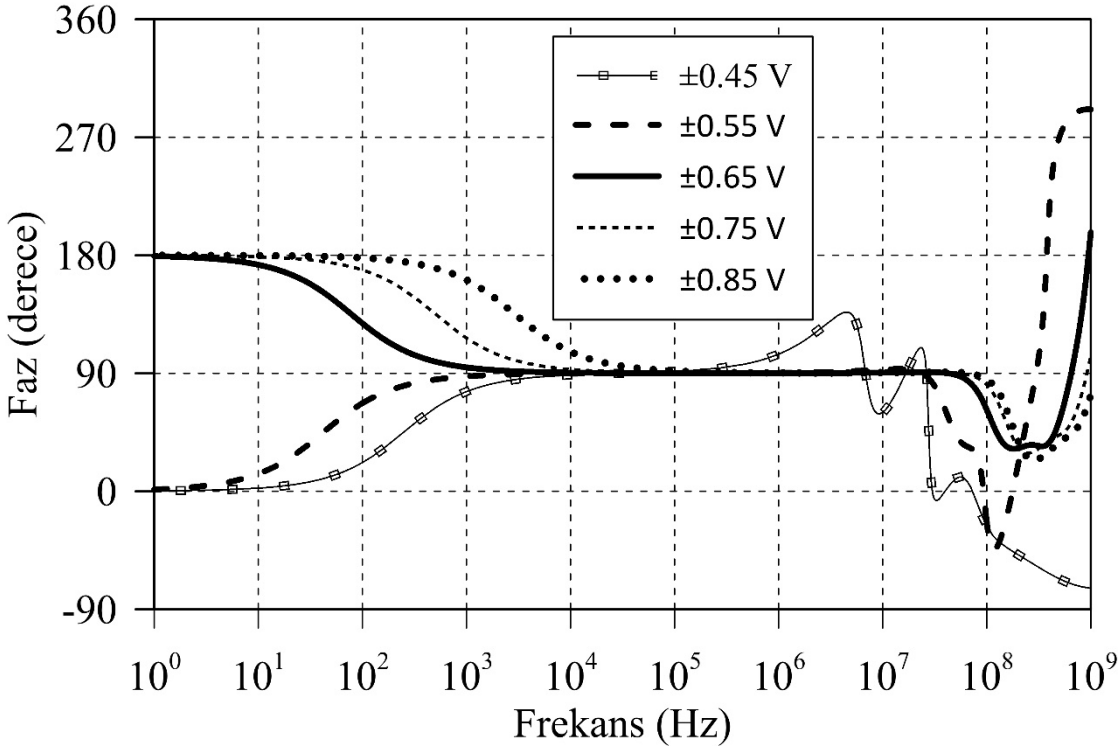
Şekil 4.5: Önerilen topraklanmış kayıpsız negatif KÇ devresinin çeşitli sıcaklık değerleri için önerilen devrenin giriş empedansının genlik cevabı.



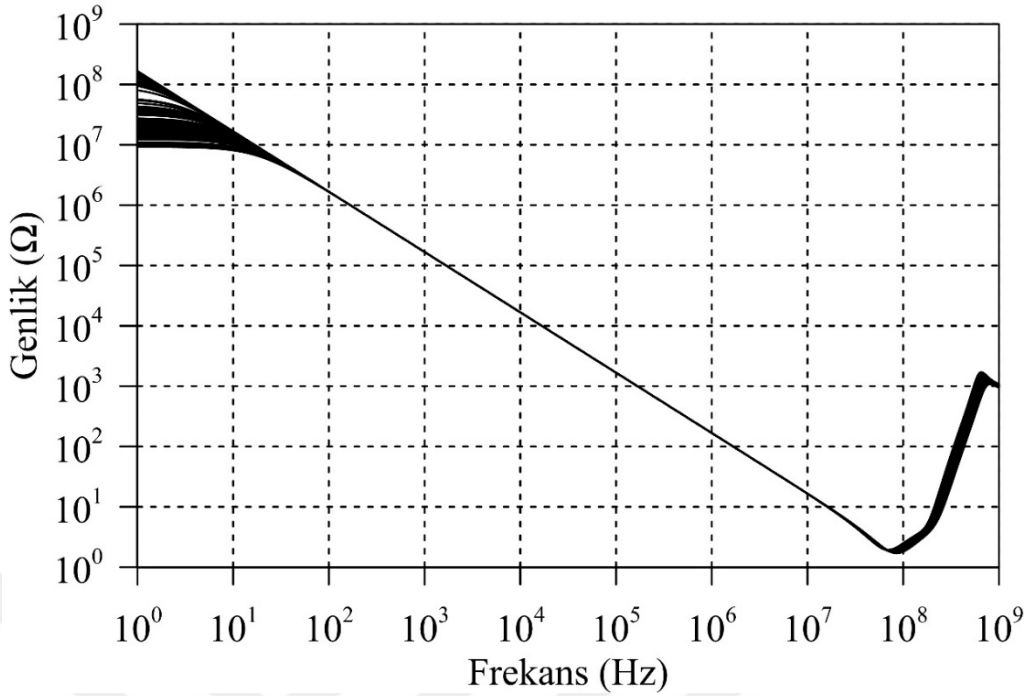
Şekil 4.6: Önerilen topraklanmış kayıpsız negatif KÇ devresinin çeşitli sıcaklık değerleri için önerilen devrenin giriş empedansının faz cevabı.



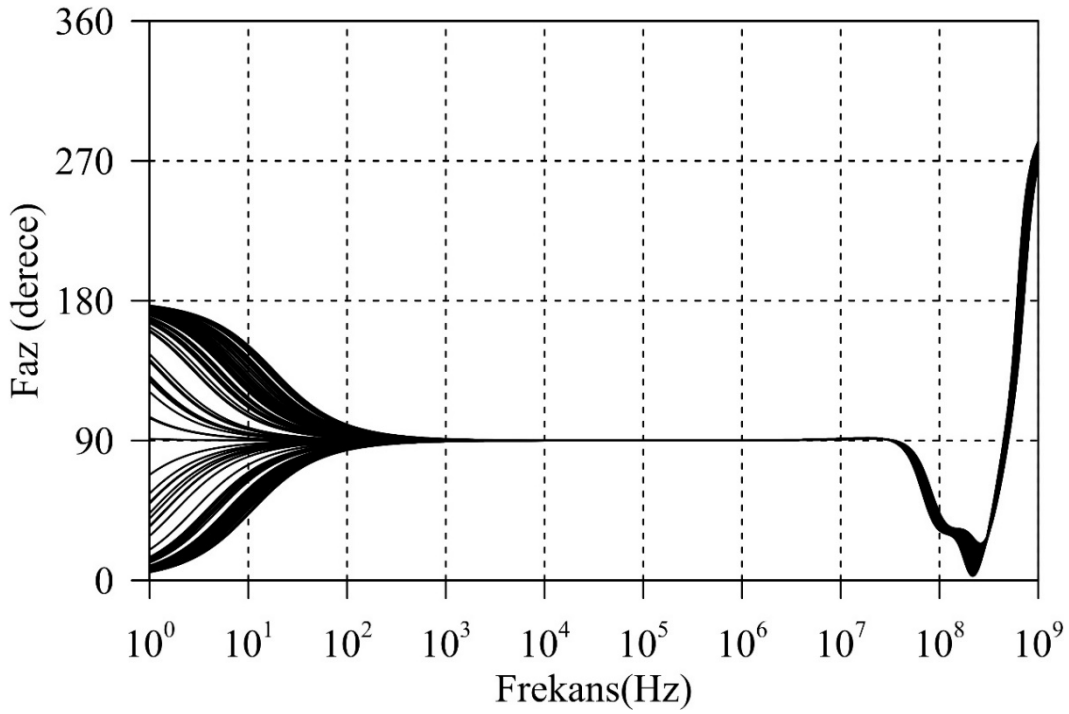
Şekil 4.7: Çeşitli besleme gerilimleri altında önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının genlik cevabı.



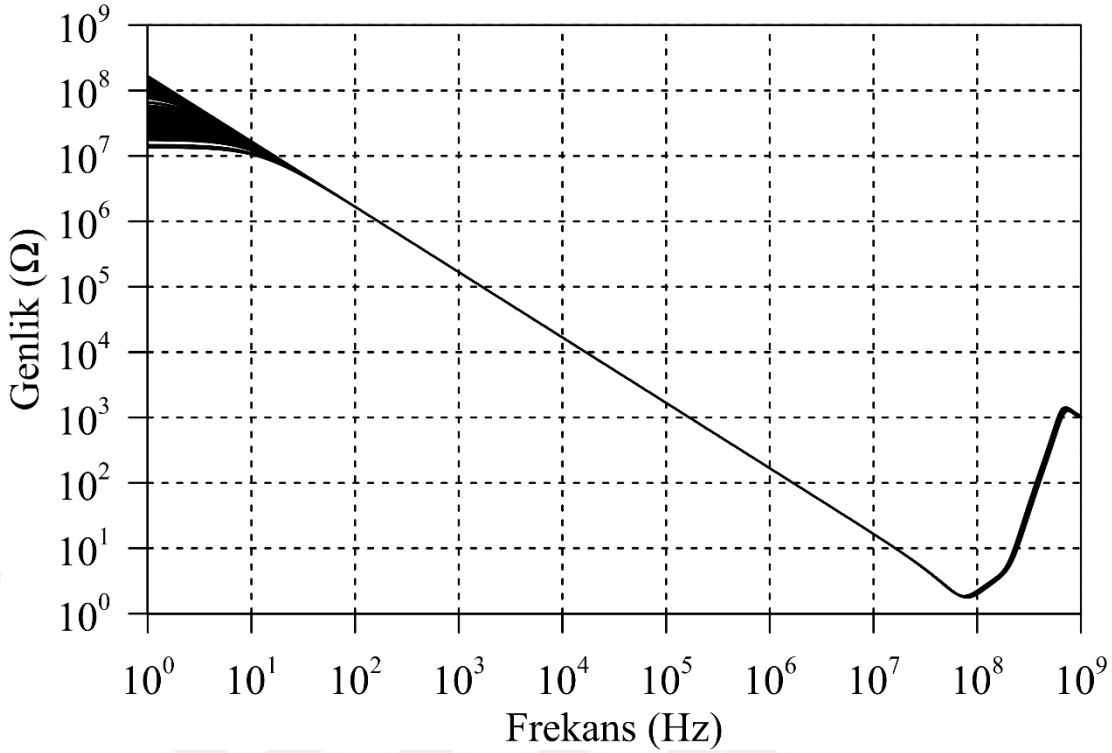
Şekil 4.8: Çeşitli besleme gerilimleri altında önerilen topraklanmış kayıpsız negatif KÇ devresinin giriş empedansının faz cevabı.



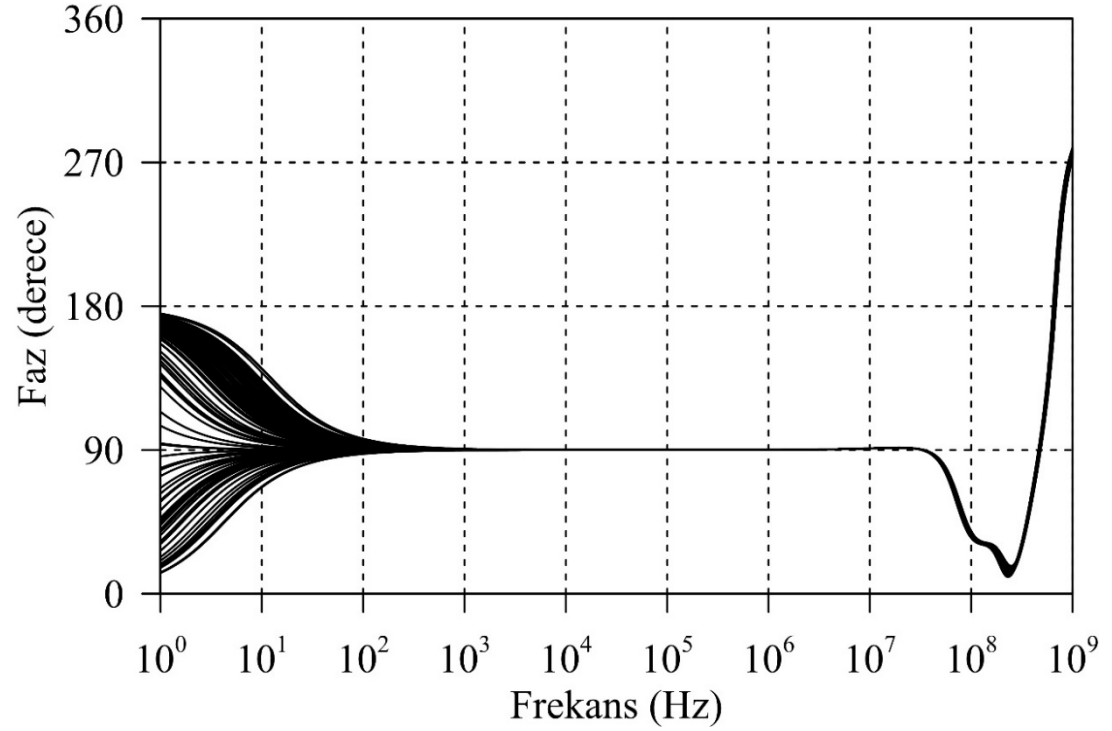
Şekil 4.9: Tüm MOS transistörlerinin eşik geriliminde (V_{TH}) ve geçit oksit tabakası kalınlığında (t_{ox}) %10'luk bir değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının genlik cevabı.



Şekil 4.10: Tüm MOS transistörlerinin eşik geriliminde (V_{TH}) ve geçit oksit tabakası kalınlığında (t_{ox}) %10'luk bir değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının faz cevabı.



Şekil 4.11: Tüm MOS transistörlerinin genişliğinde %5'lik değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının genlik cevabı.

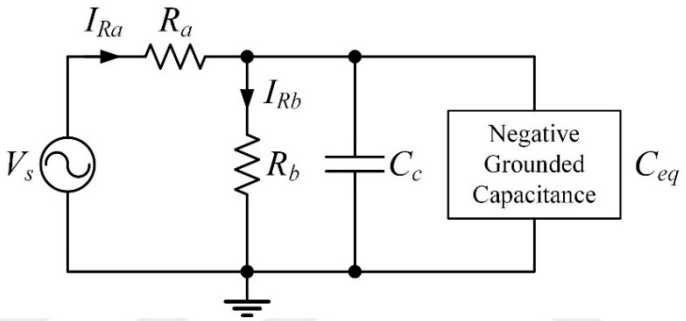


Şekil 4.12: Tüm MOS transistörlerinin genişliğinde %5'lik değişime ilişkin Monte Carlo simülasyonu sonucu: Devrenin giriş empedansının faz cevabı.

Önerilen devrenin zaman alanı işlevselliğini ve uygulanabilirliğini göstermek için bir uygulama örneği sunulmuştur. Şekil 4.13'te gösterilen uygulama örneği, çıkış devrelerindeki parazit kapasitörlerin ortadan kaldırıldığı kapasite iptal devresidir. Burada, önerilen kayıpsız negatif KÇ devresi ile negatif kapasitör (Ceq) elde edilir. Devredeki I_{Ra} ve I_{Rb} direnç akımları aşağıda verilmiştir. C_{eq} = -C_c koşulu sağlanırsa I_{Ra} ve I_{Rb} eşit olacaktır.

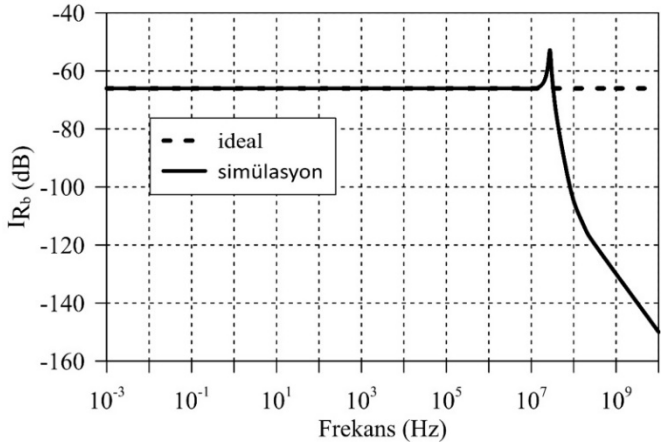
$$I_{R_a} = \frac{1 + s(C_c + C_{eq})R_b}{R_a + R_b + s(C_c + C_{eq})R_aR_b} V_s \tag{4.1}$$

$$I_{R_b} = \frac{1}{R_a + R_b + s(C_c + C_{eq})R_aR_b} V_s \tag{4.2}$$



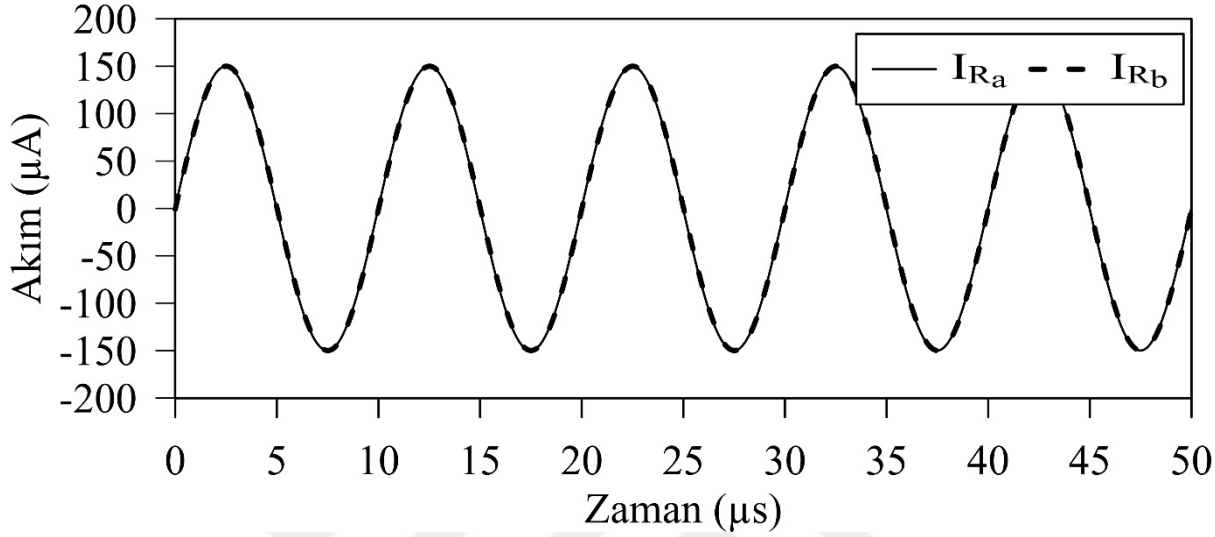
Şekil 4.13: Kapasite iptal devresi [10,31].

Simülasyon sonucu R_a = R_b =1 kΩ ve C_c = 0.5 nF seçilerek elde edilmiştir. Önerilen kayıpsız negatif KÇ devresi, K = 10 ve C_1 = 50 pF seçilerek, C_{eq} = -0,5 nF olacak şekilde tasarlanmıştır. Kapasite iptal devresinin çıkış akımı I_{Rb} için frekans performansı Şekil 4.14'te verilmiştir. Sonuçlara göre devre 10 MHz'e kadar ideal sonuçlarla uyumludur.



Şekil 4.14: Kapasite iptal devresinin frekans cevabı.

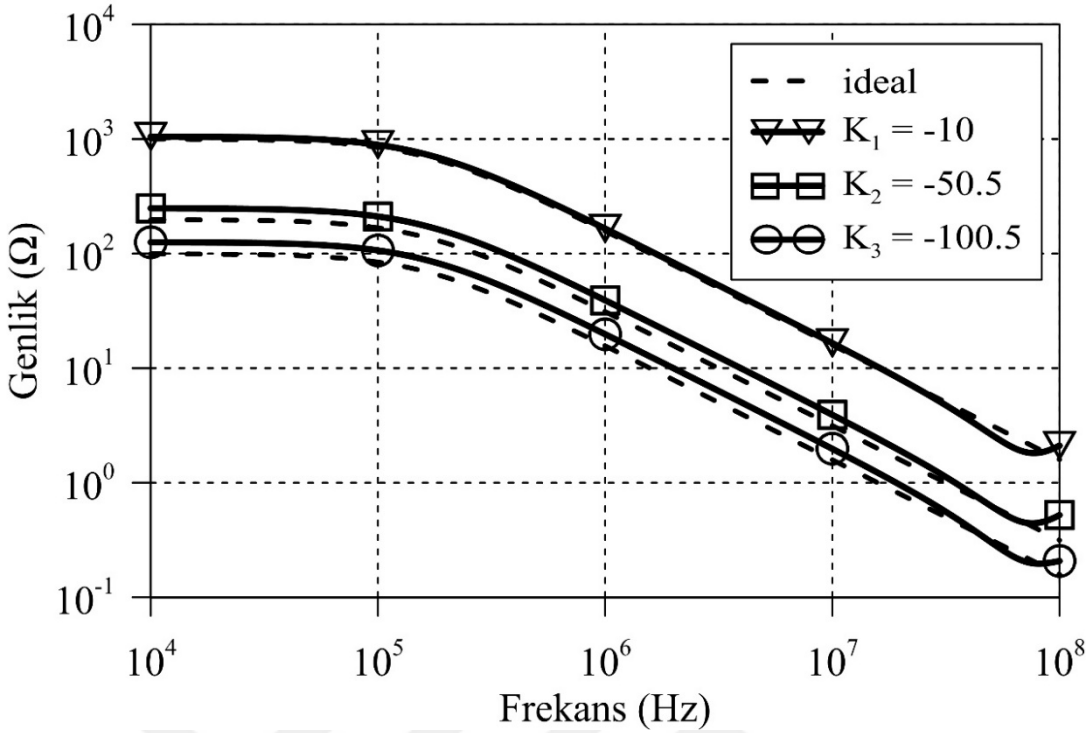
Devrenin girişine 300 mV genlikte ve 100 kHz frekansta bir sinüzoidal işaret uygulanmıştır. I_{Ra} ve I_{Rb} akımlarının dalga formları Şekil 4.15'te verilmiştir. Akım dalga formları aynı genliğe ve faza sahiptir, bu da önerilen devre ile parazitik kapasitenin ortadan kaldırıldığını göstermektedir.



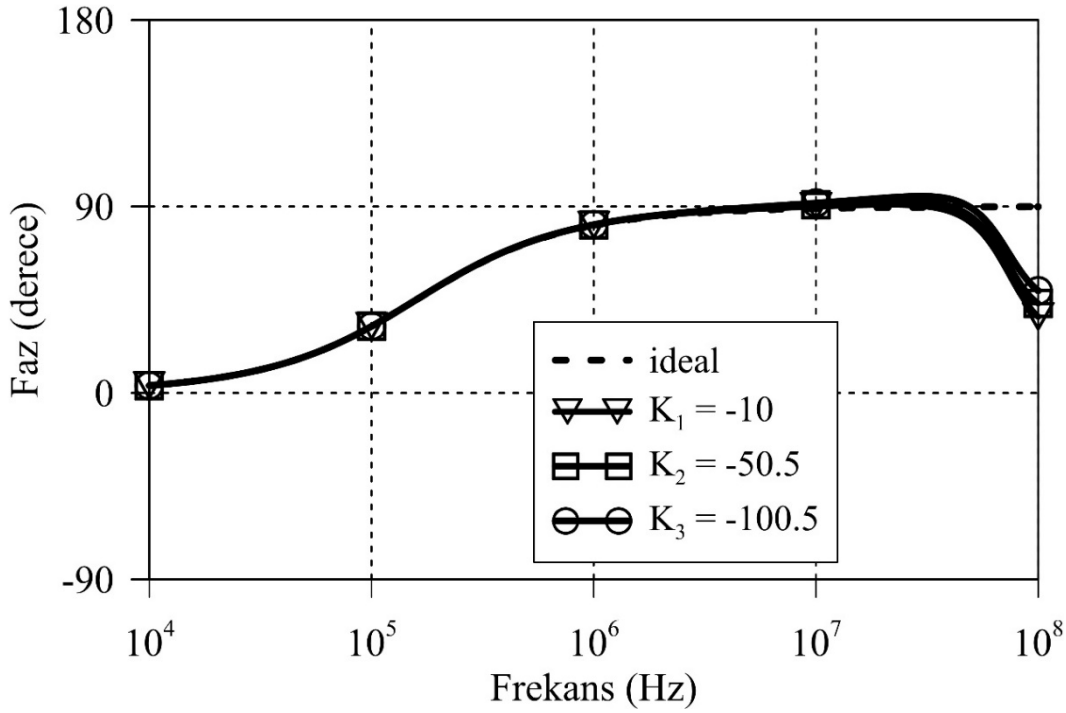
Şekil 4.15: Şekil 4.13'teki devre için I_{Ra} ve I_{Rb} akım dalga biçimleri.

4.2. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI

Şekil 3.5'te önerilen tasarımda, $R_2^{K1} = R_2^{K2} = R_2^{K3} = 10\ k\Omega$, $R_3^{K1} = R_3^{K2} = 100\ \Omega$, $R_3^{K3} = 10\ \Omega$, $R_4^{K1} = 1\ k\Omega$, $R_4^{K2} = R_4^{K3} = 10\ k\Omega$ ve C_1 = 100 pF seçilerek çarpma katsayısı sırasıyla K_1 = -10, K_2 = -50.5 ve K_3 = -500.5 olarak elde edilir. Simüle edilen eşdeğer direnç ve paralel eşdeğer kapasite sırasıyla $R_{eq}^{K1} = 1\ k\Omega$, $C_{eq}^{K1} = -1\ nF$, $R_{eq}^{K2} = 198\ \Omega$, $C_{eq}^{K2} = -5.05\ nF$, $R_{eq}^{K3} = 19.98\ \Omega$ ve $C_{eq}^{K3} = -50.05\ nF$ olarak elde edilir. Devrenin giriş empedansının genlik ve faz cevabı, ideal sonuçlar ile karşılaştırmalı olarak sırasıyla Şekil 4.16 ve Şekil 4.17'de gösterilmektedir. Devre düşük frekanslarda ideal sonuçlar ile uyumlu genlik ve faz cevabına sahipken 100 MHz'den yüksek frekanslarda ideal sonuçlardan uzaklaşmaktadır.



Şekil 4.16: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -100.5).



Şekil 4.17: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -10, K_2 = -50.5 ve K_3 = -100.5).

4.3. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI PARALEL R-C NEGATİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI

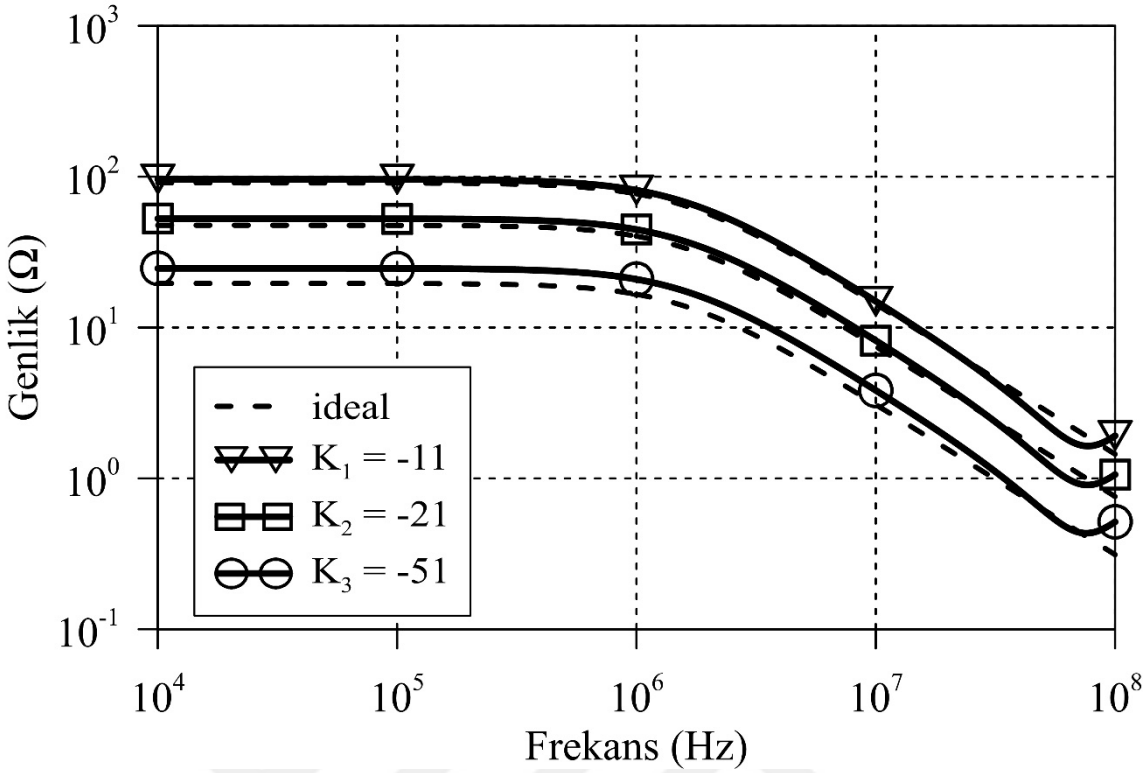
Şekil 3.7'de önerilen devrede, $R_1^{K1} = R_1^{K2} = R_1^{K3} = 1\ k\Omega$, $R_3^{K1} = R_3^{K2} = R_3^{K3} = 100\ \Omega$, $R_4^{K1} = 1\ k\Omega$, $R_4^{K2} = 2\ k\Omega$, $R_4^{K3} = 5\ k\Omega$ ve C_1 = 100 pF seçilerek çarpma katsayısı sırasıyla K_1 = -11, K_2 = -21 ve K_3 = -51 olarak elde edilir. Simüle edilen eşdeğer direnç ve paralel eşdeğer kapasite değerleri sırasıyla $R_{eq}^{K1} = -90.9\ \Omega$, $C_{eq}^{K1} = -1.1\ nF$, $R_{eq}^{K2} = -47.6\ \Omega$, $C_{eq}^{K2} = -2.1\ nF$, $R_{eq}^{K3} = -19.6\ \Omega$ ve $C_{eq}^{K3} = -5.1\ nF$ olarak elde edilir. Devrenin giriş empedansının genlik ve faz cevabı, ideal sonuçlar ile karşılaştırmalı olarak sırasıyla Şekil 4.18 ve Şekil 4.19'da gösterilmektedir.

4.4. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C POZİTİF KAPASİTE ÇARPMA DEVRESİNİN SİMÜLASYON SONUÇLARI

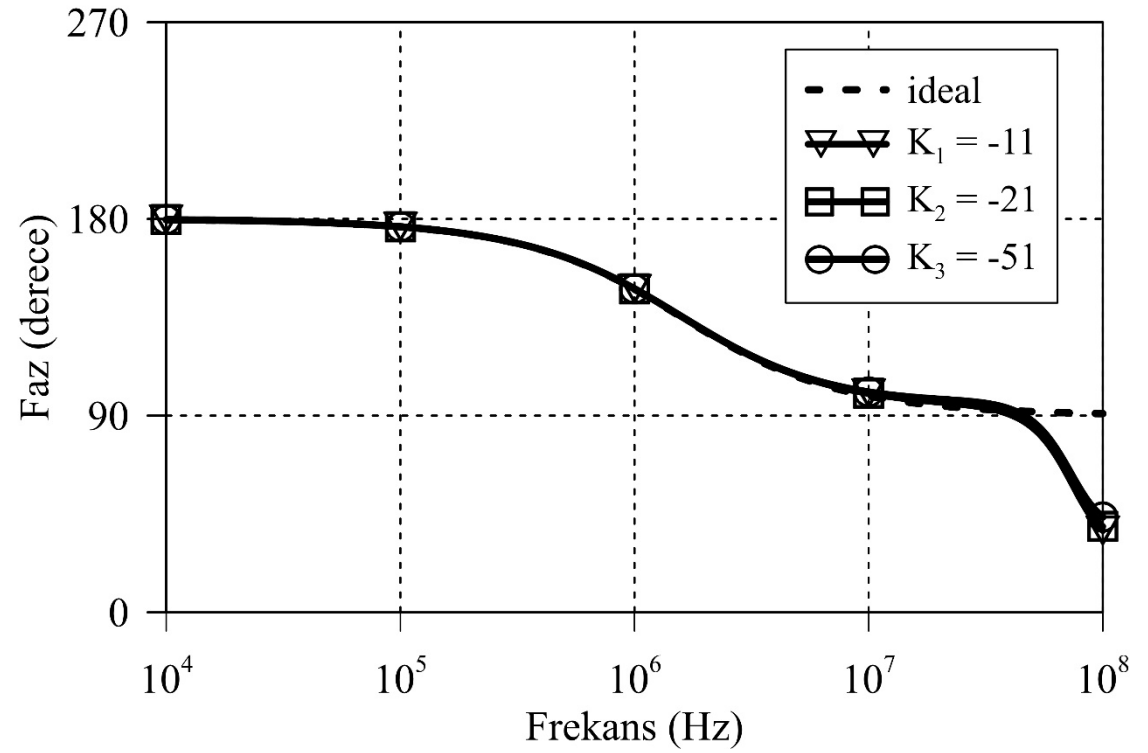
Şekil 3.9'da önerilen devrede, R_1 = 10 kΩ, R_2 = 10 kΩ, R_3 = 100 Ω ve R_4 = 1 kΩ ve seçilerek K_1 = 10, R_1 = 1 kΩ, R_2 = 2 kΩ, R_3 = 10 Ω ve R_4 = 2 kΩ seçilerek K_2 = 100.5 elde edilir. C_2 = 100 pF seçilerek simüle edilen eşdeğer direnç ve seri eşdeğer kapasite değerleri sırasıyla $R_{eq}^{K1} = 90.91\ \Omega$, $C_{eq}^{K1} = 1\ nF$ ve $R_{eq}^{K2} = 9.95\ \Omega$, $C_{eq}^{K2} = 10.05\ nF$ olarak elde edilir. Devrenin giriş empedansının genlik ve faz cevabı, ideal sonuçlar ile karşılaştırmalı olarak sırasıyla Şekil 4.20 ve Şekil 4.21'de verilmiştir.

4.5. ÖNERİLEN TOPRAKLANMIŞ KAYIPLI SERİ R-C NEGATİF KAPASİTE ÇARPMA DVRESİNİN SİMÜLASYON SONUÇLARI

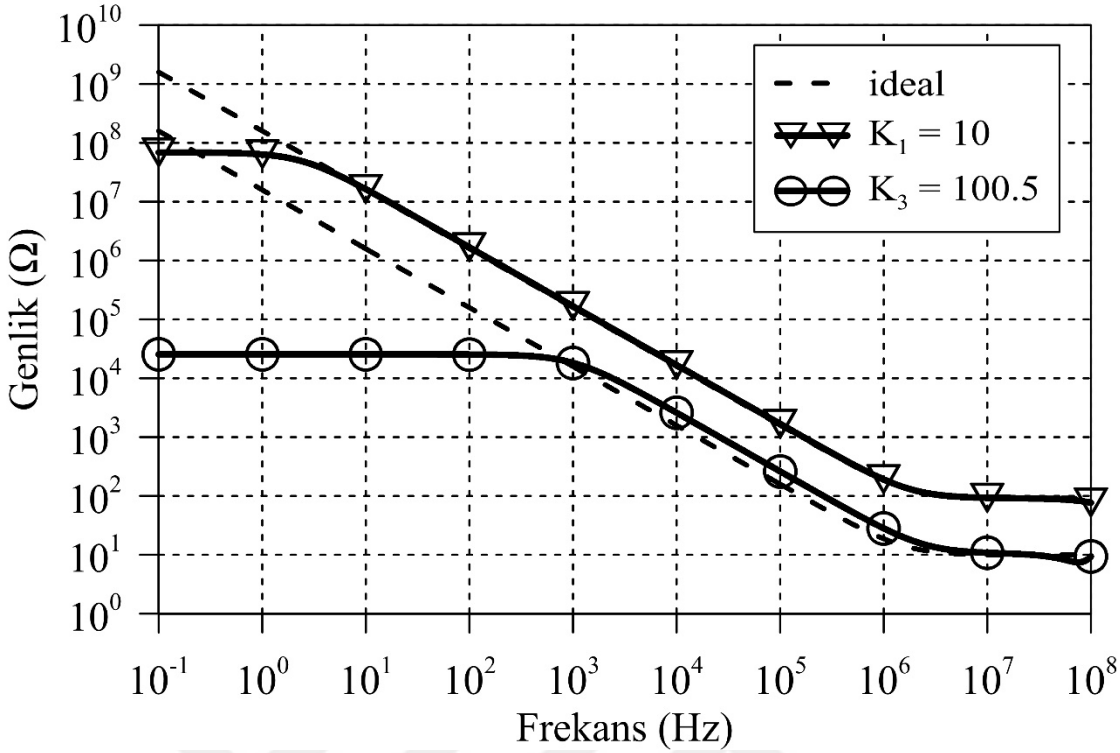
Şekil 3.10'da önerilen devrede, R_1 = 10 kΩ, R_3 = 100 Ω ve R_4 = 1 kΩ ve seçilerek K_1 = -11, R_1 = 10 kΩ, R_3 = 10 Ω ve R_4 = 1 kΩ seçilerek K_2 = -101 elde edilir. C_1 = 100 pF seçilerek simüle edilen eşdeğer direnç ve seri eşdeğer kapasite değerleri sırasıyla $R_{eq}^{K1} = -909.1\ \Omega$, $C_{eq}^{K1} = -1.1\ nF$ ve $R_{eq}^{K2} = 99.01\ \Omega$, $C_{eq}^{K2} = -10.1\ nF$ olarak elde edilir. Devrenin giriş empedansının genlik ve faz cevabı, ideal sonuçlar ile karşılaştırmalı olarak sırasıyla Şekil 4.22 ve Şekil 4.23'te verilmiştir.



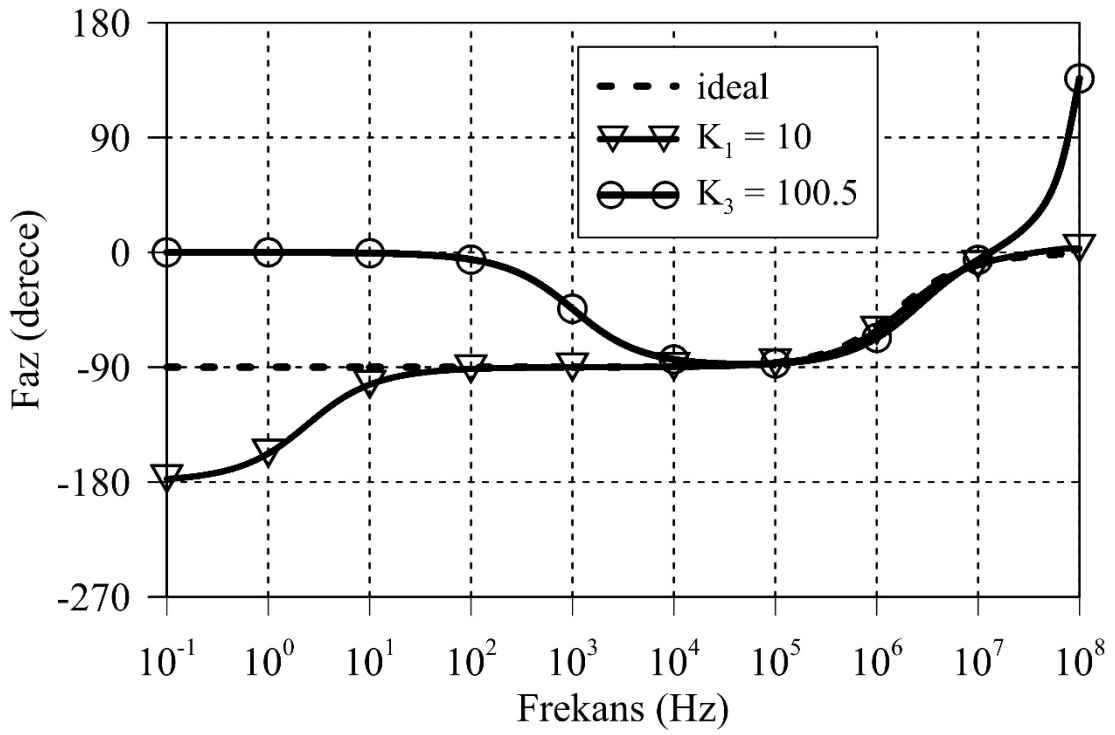
Şekil 4.18: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -11, K_2 = -21 ve K_3 = -51).



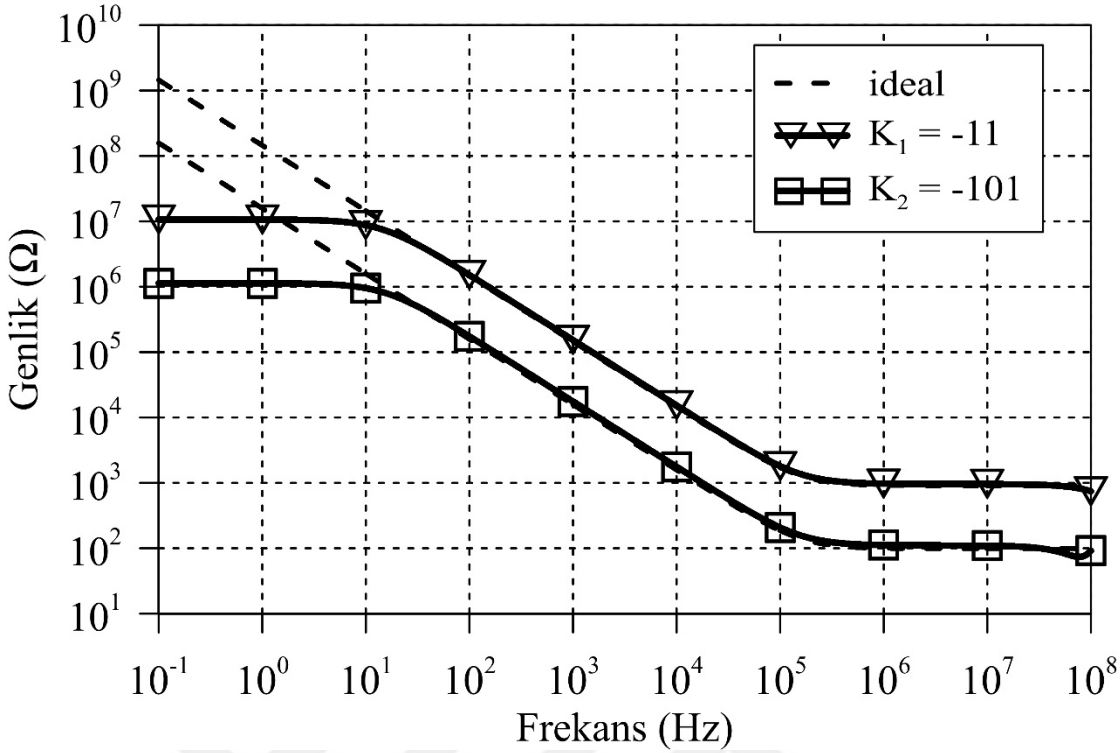
Şekil 4.19: Önerilen topraklanmış kayıplı paralel R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -11, K_2 = -21 ve K_3 = -51).



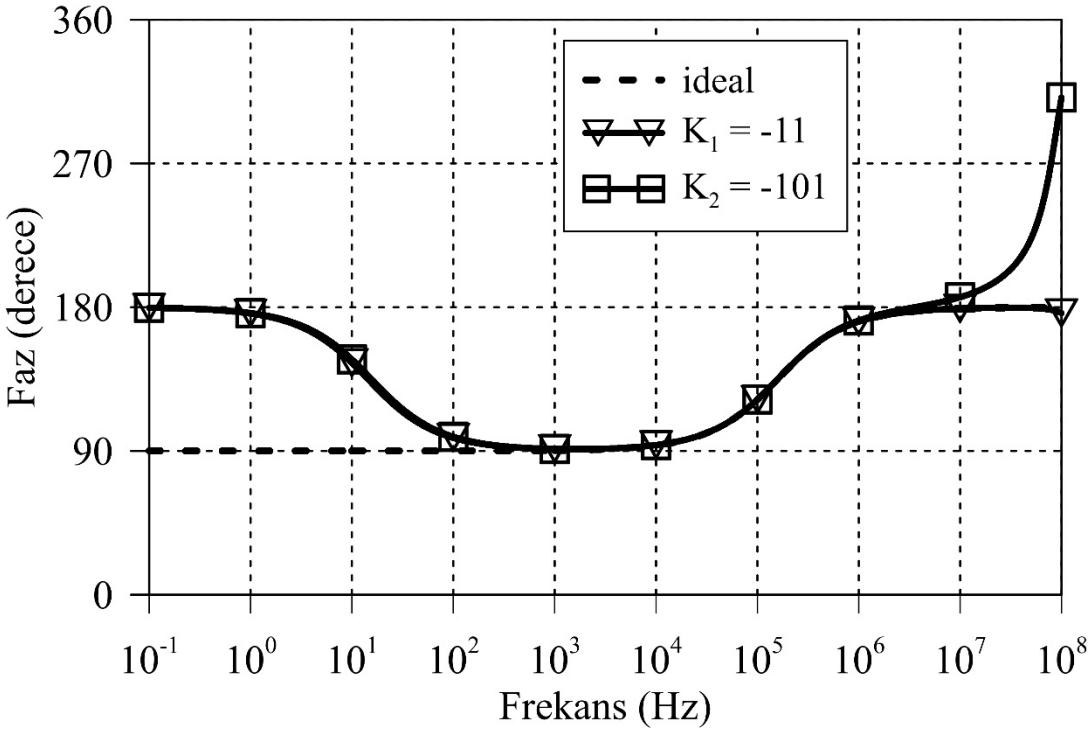
Şekil 4.20: Önerilen topraklanmış kayıplı seri R-C pozitif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = 10, K_2 = 100.5).



Şekil 4.21: Önerilen topraklanmış kayıplı seri R-C pozitif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = 10, K_2 = 100.5).



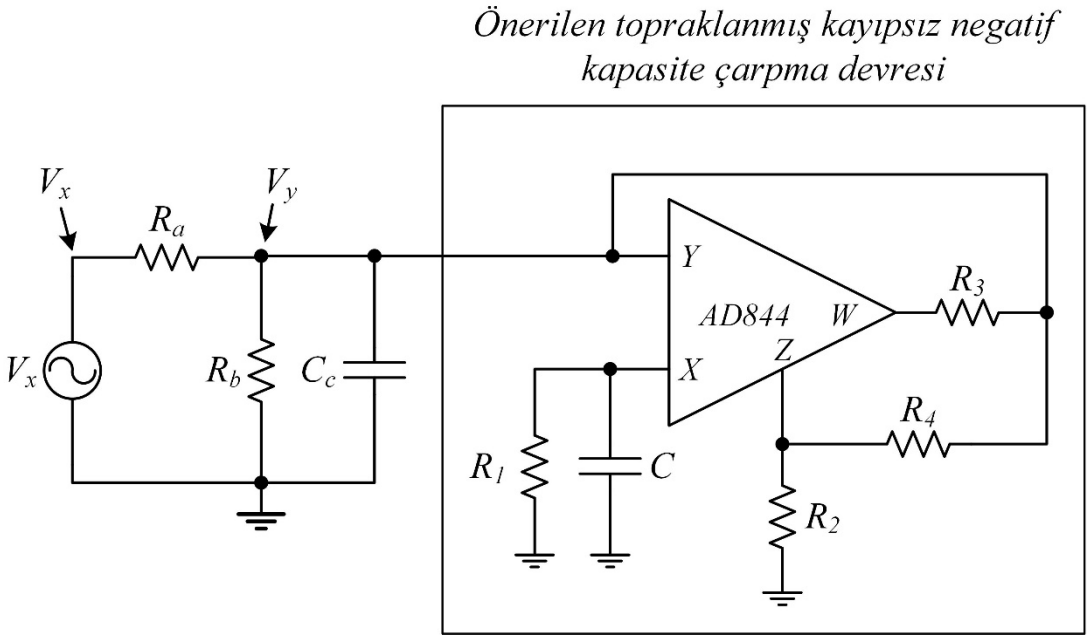
Şekil 4.22: Önerilen topraklanmış kayıplı seri R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için genlik cevabı (K_1 = -11, K_2 = -101).



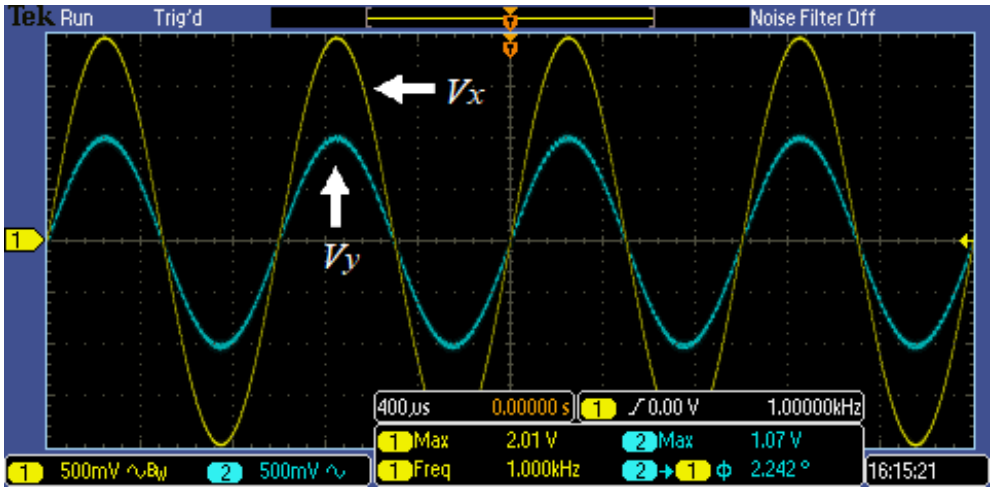
Şekil 4.23: Önerilen topraklanmış kayıplı seri R-C negatif KÇ devresinin giriş empedansının çeşitli çarpma katsayıları için faz cevabı (K_1 = -11, K_2 = -101).

4.6. DENEYSEL ÇALIŞMA

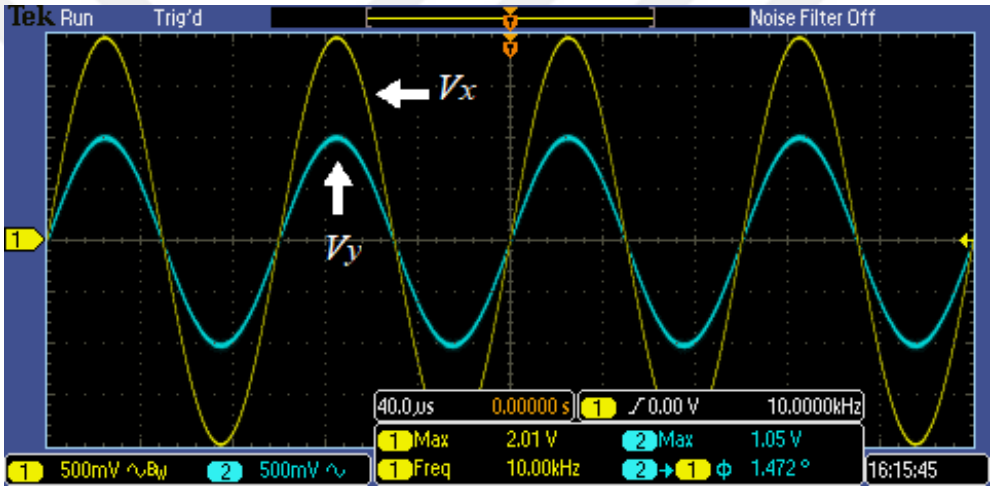
Önerilen topraklanmış kayıpsız negatif KÇ devresinin çalışmasını doğrulamak için ticari olarak temin edilebilen AD844 IC'leri ile bir deney düzeneği tasarlanmıştır. Kapasite iptal devresi Şekil 4.24'te verilmiştir. Besleme gerilimi ±15 V seçilmiştir. Deneysel sonuçlar $R_a = R_b = 1$ kΩ ve $C_c = 1$ nF seçilerek gerçekleştirilmiştir. Önerilen devrenin pasif bileşenlerini $R_1 = 10$ kΩ, $R_2 = 10$ kΩ, $R_3 = 100$ Ω, $R_4 = 1$ kΩ ve C = 100 pF seçilerek $K = -10$ ve $C_{eq} = -1$ nF elde edilmiştir. Devre girişine 1 kHz, 10 kHz ve 100 kHz frekanslarında 2 V genlikli sinüzoidal bir giriş gerilimi (V_x) uygulanmıştır. Giriş gerilimi (V_x) ve elimine edilmiş kapasitörün (V_y) gerilim dalga formları Şekil 4.25, Şekil 4.26 ve Şekil 4.27'de gösterilmiştir. Test sonuçlarına göre, V_x ve V_y gerilimlerinin yaklaşık olarak aynı fazda olduğu görülmüştür. Gerilimler arasındaki faz farkı en fazla 2.2° olarak ölçülmüştür. Sonuç olarak, kayıpsız negatif KÇ devresi ile parazitik kapasitör C_c'nin etkisi telafi edilmiştir. R_a ve R_b dirençleri eşit seçildiğinden, devre bir gerilim bölücü olarak çalışmaktadır ve V_y gerilimi yaklaşık olarak V_x geriliminin yarısıdır.



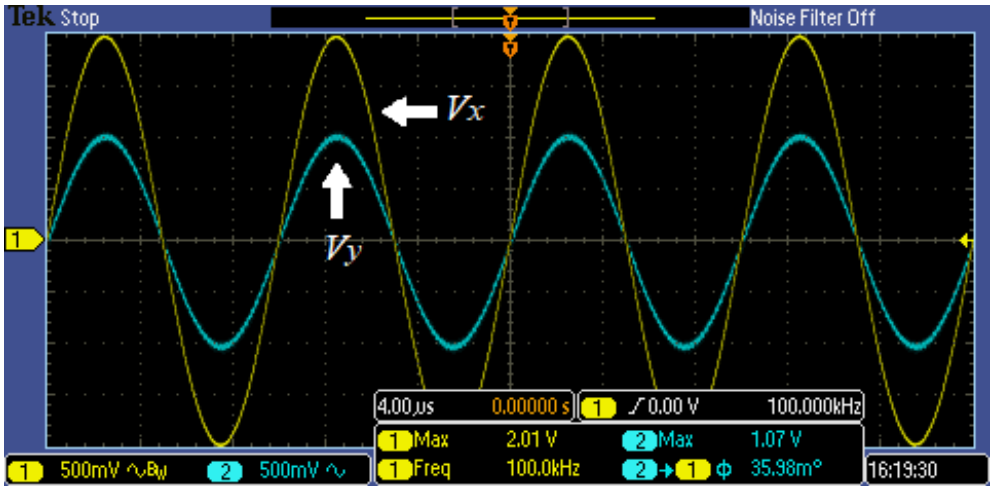
Şekil 4.24: Deney düzeneği.



Şekil 4.25: 1 kHz'de V_x ve V_y gerilim dalga biçimleri.



Şekil 4.26: 10 kHz'de V_x ve V_y gerilim dalga biçimleri.



Şekil 4.27: 100 kHz'de V_x ve V_y gerilim dalga biçimleri

5. TARTIŞMA VE SONUÇLAR

Bu tez çalışmasında, bir topraklanmış kayıpsız negatif KÇ devresi, iki adet topraklanmış kayıplı paralel R-C negatif KÇ devresi, bir adet topraklanmış kayıplı seri R-C pozitif KÇ devresi ve bir adet topraklanmış kayıplı seri R-C negatif KÇ devresi tasarlanmıştır. Önerilen devreler bir evirmeyen tip CFOA ve minimum sayıda pasif eleman ile tasarlanmıştır. Önerilen devrelerin düşük tüketimini azaltmak için CFOA DTMOS transistörleri kullanılarak yapılandırılmıştır.

Bu çalışmada bir topraklanmış KÇ devresi gerçekleştirmek için yeni bir devre konfigürasyonu tanıtılmıştır. Önerilen devre ile kayıpsız negatif KÇ dvtek bir CFOA, dört direnç ve topraklanmış bir kapasitör içermektedir. Devrenin detaylı analizi yapılmıştır. Frekans aralığını etkileyen faktörler matematiksel analizlerle araştırılmıştır. Devrenin güç tüketimini azaltmak amacıyla DTMOS transistörleri kullanılarak CFOA elde edilmiştir.

Önerilen topraklanmış kayıpsız negatif KÇ devre tasarımı, birçok dikkate değer özelliğe sahiptir. Bu da önerilen devreyi elektronik devre alanında rekabetçi bir seçim haline getirmektedir. Yalnızca 1,6 mW'lık güç tüketimiyle devre enerji verimliliğinde öne çıkmaktadır. Düşük güçlü uygulamalar için sürdürülebilir bir çözüm sunmaktadır. Üstelik elektronik olarak ayarlanabilir yapısı, çok yönlü işlevsellik sağlayarak değişen gereksinimlere uyacak şekilde dinamik ayarlamalara olanak tanımaktadır.

Tasarımın göze çarpan özelliklerinden biri, 8 Hz'den 80 MHz'e kadar uzanan geniş çalışma frekans aralığıdır. Bu geniş aralık, düşük frekanslı işaret işlemeden yüksek hızlı iletişim sistemlerine kadar çok çeşitli uygulamalarla karşılık bulmaktadır. Ek olarak, yaklaşık 500 katlık çarpma katsayısı, devrenin kapasite değerini etkili bir şekilde yükseltme ve genel performansı artırma becerisinin altını çizmektedir.

Ancak önerilen tasarımın eşleştirme koşulları açısından bir sınırlaması olduğunu kabul etmek önemlidir. Devre ideal eşleştirme koşulları altında iyi performans sergilerken, ideal eşleştirme parametrelerinden sapmalar devrenin etkinliğini etkileyebilmektedir. Bu nedenle, farklı ortamlarda tutarlı ve güvenilir çalışmayı sağlamak için dikkatli değerlendirme ve kalibrasyon gereklidir.

Alternatif topraklanmış kayıpsız negatif KÇ devre tasarımlarıyla karşılaştırıldığında önerilen devre verimlilik, çok yönlülük ve performansın dengeli kombinasyonuyla öne çıkmaktadır.

Literatürde daha önce sunulmuş topraklanmış kayıplı/kayıpsız negatif KÇ devreleri ile önerilen devrenin karşılaştırması Tablo 5.1'de verilmiştir.

Tablo 5.1: Topraklanmış kayıplı/kayıpsız negatif KÇ devrelerinin karşılaştırması

Kaynaklar	Aktif Eleman Sayısı	Direnç Sayısı		Kapasite Sayısı		Elektronik Ayarlama	Çarpma Katsayısı	Eşleştirme Koşulu	Teknoloji	Çalışma Frekansı Aralığı	Güç Tüketimi
		Y	T	Y	T						
Şekil 2 [10]	2 CFOA	0	2	0	1	Hayır	0.5	Hayır	0.35 µm	MD	MD
Şekil 3 [10]	2 CFOA	0	2	0	1	Hayır	0.5	Hayır	0.35 µm	MD	MD
Şekil 4 [10]	1 CFOA	1	1	1	0	Hayır	0.5	Hayır	0.35 µm	1 kHz - 5 MHz	MD
Şekil 5 [10]	1 CFOA	2	0	0	1	Hayır	0.5	Hayır	0.35 µm	MD	MD
Şekil 1d [3]	2 CFOA	2	0	1	0	Hayır	MD	Hayır	AD844	MD	MD
Şekil 8 [33]	1 CFOA	1	2	0	1	Hayır	MD	Evet	0.13 µm	MD	MD
Şekil 11 [34]	1 CFOA, 2 OTA	0	0	0	1	Evet	MD	Hayır	AD844 LM13700N	2 Hz - 7 MHz	MD
Şekil 1b [35]	1 EVCII-	0	0	1	0	Evet	100	Hayır	0.18µm	80 Hz - 40 kHz	67 nW
Şekil 4 [36]	2 VCII+	1	1	1	0	Hayır	50	Hayır	0.35 µm	10 MHz	1.5 mW
Şekil 6 [37]	2 CFTA	0	2	1	0	Evet	20.3	Hayır	0.13 µm	10 kHz - 100 MHz	MD
Şekil 7 [37]	2 CFTA	0	2	1	0	Evet	20.3	Hayır	0.13 µm	10 kHz - 100 MHz	MD
Şekil 7 [38]	1 CFTA	0	1	1	0	Evet	10	Hayır	0.18 µm	280 Hz - 4.15 MHz	MD
Şekil 2 [39]	1 VCII±, 1 E-DVCC	0	0	0	1	Evet	25.4	Hayır	0.18 µm	10 kHz - 1 MHz	3.184 mW
Şekil 2 [22]	1 OTRA, 1 VF	3	0	1	0	Evet	99	Evet	0.18 µm	100 Hz - 1 MHz	MD
Şekil 1 [40]	1 VDTA	0	1	1	0	Hayır	20	Hayır	0.18 µm	100 Hz - 100 MHz	0.89 mW
Şekil 1 [41]	1 CFOA	3	0	0	1	Hayır	26	Hayır	AD844	1 kHz - 100 kHz	MD
Şekil 2a [42]	1 CFOA	2	0	0	1	Hayır	201	Hayır	AD844	4 kHz - 1 MHz	MD
Şekil 2b [42]	1 CFOA	2	0	0	1	Hayır	201	Hayır	AD844	4 kHz - 1 MHz	MD
Şekil 2c [42]	1 CFOA	2	0	0	1	Hayır	400	Hayır	AD844	4 kHz - 1 MHz	MD
Önerilen Kayıpsız KÇ	**1 CFOA**	**2**	**2**	**0**	**1**	**Evet**	**500.5**	**Evet**	**0.13 µm**	**8 Hz - 80 MHz**	**1.6 mW**
Önerilen Kayıplı KÇ	**1 CFOA**	**2**	**1**	**0**	**1**	**Evet**	**100**	**Evet**	**0.13 µm**	**40 MHz'e kadar**	**1.6 mW**

Önerilen Kayıplı KÇ	**1 CFOA**	**2**	**1**	**0**	**1**	**Evet**	**51**	**Evet**	**0.13 µm**	**40 MHz'e kadar**	**1.6 mW**
Önerilen Kayıplı KÇ	**1 CFOA**	**2**	**2**	**0**	**1**	**Evet**	**100.5**	**Evet**	**0.13 µm**	**3 Hz - 80 MHz**	**1.6 mW**
Önerilen Kayıplı KÇ	**1 CFOA**	**3**	**0**	**0**	**1**	**Evet**	**101**	**Evet**	**0.13 µm**	**20 Hz - 80 MHz**	**1.6 mW**

Kısaltmalar: Y: Yüzen, T: Topraklanmış, MD: Mevcut Değil

6. ÖNERİLER

Bu tezde, entegre devre üretiminde karşılaşılan yer ve güç tüketimi sorunlarına çözüm olarak kapasite çarpma devreleri incelenmiştir. Entegre devre teknolojisindeki gelişmelerle birlikte, daha küçük ve düşük güçlü devreler talep edilmektedir. Ancak, pasif devre elemanlarının fazla yer kaplaması önemli bir sorun olarak karşımıza çıkmaktadır. Özellikle kapasitörler, yüksek kapasite değerleri ile çip üzerinde büyük alan kaplamaktadır ve bu durum, yüksek değerli kapasitörlerin entegrasyonunu zorlaştırmaktadır.

Bu probleme çözüm olarak kapasite çarpma devreleri, geleneksel kapasitörlere kıyasla daha az yer kaplayan ve benzer işlevi görebilen alternatifler olarak öne çıkmaktadır. Tezde önerilen tasarımlar, elektronik devrelerin alan açısından verimli olmasına katkıda bulunmakta ve pasif elemanların boyutunu minimize etmektedir.

Sonuçlar göstermektedir ki, önerilen kapasite çarpma devreleri geniş frekans aralıklarında düşük güç tüketimi ile etkili performans sergilemektedir. Bu devreler, pasif elemanların ortadan kaldırılması ve yalnızca MOSFET transistörlerinin kullanılması ile daha kompakt tasarımlar sunmaktadır. Ayrıca, çarpma faktörünün gerektiğinde farklı değerlere elektronik olarak uyarlanabilmesi, bu devrelerin esnekliğini artırmakta ve çeşitli uygulamalarda kullanılabilirliğini sağlamaktadır.

Öneriler:

1. Geniş Frekans Aralığı: Önerilen devreler, geniş bir frekans aralığını kapsayacak şekilde tasarlanmalı ve test edilmelidir. Bu, devrelerin çok çeşitli uygulamalarda kullanılabilirliğini artıracaktır.

2. Düşük Güç Tüketimi: Enerji verimliliği, modern elektronik cihazların temel gereksinimlerinden biridir. Bu nedenle, devrelerin güç tüketiminin minimize edilmesi öncelikli olmalıdır.

3. Pasif Elemanların Ortadan Kaldırılması: Devre tasarımlarında mümkün olduğunca pasif elemanların yerine MOSFET transistörleri kullanılmalı, böylece daha kompakt ve entegre edilebilir çözümler sunulmalıdır.

4. Çarpma Faktörünün Elektronik Uyarlanabilirliği: Çarpma faktörünün elektronik olarak ayarlanabilmesi, devrelerin esnekliğini ve çok yönlülüğünü artıracaktır. Bu, devrelerin farklı uygulama ihtiyaçlarına hızlı bir şekilde adapte olmasını sağlayacaktır.

Bu öneriler doğrultusunda, önerilen tasarımlar entegre devrelerde verimlilik ve kompaktlık açısından önemli avantajlar sunmakta ve gelecekteki araştırmalar için güçlü bir temel oluşturmaktadır.

KAYNAKLAR

[1]. Holberg, D., Allen, A., 2011, CMOS Analog Circuit Design, Oxford Univ. Press - 4th ed. New York.

[2]. Khan I., Ahmed M., 1986, Ota-based integrable voltage/current-controlled ideal cmultiplier, digital-library, 22, 365–366.

[3]. Abuelma'atti, M., Dhar, S., Khalifa, Z., 2017, New two-CFOA-based floating immittance simulators. Analog Integr Circuits Signal Process, 91, 479–489

[4]. Yucehan, T., Yuce, E., 2021, A New Grounded Capacitance Multiplier Using a Single ICFOA and a Grounded Capacitor, IEEE Transactions on Circuits and Systems II: Express Briefs, 69, 729 - 733

[5]. Dogan, M., Yuce, E., 2020, A new CFOA based grounded capacitance multiplier, AEU - Int J Electron Commun, 115.

[6]. Abuelma'atti M., 2012, New grounded immittance function simulators using single current feedback operational amplifier, Analog Integr Circuits Signal Process, 71, 95–100

[7]. Verma, R., Pandey, N., Pandey, R., 2019, Novel CFOA based capacitance multiplier and its application, AEU - Int J Electron Commun, 107:192–198.

[8]. Prommee, P., Somdunyakanok, M., 2011, CMOS-based current-controlled DDCC and its applications to capacitance multiplier and universal filter, AEU - Int J Electron Commun, 65, 1–8

[9]. Yuce, E., Minaei, S., Cicekoglu, O., 2006, Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor, Electrical Engineering, 8, 519–25

[10]. Lahiri, A., Gupta, M., 2011, Realizations of grounded negative capacitance using CFOAs, Circuits, Syst Signal Process, 30, 143–55

[11]. Abuelma'atti, A., Tasadduq, N., 1999, Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor, Microelectronics, 99, 869-873.

[12]. Yüce, E., 2017, DO-CCII/DO-DVCC Based Electronically Fine Tunable Quadrature Oscillators, Journal of Circuits Systems and Computers, 26, NO. 02

[13]. Myderrizi, I., Zeki, A., 2014, Electronically tunable DXCCII-based grounded capacitance multiplier, AEU - International Journal of Electronics and Communications, 68(9), 899–906

[14]. Khan, A., Bimal, S., Dey, K., Roy, S., 2002, Current conveyor based R- and C-multiplier circuits. AEU - International Journal of Electronics and Communications, 56(5), 312–316

[15]. Rethy, J., Gielen, G., 2012, Capacitance-Controlled Oscillator with Enhanced Tuning Range using Negative Capacitance for Time-Based Sensor Interfaces, Procedia Engineering, 47, 21-24

[16]. Padilla, I., 2013, Low-Power High Parallel Load Resistance Current-Mode Grounded and Floating Capacitor Multiplier, IEEE Transactions on Circuits and Systems II,Vol 60, 16-20

[17]. Choi, J., Park, W., Kim, K., Laskar, J., 2009, High multiplication factor capacitor multiplier for an on-chip PLL loop filter, Electronics Letters, 45, 239-240

[18]. Ayten, U., Sagbas, M., Herencsar, N., 2012, Novel Floating General Element Simulators Using CBTA. Radioengineering. 21, 11-19.

[19]. Channumsin, O., Tangsrirat, W., 2016, Electronically tunable floating capacitance multiplier using FB-VDBAs. Enginrring Letters, 24, 365-369

[20]. Tangsrirat, W., 2017, Resistorless Tunable Capacitance Multiplier Using Single Voltage Differencing Inverting Buffered Amplifier, Journal of Communications Technology and Electronics,72-75

[21]. Germanovix, W., Bonizzoni, E., Maloberti, F., 2018, Capacitance Super Multiplier for Sub-Hertz Low-Pass Integrated Filters, IEEE Transactions on Circuits and Systems II: Express Briefs, 65, 301-305

[22]. Bhaskar, D., Mann, G., Kumar, P., 2022, OTRA-based positive/negative grounded capacitance multiplier, SpringerLink, 111, 469 – 481

[23]. Gopakumar, K., Loganathan, U., Abu-Rub, H., Zielinski, D., 2023, A Hybrid Seven-Level Dual-Inverter Scheme with Reduced Switch Count and Increased Linear Modulation Range, IEEE Transactions on Power Electronics, 38, 2013 -2021

[24]. Al-absi, M., al-khulaifi, A., 2019, A New Floating and Tunable Capacitance Multiplier with Large Multiplication Factor, IEEE Access, 7, 120076 - 120081

[25]. Minaei, S., Yuce, E., Cicekoglu, O., 2006, A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter, Analog Integr Circuits Signal Process, 47, 199–202

[26]. Yesil, A., Yuce E., Minaei, S., 2017, Grounded capacitance multipliers based on active elements, AEU - Int J Electron Commun, 79, 243–249

[27]. Verma, R., Pandey, N., Pandey, R., 2022, Capacitance Characteristics Behavior of 0.5 Order FC Using CFOA Based FC Multiplier, Advances in Electrical and Electronic Engineering, 43-56

[28]. Sedra, A., Smith, K., 1970, A second-generation current conveyor and its applications, IEEE Transactions on Circuit Theory, 17 (1), 132-134

[29]. Smith, K., Sedra, A., 1968, 1968, The current conveyor-A new circuit building block, Proceedings of the IEEE, 56 (8), 1368-1369

[30]. Arslan, E., Morgül, A., 2008, Wideband Self-Biased CMOS CCII, Phd Research in Microelectronics and Electronics, 217-220

[31]. Assaderaghi, F., Sinitsky, D., Parke, S., Bokor, J., Ko, P., Hu, C., 1994, A Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage Operation, IEEE, 94, 809-812

[32]. Özer, E. 2021, Electronically tunable CFTA based positive and negative grounded capacitance multipliers, AEU-Int. J. Electron. Commun, 134, 153685.

[33]. Dogan, M., Yuce, E., 2018, Supplementary single active device based grounded immittance function simulators. AEU-Int. J. Electron.Commun, 94, 311–321

[34]. Al-Absi, M., Al-Khulaifi, A., 2019, Novel Tunable Grounded Positive and Negative Impedance Multiplier, IEEE Trans. Circuits Syst. Express Briefs, 66, 924–927.

[35]. Stornelli, V., Safari, L., Barile, G., Ferri, G., 2021, New Extremely Low Power Temperature Insensitive Electronically Tunable VCII-Based Grounded Capacitance Multiplier, IEEE Trans. Circuits Syst. II Express Briefs, 68, 72–76.

[36]. Stornelli, V., Safari, L., Barile, G., Ferri, G., 2021, A new VCII based grounded positive/negative capacitance multiplier, AEU-Int. J. Electron. Commun, 137, 153793

[37]. Özer, E. 2021, Electronically tunable CFTA based positive and negative grounded capacitance multipliers, AEU-Int. J. Electron. Commun, 134, 153685.

[38]. Basak, M., Özer, E., 2022, Electronically tunable grounded inductance simulators and capacitor multipliers realization by using single Current Follower Transconductance Amplifier (CFTA), Analog Integr. Circuits Signal Process, 112, 401–415.

[39]. Ferri, G., Safari, L., Barile, G., Scarsella, M., Stornelli, V., 2022, New Resistor-Less Electronically Controllable ±C Simulator Employing VCII, DVCC and a Grounded Capacitor, Electronics, 11, 286.

[40]. Petrovic, P., 2022, Single VDTA-based Lossless and Lossy Electronically Tunable Positive and Negative Grounded Capacitance Multipliers, Circuits Syst. Signal Process, 41, 6581–6614.

[41]. GShrivastava, M.; Kumar, P.; Bhaskar, D.R. 2022, Negative Capacitance Multiplier Configuration Using Single CFOA Employing Grounded Capacitor, International Conference on Electrical, Computer, Communications and Mechatronics Engineering , Maldives, 16–18 November 2022; pp. 1–4.

[42]. Raj, A., Bhaskar, D., Shrivastava, M., Kumar, P., 2023, New negative-grounded capacitance multiplier circuits, Int. J. Circuit Theory, 51, 1476–1491.

ETİK KURUL İZİN YAZISI

Uyarı: Canlı denekler üzerinde yapılan tüm araştırmalar için Etik Kurul Belgesi alınması zorunludur.

☒ **Etik Kurul izni gerekmektedir.**

☐ **Etik Kurul izni gerekmemektedir.**

Mutasem VAHBEH
(İmza)

KURUM İZNİ YAZILARI

Uyarı: Canlı ve cansız deneklerle yapılan tüm çalışmalar için kurum izin belgelerinin eklenmesi zorunludur. Gizlilik ve mahremiyet içeren durumlarda kurum adı kapatılmalıdır.

☐ **Kurum izni gerekmektedir.**

☒ **Kurum izni gerekmemektedir.**

Mutasem VAHBEH
(İmza)