T.C.
İSTANBUL ÜNİVERSİTESİ-CERRAHPAŞA
LİSANSÜSTÜ EĞİTİM ENSTİTÜSÜ

DOKTORA TEZİ

TÜMLEŞTİRMEYE UYGUN YENİ PID DENETLEYİCİ DEVRE TASARIMLARI VE UYGULAMALARI

Umut Cem ORUÇOĞLU

DANIŞMAN
Prof. Dr. Fırat KAÇAR

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği Programı

Temmuz, 2023

TEZ KABUL VE ONAYI

Umut Cem ORUÇOĞLU tarafından, **Prof. Dr. Fırat KAÇAR** danışmanlığında hazırlanan **" Tümleştirmeye Uygun Yeni PID Denetleyici Devre Tasarımları ve Uygulamaları "** başlıklı bu çalışma, jürimiz tarafından **07/07/2023** tarihinde yapılan sınav sonucunda **oy birliği** ile başarılı bulunarak **Doktora Tezi** olarak kabul edilmiştir.

Tez Jürisi

		İmza	Sonuç
DANIŞMAN	Prof. Dr. Fırat KAÇAR İstanbul Üniversitesi-Cerrahpaşa Elektronik Anabilim Dalı		☒ Kabul ☐ Ret
ÜYE	Doç. Dr. Emre ÖZER İstanbul Üniversitesi-Cerrahpaşa Teknik Bilimler Meslek Yüksek Okulu		☒ Kabul ☐ Ret
ÜYE	Doç. Dr. Yasin ÖZÇELEP İstanbul Üniversitesi-Cerrahpaşa Elektronik Anabilim Dalı		☒ Kabul ☐ Ret
ÜYE	Doç. Dr. Yunus BABACAN Erzincan Binali Yıldırım Üniversitesi Elektronik Anabilim Dalı		☒ Kabul ☐ Ret
ÜYE	Dr. Öğr. Üyesi Mustafa KONAL Tekirdağ Namık Kemal Üniversitesi Elektrik-Elektronik Mühendisliği Anabilim Dalı		☒ Kabul ☐ Ret

Sevgili Anne ve Babama ithaf ediyorum…

BÜTÇE DESTEKLERİ

Tümleştirmeye Uygun Yeni PID Denetleyici Devre Tasarımları ve Uygulamaları

Bu tez çalışması için herhangi bir kurumdan bütçe desteği alınmamıştır.

TEŞEKKÜR

Doktora eğitimim boyunca verdiği ilham ve rehberlik için tez danışmanım sayın Prof. Dr. Fırat KAÇAR'a teşekkür eder, desteklerinden dolayı minnettarlığımı sunarım.

Tez çalışmam süresince sabrı, rehberliği ve tavsiyeleri için sayın Doç. Dr. Emre ÖZER'e teşekkür eder, desteklerinden dolayı minnettarlığımı sunarım.

Temmuz 2023 Umut Cem ORUÇOĞLU

İÇİNDEKİLER

Sayfa No

TEZ KABUL VE ONAYI ..... **ii**
BÜTÇE DESTEKLERİ ..... **iv**
TEŞEKKÜR ..... **v**
İÇİNDEKİLER ..... **vi**
ŞEKİL LİSTESİ ..... **viii**
TABLO LİSTESİ ..... **xi**
SİMGE VE KISALTMA LİSTESİ ..... **xii**
ÖZET ..... **xv**
ABSTRACT ..... **xvi**
1. GİRİŞ **1**
1.1. TEZİN AMACI VE PLANI 4
2. KAVRAMSAL ÇERÇEVE **5**
2.1. PID DENETLEYİCİ TASARIMI 5
2.2. TASARIMLARDA KULLANILAN AKTİF DEVRE ELEMANLARI 6
3. YÖNTEM **18**
3.1. ÖNERİLEN TASARIMLARDA KULLANILAN AKTİF DEVRE ELEMANLARI 18
3.1.1. Gerilim Farkını Eviren Tampon Kuvvetlendirici (VDIBA) 18
3.1.2. Gerilim Farkı Alan Akım Taşıyıcı (DVCC) 19
3.2. VDIBA TABANLI PID DENETLEYICI 21
3.3. DVCC TABANLI PID DENETLEYICI 22
3.4. DUYARLILIK ANALİZLERİ 23
3.4.1. VDIBA Tabanlı PID Denetleyici Tasarımı Duyarlılık Analizi Hesaplamaları 24
3.4.2. DVCC Tabanlı PID Denetleyici Tasarımı Duyarlılık Analizi Hesaplamaları 24
3.5. TASARIM PROSEDÜRLERİ 24
3.6. İDEAL OLMAYAN KAZANÇ VE PARAZİTİK EMPEDANS ETKİLERİ 26
3.6.1. VDIBA Tabanlı PID Denetleyici İdeal Olmayan Durum Analizi 26
3.6.2. DVCC Tabanlı PID Denetleyici İdeal Olmayan Durum Analizi 30
4. BULGULAR **35**

4.1. VDIBA TABANLI PID DENETLEYİCİ ZAMAN VE FREKANS CEVAPLARI.....35
4.2. DVCC TABANLI PID DENETLEYİCİ ZAMAN VE FREKANS CEVAPLARI.....44
4.3. ÖNERİLEN CM PID DENETLEYİCİLER İÇİN UYGULAMA ÖRNEĞİ 51
5. TARTIŞMA VE SONUÇ 59
KAYNAKLAR.....60

ŞEKİL LİSTESİ

Sayfa No

Şekil 1.1: Geri besleme döngüsündeki bir PID denetleyicinin blok diyagramı 2
Şekil 1.2: PID denetleyicinin geçici durum analizi birim adım yanıtı cevabı 3
Şekil 2.1: Op-amp'ın devre sembolü 6
Şekil 2.2: Op-amp tabanlı PID tasarımı [48] 7
Şekil 2.3: OTA'nın devre sembolü 7
Şekil 2.4: OTA tabanlı PID tasarımı [39] 8
Şekil 2.5: OTRA'nın devre sembolü 9
Şekil 2.6: OTRA tabanlı PID tasarımı [22] 9
Şekil 2.7: CCII'nın devre sembolü 10
Şekil 2.8: CCII tabanlı PID tasarımı [38] 10
Şekil 2.9: DDCC'nin devre sembolü 11
Şekil 2.10: DDCC tabanlı PID tasarımı [32] 12
Şekil 2.11: CDBA'nın devre sembolü 13
Şekil 2.12: CDBA tabanlı PID tasarımı [36] 14
Şekil 2.13: VDCC'nin devre sembolü 15
Şekil 2.14: VDCC tabanlı PID tasarımı [7] 15
Şekil 2.15: CFOA'nın devre sembolü 16
Şekil 2.16: CFOA tabanlı PID tasarımı [41] 17
Şekil 3.1: VDIBA'nın devre sembolü 18
Şekil 3.2: VDIBA'nın eşdeğer devresi [9] 19
Şekil 3.3: VDIBA'nın OTA ve birim kazançlı bir gerilim evirici ile gerçekleştirilmesi [10] 19
Şekil 3.4: DVCC'nin devre sembolü 20

Şekil 3.5: DVCC'nin eşdeğer devresi 20

Şekil 3.6: VDIBA tabanlı CM PID tasarımı 21

Şekil 3.7: DVCC tabanlı CM PID tasarımı 22

Şekil 3.8: Parazitik empedanslar dahil VDIBA 27

Şekil 3.9: Parazit empedanslar dahil VDIBA tabanlı PID denetleyici 30

Şekil 3.10: Parazitik empedanslar dahil DVCC 31

Şekil 3.11: Parazit empedanslar dahil DVCC tabanlı PID denetleyici 34

Şekil 4.1: VDIBA'nın iç yapısı [13] 36

Şekil 4.2: $2.99x10^{-3}$ mm^2 çip alanı kaplayan VDIBA düzeni 36

Şekil 4.3: $K_P = 0.6$, $K_I = 5\times10^6$, ve $K_D = 10^{-8}$ için CM PID denetleyici (a) genlik (b) faz cevapları 38

Şekil 4.4: $K_P = 0.6$, $K_I = 5\times10^5$, ve $K_D = 10^{-7}$ için CM PID denetleyici (a) genlik (b) faz cevapları 39

Şekil 4.5: $K_P = 0.6$, $K_I = 5\times10^4$, ve $K_D = 10^{-6}$ için CM PID denetleyici (a) genlik (b) faz cevapları 40

Şekil 4.6: Monte Carlo analizi (a) genlik (b) faz cevapları 41

Şekil 4.7: Sıcaklık analizi (a) genlik (b) faz cevapları 42

Şekil 4.8: Gürültü analizi sonuçları (a) giriş (b) çıkış 43

Şekil 4.9: DTMOS transistör ve sembolü 44

Şekil 4.10: DVCC'nin iç yapısı [20] 45

Şekil 4.11: $4.62x10^{-3}$ mm^2 çip alanı kaplayan DVCC düzeni 46

Şekil 4.12: CM PID denetleyici (a) genlik (b) faz cevapları 47

Şekil 4.13: Monte Carlo analizi (a) genlik (b) faz cevapları 48

Şekil 4.14: Sıcaklık analizi (a) genlik (b) faz cevapları 49

Şekil 4.15: Gürültü analizi sonuçları (a) giriş (b) çıkış 50

Şekil 4.16: Kapalı kontrol döngüsü mekanizmasının blok diyagramı 52

Şekil 4.17: a ideal ve simüle edilmiş hata fonksiyonu (b) ideal ve simüle edilmiş PID denetleyici çıkışı (c) sistemin birim basamak cevabı 54

Şekil 4.18: a ideal ve simüle edilmiş hata fonksiyonu (b) ideal ve simüle edilmiş PID denetleyici çıkışı (c) sistemin birim basamak cevabı 57

TABLO LİSTESİ

Sayfa No

Tablo 4.1: VDIBA'nın transistör boyutları 36

Tablo 4.2: DVCC'nin transistör boyutları 45

Tablo 4.3: DVCC'nin parazitik parametre değerleri 45

Tablo 4.4: Değişkenlerin üst ve alt sınırları 52

Tablo 4.5: Kontrolörlü ve kontrolörsüz sistemlerin performansları 53

Tablo 4.6: VDIBA tabanlı CM PID denetleyicinin diğer çalışmalarla karşılaştırması 55

Tablo 4.7: Kontrolörlü ve kontrolörsüz sistemlerin performansları 56

Tablo 4.8: DVCC tabanlı CM PID denetleyicinin diğer çalışmalarla karşılaştırması 58

SİMGE VE KISALTMA LİSTESİ

Simgeler	Açıklama
C	: Kapasite
g_m	: Geçiş iletkenliği
I_B	: Kutuplama akımı
I	: Akım
I_e	: Hata fonksiyonu
I_{PID}	: PID kontrolörün çıkış akım
I_{out}	: Kapalı kontrol döngüsünün çıkış akımı
K_P	: Oransal kazanç sabiti
K_I	: İntegral kazanç sabiti
K_D	: Türev kazanç sabiti
L	: MOS transistörün kanal uzunluğu
L	: Bobin
R	: Direnç
V	: Gerilim
V_{DD}	: Pozitif besleme gerilimi
V_{SS}	: Negatif besleme gerilimi
V_B	: Kutuplama geerilimi
W	: MOS transistörün kanal genişliği
ω	: Açısal frekans
β	: Gerilim transfer kazancı

Kısaltmalar	Açıklama
CM	: Current mode - Akım modlu
CFOA	: Current feedback operational amplifier - Akım geri beslemeli işlemsel kuvvetlendirici
CCCII	: Second generation current controlled conveyor - İkinci nesil akım kontrollü akım taşıyıcı
CCII	: Second generation current conveyor - İkinci nesil akım taşıyıcı
CDBA	: Current differencing buffered amplifier - Gerilim izleyicili akım farkı kuvvetlendirici
CDTA	: Current differencing transconductance amplifier - Akım farkı alan geçiş iletkenliği kuvvetlendirici
CFTA	: Current follower transconductance amplifier - Akım izleyici geçiş iletkenliği kuvvetlendirici
CFA	: Current feedback amplifier - Akım geri beslemeli kuvvetlendirici
CMOS	: Complementary metal oxide semiconductor - Tamamlayıcı metal oksit yarıiletken
DDCC	: Differential difference current conveyor- Diferansiyel fark akım taşıyıcı
DDTA	: Differential difference transconductance amplifier - Diferansiyel fark geçiş iletkenliği kuvvetlendirici
DTMOS	: Dynamic threshold-voltage metal oxide semiconductor - Dinamik eşik-gerilimli metal oksit yarı iletken
DVCC	: Differential voltage current conveyor - Gerilim farkı alan akım taşıyıcı
DDA	: Differential difference amplifier - Diferansiyel fark kuvvetlendiricisi
Ltspice	: Linear technology simulation program with integrated circuit emphasis - Entegre devre tabanlı simülasyon programı
LPF	: Low pass filter - Alçak geçiren filtre
MC	: Monte Carlo
NMOS	: N-channel metal oxide semiconductor - N-kanallı metal oksit yarı iletken
N/A	: No answer - Cevap yok
Op-amp	: Operational amplifier - İşlemsel kuvvetlendirici
OTA	: Operational transconductance amplifier - İşlemsel geçiş iletkenliği kuvvetlendirici
OTRA	: Operational transresistance amplifier - İşlemsel geçiş direnci kuvvetlendiricisi
PMOS	: P-channel metal oxide semiconductor - P-kanallı metal oksit yarı iletken
PID	: Proportional integral derivative - Oransal integral türevsel
SR	: Slew rate - Değişim hızı

TSMC : Taiwan semiconductor manufacturing company - Tayvan yarı iletken üretim şirketi

VDIBA : Voltage differencing inverting buffered amplifier - Gerilim farkını eviren tampon kuvvetlendirici

VDCC : Voltage differencing current conveyor - Gerilim farkı alan akım taşıyıcı

VDTA : Voltage differencing transconductance amplifier - Gerilim farkı alan geçiş iletkenliği kuvvetlendirici

VM : Voltage mode - Gerilim modlu

VOA : Voltage operational amplifier - Geleneksel gerilim op-amp

ÖZET

DOKTORA TEZİ

TÜMLEŞTİRMEYE UYGUN YENİ PID DENETLEYİCİ DEVRE TASARIMLARI VE UYGULAMALARI

Umut Cem ORUÇOĞLU

İstanbul Üniversitesi-Cerrahpaşa

Lisansüstü Eğitim Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Elektrik-Elektronik Mühendisliği Programı

Danışman : Prof. Dr. Fırat KAÇAR

Oransal İntegral Türevsel (PID) denetleyiciler, uzun yıllardır üzerinde çalışılan, klasik denetleyicilerdir. Basitliği, çok yönlülüğü, hızı, güvenilirliği, esnekliği ve sağlamlığı nedeniyle endüstriyel süreçte önemli bir bileşen olmaya devam etmektedir. Dünya çapında binlerce mühendis, günlük işlerinde PID kontrolörleri kullanmaktadır. Literatürde birçok analog ve dijital PID denetleyici tasarımı sunulmaktadır. Analog denetleyici tasarımlarında gerilim ve akım modu aktif elemanlar kullanılmaktadır.

Bu çalışmada tümleştirmeye uygun PID denetleyici devrelerinin tasarlanması amaçlanmaktadır. Bu PID denetleyiciler aktif ve pasif devre elemanları kullanılarak tasarlanmıştır. Aktif elemanların iç yapısı, tamamlayıcı metal oksit yarı iletken (CMOS) teknolojisi ile gerçekleştirilmiştir. Önerilen devrelerin tasarımı kolaydır ve kontrol parametreleri, tasarım konfigürasyonunu değiştirmeden ayarlanabilir. PID denetleyiciler teorik olarak incelenmiştir. Kontrol parametrelerinin hassasiyeti araştırılmıştır. Parazitik empedansların ideal olmayan koşullar altında çalışma frekans limitleri üzerindeki etkileri araştırılmıştır. PID denetleyicilerin zaman ve frekans analiz cevapları verilmiştir. Simülasyon sonuçları, Tayvan Yarı İletken Üretim Şirketi (TSMC) 0.18 µm CMOS teknoloji parametreleri ile Ltspice simülatör yazılımı kullanılarak elde edilmiştir. Önerilen PID tasarımlarının işlevselliğini göstermek için uygulama devresi örnekleri verilmiştir. Önerilen PID denetleyicilerini daha önce bildirilen tasarımlarla karşılaştırmak için ayrıntılı bir karşılaştırma tablosu verilmiştir.

Temmuz 2023 , 80 sayfa.

Anahtar kelimeler: PID denetleyici, CMOS, düşük gerilim, düşük güç

ABSTRACT

Ph.D. THESIS

NEW PID CONTROLLER CIRCUIT DESIGNS AND APPLICATIONS SUITABLE FOR INTEGRATION

Umut Cem ORUÇOĞLU

İstanbul University-Cerrahpaşa

Institute of Graduate Studies

Department of Electrical and Electronics Engineering

Electrical and Electronics Engineering Program

Supervisor : Prof. Dr. Fırat KAÇAR

Proportional Integral Derivative (PID) controllers are classical controllers that have been studied for many years. It remain a key component in industrial process due to its simplicity, versatility, speed, reliability, flexibility and robustness. Many thousands of engineers worldwide are using PID controllers in their daily work. Many analog and digital PID controller designs are presented in the literature. Voltage and current mode active elements are used in analog controller designs.

In this study, it is aimed to design PID controller circuits suitable for integration. These PID controllers are designed using active and passive circuit elements. The internal structure of the active elements are realized with complementary metal oxide semiconductor (CMOS) technology. The proposed circuits are easy to design, and the control parameters can be tuned without changing the design configuration. PID controllers have been analyzed theoretically. The sensitivity of the control parameters are investigated. The effects of parasitic impedances on operating frequency limits under non-ideal conditions are investigated. Time and frequency analysis responses of PID controllers are given. The simulation results are obtained by using Ltspice simulator software with Taiwan Semiconductor Manufacturing Company (TSMC) 0.18 μm CMOS technology parameters. Application circuit examples are given to demonstrate the workability of the proposed PID designs. A detailed comparison table is given to compare the proposed PID controllers with previously reported designs.

July 2023, 80 pages.

Keywords: PID controller, CMOS, low voltage, low power

1. GİRİŞ

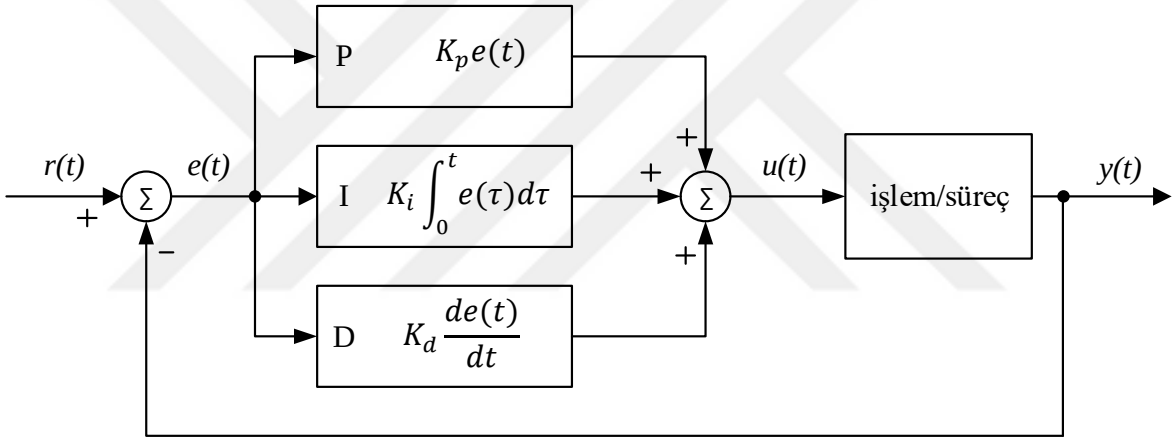
Oransal İntegral Türevsel (PID) denetleyici, geri besleme yolu içeren bir kontrol döngüsü mekanizmasıdır. PID denetleyicilerinin kullanımı birçok alanda giderek artarak varlığını sürdürmektedir. Günümüzün birçok endüstriyel işlem PID kontrolörler tarafından kontrol edildiğinden, endüstriyel alanda önemli bir bileşen olmaya devam etmektedir. Sadeliği, çok yönlülüğü, hızı, güvenilirliği, esnekliği ve sağlamlığı nedeniyle kontrole ihtiyaç duyulan alanlarda yaygın olarak tercih edilmektedir. Bir sistemin Master-Slave senkronizasyonu için otomatik ayarlama, endüstriyel bir ürün için sıcaklık kontrolü ve ayar noktası sıcaklığının izlenmesi, bir bilye ve çubuk sistemi için bilye konumu kontrolü, eğitimsel ve teknik amaçlar için iki serbestlik derecesinin ayarlanması, çok yönlü mobil platformun kontrolü, ayak bileği rehabilitasyonu için robot destekli yürüyüş eğitiminde robotik platformun pozisyon kontrolü, iletişim sisteminde faz kilitli döngü kontrolü, beyin-makine arayüzü uygulamaları için kapalı döngü mekanizması PID denetleyicilerinin kullanımını gerektiren alanlardan sadece birkaçıdır.

PID, bir kontrol işlemine sürekli olarak düzeltme uygular ve süreç optimizasyonu sağlar. PID doğru ve optimum kontrol uygulamak için kontrolör çıkışı üzerindeki orantılı, integral ve türev etkisinden oluşan üç kontrol terimini kullanır. Oransal kazanç sabiti (K_P), integral kazanç sabiti (K_I) ve türev kazanç sabiti (K_D) bir PID denetleyicinin matematiksel denklemini oluşturan parametrelerdir ve bu parametrelerin değiştirilmesi kolaydır. Tepki hızı K_P tarafından kontrol edilir, sabit durum hatası K_I tarafından kontrol edilir ve sistem kararlılığı K_D tarafından kontrol edilir. K_P'nin arttırılması, kontrol sinyali u(t)'yi orantılı olarak arttırma etkisine sahiptir. Bu da kapalı döngü sisteminin daha hızlı tepki vermesine ve u(t)'nin ilk salınımdaki yükselmeye (aşma) neden olma eğilimindedir. K_P'yi artırmanın bir başka etkisi de kararlı durum hatasını azaltma eğiliminde olmasıdır. K_I sabit durum hatasını azaltmaya yardımcı olma eğilimindedir. Kalıcı, sabit bir hata varsa kontrol sinyalini artırır ve hatayı azaltır. Bununla birlikte dezavantajı ise sistemi daha yavaş ve aşma haline getirebilmesidir. K_D ise sistemin aşma değerini azaltmaya yardımcı olma eğilimindedir, kararlı durum hatası üzerinde hiçbir etkisi yoktur.

PID denetleyici, kavramsal olarak üç ayrı düzeltme teriminin toplamı olarak adlandırılır. Oransal, integral ve türev terimleri toplanarak PID denetleyicinin çıktısının hesaplanması sağlanır. u(t) 'yi denetleyicinin çıkışı olarak tanımlarsak, bir PID denetleyicinin genel matematiksel denklemi aşağıdaki gibi elde edilir:

$$u(t) = K_p e(t) + K_i \int_0^t e(\tau)d\tau + K_d \frac{de(t)}{dt} \tag{1.1}$$

Bir PID denetleyici, istenilen süreç değeri r(t) ile ölçülen süreç değeri y(t) arasındaki farkı bir hata değeri e(t) olarak sürekli hesaplayarak oransal, integral ve türev terimlerine uygular. Şekil 1.1'de bu terimlerin nasıl oluşturulduğuna ve uygulandığına ilişkin ilkeler bir PID denetleyicinin blok diyagramı üzerinden gösterilmiştir.

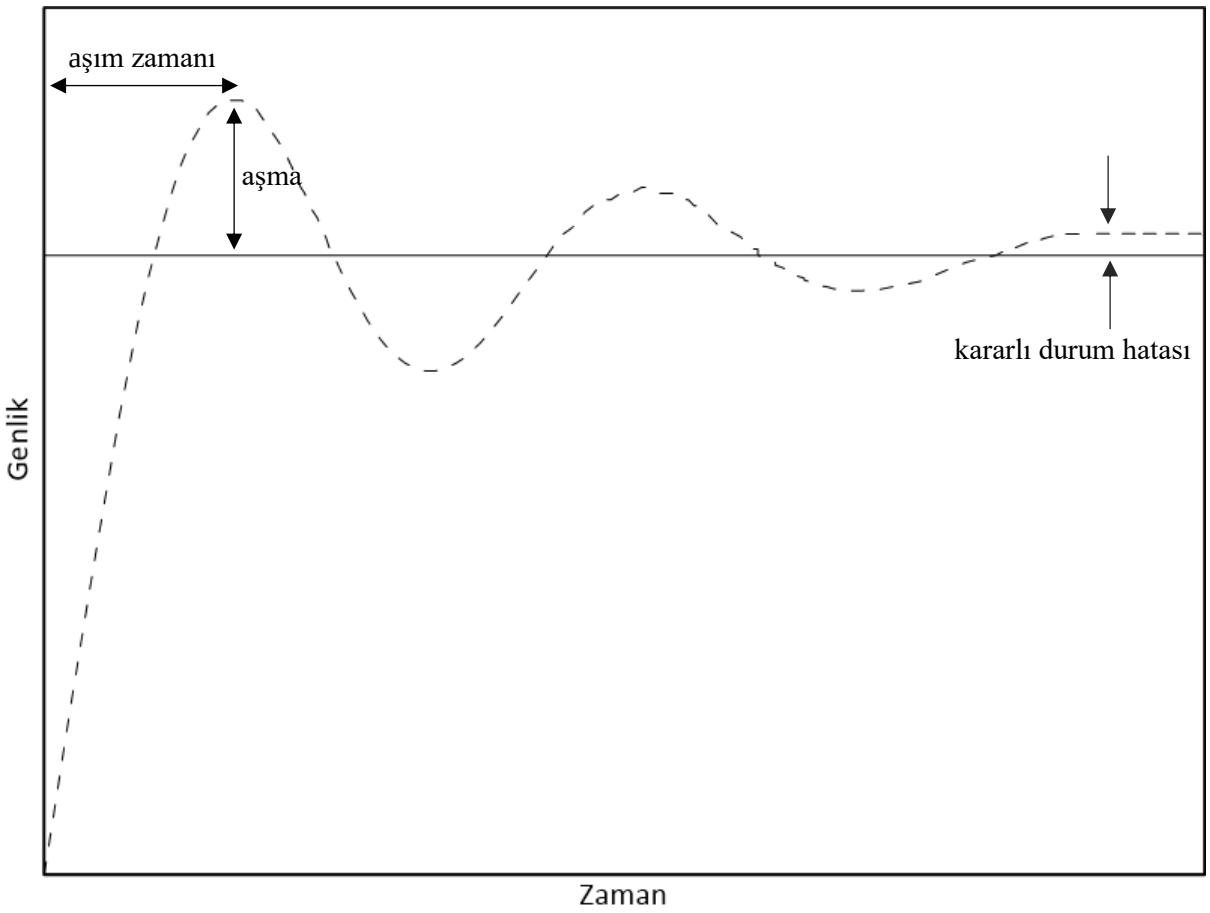


Şekil 1.1: Geri besleme döngüsündeki bir PID denetleyicinin blok diyagramı

Yukarıdaki şekil, PID denetleyicinin yapısını göstermektedir, işlem/süreç bloğuna çıktısını veren bir PID bloğundan oluşur. Yapı, endüstride çeşitli süreçleri kontrol etmeyi amaçlayan nihai kontrol cihazlarından oluşur.

Bir kontrol sisteminin performansı, birim adım giriş fonksiyonunun geçici yanıtı üzerinden incelenebilir. Şekil 1.2'de bir düşük sönümlü durumdaki sistemin zaman tepkisi karakteristikleri incelenmiştir. Gecikme zamanı, tepkinin sıfır anından nihai değerinin yarısına ulaşması için gereken süredir. Yükselme zamanı; sinyal düşük sönümlüyse, yanıtın nihai değerinin %0'dan %100'üne yükselmesi için gereken süredir. Sinyal aşırı sönümlüyse, yanıtın nihai değerinin %10'undan %90'ına yükselmesi için gereken süre olarak ifade edilir. Yerleşme zamanı, bir yanıtın sabit hale gelmesi için gereken süredir. Yanıtın nihai değerinin %2 ila %5'lik

belirtilen aralığına ulaşması ve sabit kalması için gereken süre olarak tanımlanır. Aşım zamanı, tepkinin aşımın ilk zirvesine ulaşması için gereken süredir.



Şekil 1.2: PID denetleyicinin geçici durum analizi birim adım yanıtı cevabı

Günümüzde hem dijital hem de analog PID kontrolör devre tasarımları üretilebilir durumdadır. Literatürde, aktif devre elemanları ile tasarlanmış çok çeşitli PID denetleyici tasarım yaklaşımları bulunmaktadır. Bu tasarımlar gerilim modlu (VM) ve akım modlu (CM) olarak sınıflandırılır. Geçiş iletkenliği kuvvetlendiricileri (OTA'lar), gerilim izleyicili akım farkı kuvvetlendirileri (CDBA'lar), ikinci nesil akım kontrollü akım taşıyıcılar (CCCII'ler), ikinci nesil akım taşıyıcılar (CCII'ler) ve akım geri beslemeli işlemsel kuvvetlendiriciler (CFOA'lar) kullanılan aktif devre elemanlarından birkaç tanesidir.

1.1. TEZİN AMACI VE PLANI

Bu tez çalışmasında amaç, literatürde verilen PID tasarımlarına bir alternatif sunmaktır. CMOS teknolojisi ile tümleştirmeye uygun şekilde tasarlanmış, kuvvetlendirici yapıları ve pasif devre elemanları kullanılarak; akım modlu, düşük güç tüketen, geniş bantlı, çip üzerinde az yer işgal eden ve yüksek performanslı PID denetleyici devrelerinin tasarlanması amaçlanmıştır. Yapının tümleştirmeye uygun olması adına, tasarım içerisinde topraklanmış pasif devre elemanları kullanılacaktır. Devre tasarımında dikkat edilen hususlar; yapının birbirlerinden bağımsız olarak ayarlanabilen kontrol parametrelerine (K_P, K_I ve K_D) sahip olması ve yine bu parametrelerden bağımsız olarak yalnızca pasif devre elemanlarıyla kontrol edilebilir olması olmuştur.

Tez çalışması kapsamında iki ayrı PID denetleyici yapısından bahsedilecek olup, her iki yapı da detaylı olarak incelenmiştir. İlk yapı, gerilim farkını eviren tampon kuvvetlendirici (VDIBA) tabanlı CM PID denetleyicidir. Bu CM PID denetleyici, tek bir VDIBA, üç direnç ve iki topraklanmış kapasitör ile tasarlanmıştır. Önerilen devrenin tasarımı kolaydır ve kontrol parametreleri, tasarım konfigürasyonunu değiştirmeden ayarlanabilir. Kontrol parametrelerinin elektronik elemanlara duyarlılık analizleri yapılmıştır. Yapı, entegre devre tabanlı simülasyon programı (LTspice) ile TSMC 0.18 μm CMOS teknolojisi parametreleri kullanılarak gerçekleştirilmiştir. Önerilen PID tasarımının güvenilirliğini göstermek için bir uygulama devresi örneği verilmiştir. İkinci yapı ise, gerilim farkı alan akım taşıyıcı (DVCC) tabanlı CM PID denetleyicidir. Önerilen PID denetleyici, tek bir DVCC, iki direnç ve iki topraklanmış kapasitör ile tasarlanmıştır. DVCC'nin iç yapısı, dinamik eşik-gerilimli metal oksit yarı iletken (DTMOS) tekniği ile tasarlanmıştır. PID denetleyici devresinin güç tüketimi ve besleme gerilimleri, DTMOS tekniği kullanılarak geleneksel devre tasarımına kıyasla önemli ölçüde azaltılmıştır. Simülasyon sonuçları, yine aynı şekilde TSMC 0.18 μm CMOS teknoloji parametreleri ile LTspice simulatör yazılımı kullanılarak elde edilmiştir. Önerilen PID tasarımının çalışabilirliğini göstermek için bir uygulama devresi örneği verilmiştir. Önerilen PID denetleyicileri daha önce bildirilen tasarımlarla kıyaslamak adına ayrıntılı bir karşılaştırma tablosu da verilmiştir.

2. KAVRAMSAL ÇERÇEVE

2.1. PID DENETLEYİCİ TASARIMI

Geri beslemeli kontrolünün başarısı, bir sistemi daha hızlı, daha kesin ve bozulmalara karşı daha az duyarlı hale getirmesinden dolayıdır. Açık döngü kontrolü ise basit tasarımı ile sistemin yalnızca giriş ve çıkış bilindiğinde ve herhangi bir bozulmanın olmadığı durumlarda kullanımı tavsiye edilir. Geri besleme döngüleri ile sürekli süreç kontrolü uzun yıllardan beri varlığını sürdürmektedir. PID denetleyici ise bu döngü içerisinde en yaygın olarak kullanılan kontrol algoritmasıdır. Çoğu geri besleme döngüsü, bu algoritma tarafından kontrol edilir.

PID denetleyici, içerisinde geri besleme yolu barındıran bir kontrol döngüsü mekanizmasıdır. Bir kontrol sistemine otomatik olarak doğru ve duyarlı düzeltme uygular. PID denetleyici, sistem üzerine kontrol uygulamak için istenilen süreç değeri ile ölçülen süreç değeri arasındaki farkı bir hata değeri olarak sürekli hesaplayarak üzerindeki K_P, K_I ve K_D etkisinden oluşan üç kontrol terimine uygular. Bir kontrol sisteminin etkinliği, sistemin birim adım giriş fonksiyonunun geçici yanıtına verdiği cevap üzerinden açıklanabilir. Her bir denetleyici parametresinin kapalı çevrim sistem üzerindeki genel etkileri ayrı ayrı incelenebilir. K_P'nin arttırılması kapalı çevrim sistemin daha hızlı tepki vermesine neden olma eğilimindedir. Ayrıca, aşımı attırma eğilimindedir ve kararlı durum hatasının azalma eğilimine girmesine neden olur. K_D'nin arttırılması aşımı azaltma eğilimindedir, ancak kararlı durum hatası üzerinde hiçbir etkisi yoktur. K_I'nın arttırılması kararlı durum hatasını azaltmaya yardımcı olma eğilimindedir.

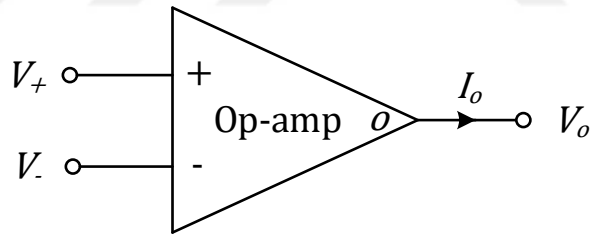
PID denetleyicilerin temel tasarım teorisi aynı kalsa da yaşanan teknolojik gelişmelerle birlikte günümüzde işlem/süreç kontrolünde, uçak sistemlerinde, otomobillerde, ev ekipmanlarında ve taşınabilir cihazlarda yaygın olarak kullanılmaktadır. Geniş bantlı, yüksek kazançlı kuvvetlendirici devre tasarımlarının negatif geri beslemeli denetleyicilerde kullanımı ile geri beslemeli denetleyicilerin yaygın olarak kullanımına başlanılmıştır. PID kontrolörün endüstriyel popülaritesi tasarımın basitliği, endüstriyel çevrelerdeki yaygın bilinirliği ve sağlam performansından kaynaklanmaktadır. Günümüzde, PID denetleyiciler kuvvetlendirici yapıları, kapasitörler ve dirençler gibi analog devre elemanları kullanılarak kolayca tasarlanabilmektedirler.

2.2. TASARIMLARDA KULLANILAN AKTİF DEVRE ELEMANLARI

Literatürde birçok analog PID denetleyici devresi bulunmaktadır. İşlemsel kuvvetlendirici (Op-amp), OTA, işlemsel geçiş direnci kuvvetlendiricisi (OTRA), CCII, diferansiyel fark akım taşıyıcı (DDCC), CDBA, gerilim farkı alan akım taşıyıcı (VDCC) ve CFOA tabanlı tasarımlar bunlardan birkaç tanesidir.

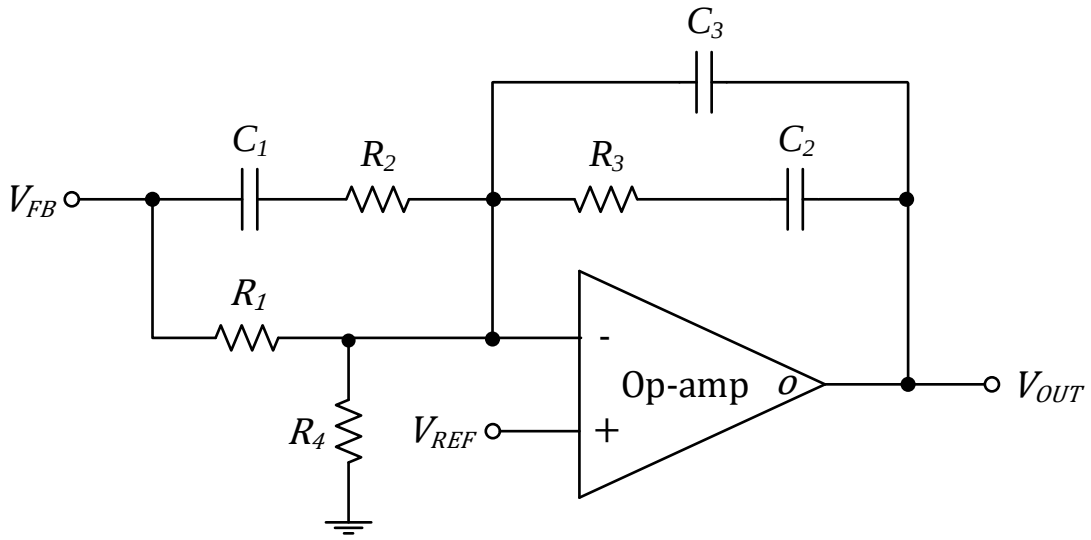
Op-amp, girişine uygulanan elektrik sinyallerini kuvvetlendirerek tek uçlu bir çıkışa aktaran yüksek kazançlı bir gerilim yükselticisidir. Uzun süredir kullanılmakta olup, ilk tasarımlar ayrı bileşenlerden (vakum tüpleri, transistörler ve dirençler) oluşmuş ve bu yüzden maliyetleri çok yüksek olmuştur. 1960'ların ortalarında ilk tümdevre Op-amp üretilmiştir ve böylece elektronik devre tasarımında yeni bir çağın başlayacağının sinyalini vermiştir. Popülaritesinin nedenlerinden biri çok yönlülüğüdür. Op-amp'ların devre tasarımlarında kullanmaya başlanması maliyetinin önemli ölçüde düşmesine neden olmuştur [1]. Op-amp devre sembolü Şekil 2.1'de verilmiştir. İdeal Op-amp'ın port ilişkisi aşağıdaki gibidir:

$$[V_o] = [A_V \quad -A_V] \begin{bmatrix} V_+ \\ V_- \end{bmatrix} \tag{2.1}$$



Şekil 2.1: Op-amp'ın devre sembolü

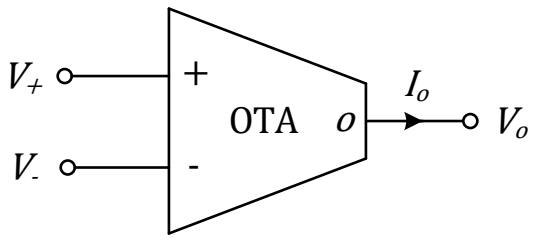
Literatürde bulunan Op-amp tabanlı PID denetleyici; tek bir Op-amp, dört direnç ve üç kapasitör ile tasarlanmıştır [48]. PID denetleyici tasarımı, Şekil 2.2'de sunulmuştur.



Şekil 2.2: Op-amp tabanlı PID tasarımı [48]

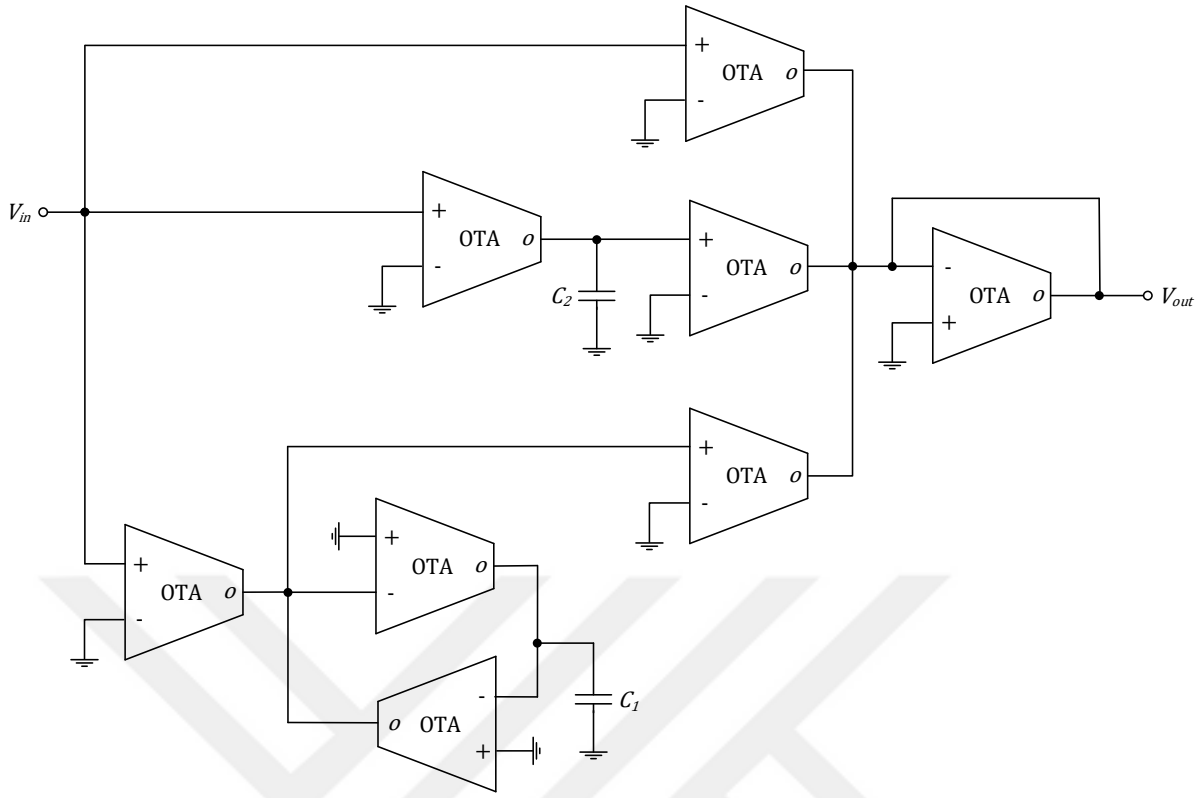
OTA'lar diferansiyel giriş gerilimiyle bir çıkış akımı üreten yükselticilerdir. Bu nedenle, yüksek çıkış empedansına sahip bir gerilim kontrollü akım kaynağı olarak ifade edilir. OTA, giriş empedansı yüksek olduğu için standart bir işlemsel kuvvetlendiriciye benzer yapıdadır [2]. Gerilim veya akımları yükseltmek için yapılandırılabilir. OTA'nın çok yönlü kullanılabilir olması sebebiyle filtreler, analog dijital dönüştürücüler ve osilatörler gibi birçok elektronik tümdevre tasarımında kullanılmasına olanak sağlar. OTA'lar, kuvvetlendiri yapılarında geniş bant genişliği sunan çok yönlü yapı taşlarıdır. OTA, ideal bir transistör olarak görülebilir. OTA devre sembolü Şekil 2.3'te verilmiştir. İdeal OTA'nın port ilişkisi aşağıdaki gibidir:

$$[V_o] = [g_m \quad -g_m] \begin{bmatrix} V_+ \\ V_- \end{bmatrix} \tag{2.2}$$



Şekil 2.3: OTA'nın devre sembolü

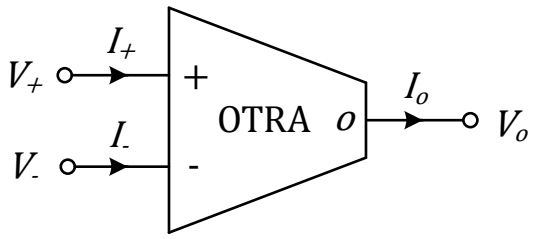
Literatürde bulunan OTA tabanlı PID denetleyici; sekiz OTA ve iki kapasitör ile tasarlanmıştır [39]. PID denetleyici tasarımı, Şekil 2.4'te sunulmuştur.



Şekil 2.4: OTA tabanlı PID tasarımı [39]

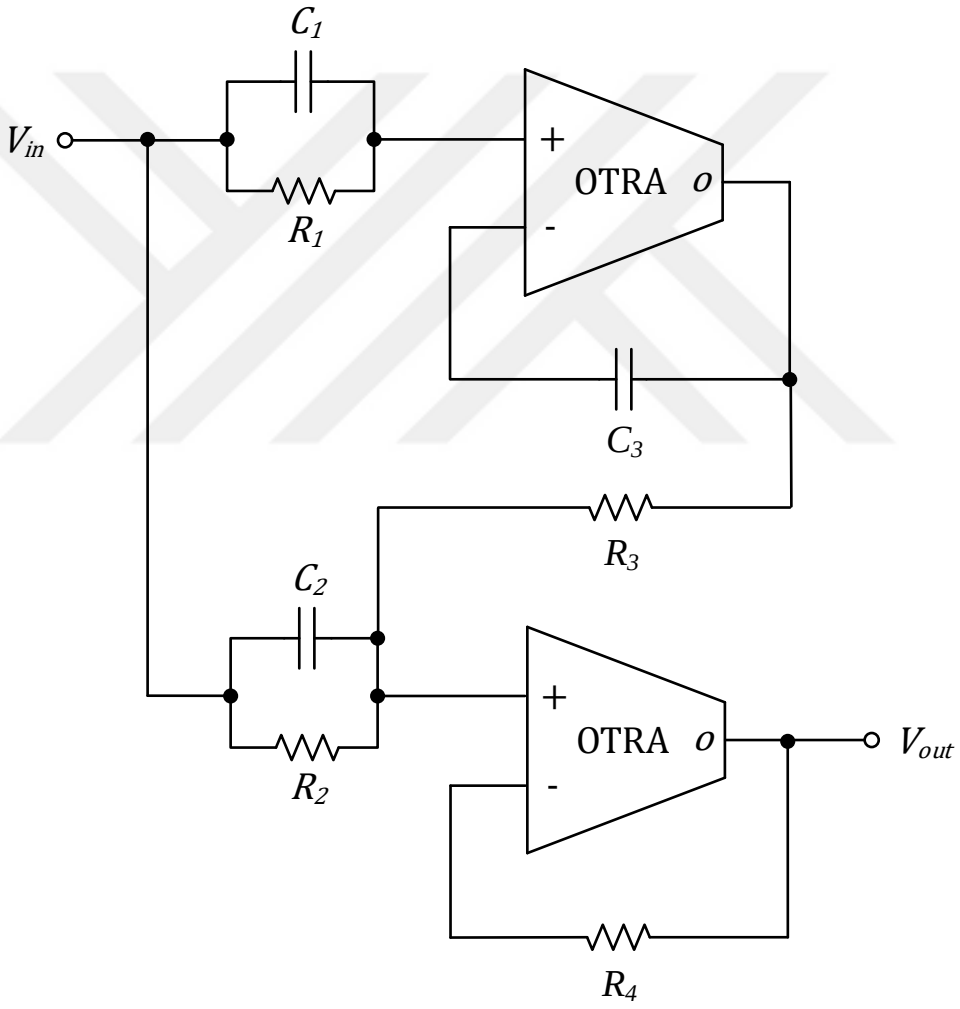
OTRA, analog tümdevreler ve sistemlerin en önemli yapı taşlarından biridir. Mobil iletişime yönelik artan talep, yüksek frekans uygulamalarına yönelik araştırmaları geliştirmiştir. Yüksek frekanslar için yeni tasarlanan devre topolojilerinde, geleneksel VM yapılar yerine CM yaklaşım tercih edilmektedir. CM yapılar daha yüksek bant genişliklerine sahiptir. Diferansiyel giriş akımlarıyla bir çıkış gerilimi üreten yükselticilerdir [3]. OTRA'nın düşük giriş ve çıkış empedansları ve bant genişliğinden bağımsız kazanç değeri yapısal avantajları arasında gösterilebilir. Dezavantaj olarak ise, tasarımında çok sayıda aktif eleman kullanılması gösterilebilir. OTRA devre sembolü Şekil 2.5'te verilmiştir. İdeal OTRA'nın port ilişkisi aşağıdaki gibidir:

$$[V_o] = [R_m \quad -R_m] \begin{bmatrix} I_+ \\ I_- \end{bmatrix} \tag{2.3}$$



Şekil 2.5: OTRA'nın devre sembolü

Literatürde bulunan OTRA tabanlı PID denetleyici; iki OTRA, dört direnç ve üç kapasitör ile tasarlanmıştır [22]. PID denetleyici tasarımı, Şekil 2.6'da sunulmuştur.

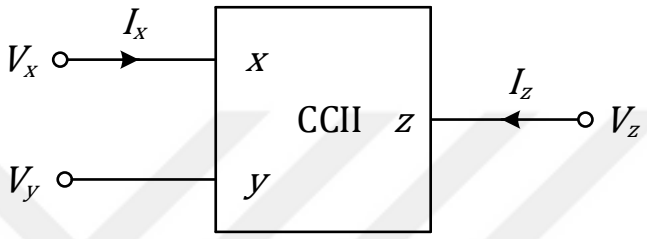


Şekil 2.6: OTRA tabanlı PID tasarımı [22]

Akım taşıyıcılar 1968'de Smith ve Sedra tarafından ilk kez önerilmesinden bu yana kullanılmaktadırlar. İlk nesil olan akım taşıyıcılar, 1970 yılında ikinci nesil olan CCII ile değiştirilmiştir [4]. Akım taşıyıcılar, geleneksel işlemsel kuvvetlendiricilerin kazanç-bant

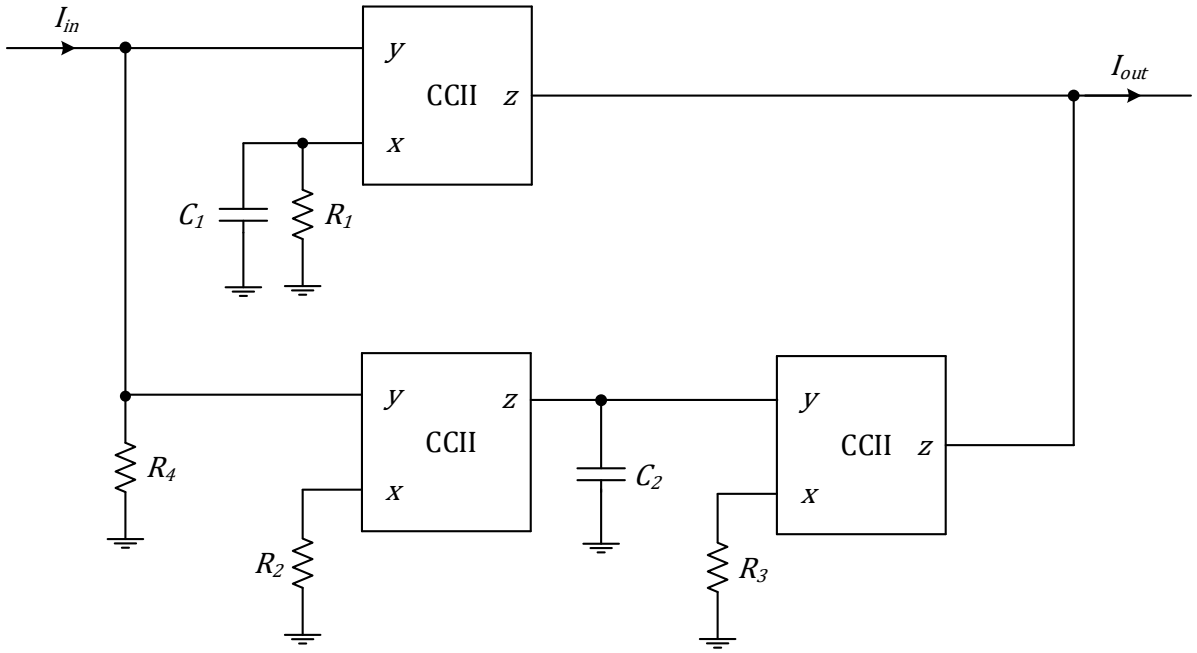
genişliği sınırlaması nedeniyle kullanılamadığı yüksek frekanslı uygulamalarda kullanılırlar. Çıkış akımı, yalnızca giriş akımıyla veya girişe bağlı empedans üzerinden elde edilen giriş geriliminin kopyası tarafından üretilebilir, ± işareti, CCII− veya CCII+ olarak adlandırılan eviren veya evirmeyen bir devre olarak formüle edilip edilmediğini gösterir. CCII devre sembolü Şekil 2.7'de verilmiştir. İdeal CCII'nın port ilişkisi aşağıdaki gibidir:

$$\begin{bmatrix} V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ 0 & \pm 1 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \end{bmatrix} \tag{2.4}$$



Şekil 2.7: CCII'nın devre sembolü

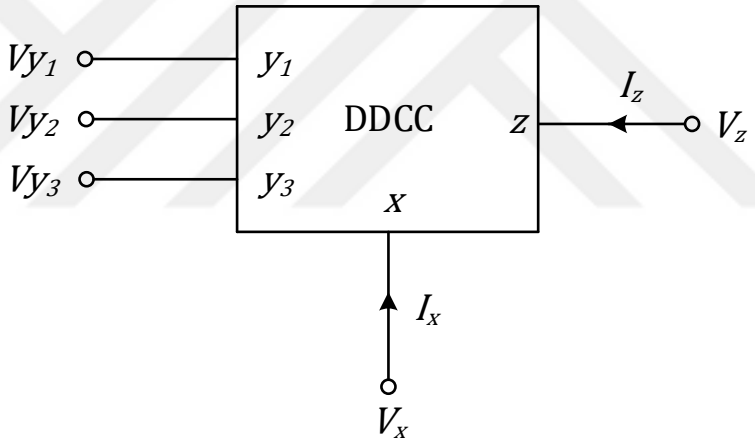
Literatürde bulunan CCII tabanlı PID denetleyici; üç CCII, dört direnç ve iki kapasitör ile tasarlanmıştır [38]. PID denetleyici tasarımı, Şekil 2.8'de sunulmuştur.



Şekil 2.8: CCII tabanlı PID tasarımı [38]

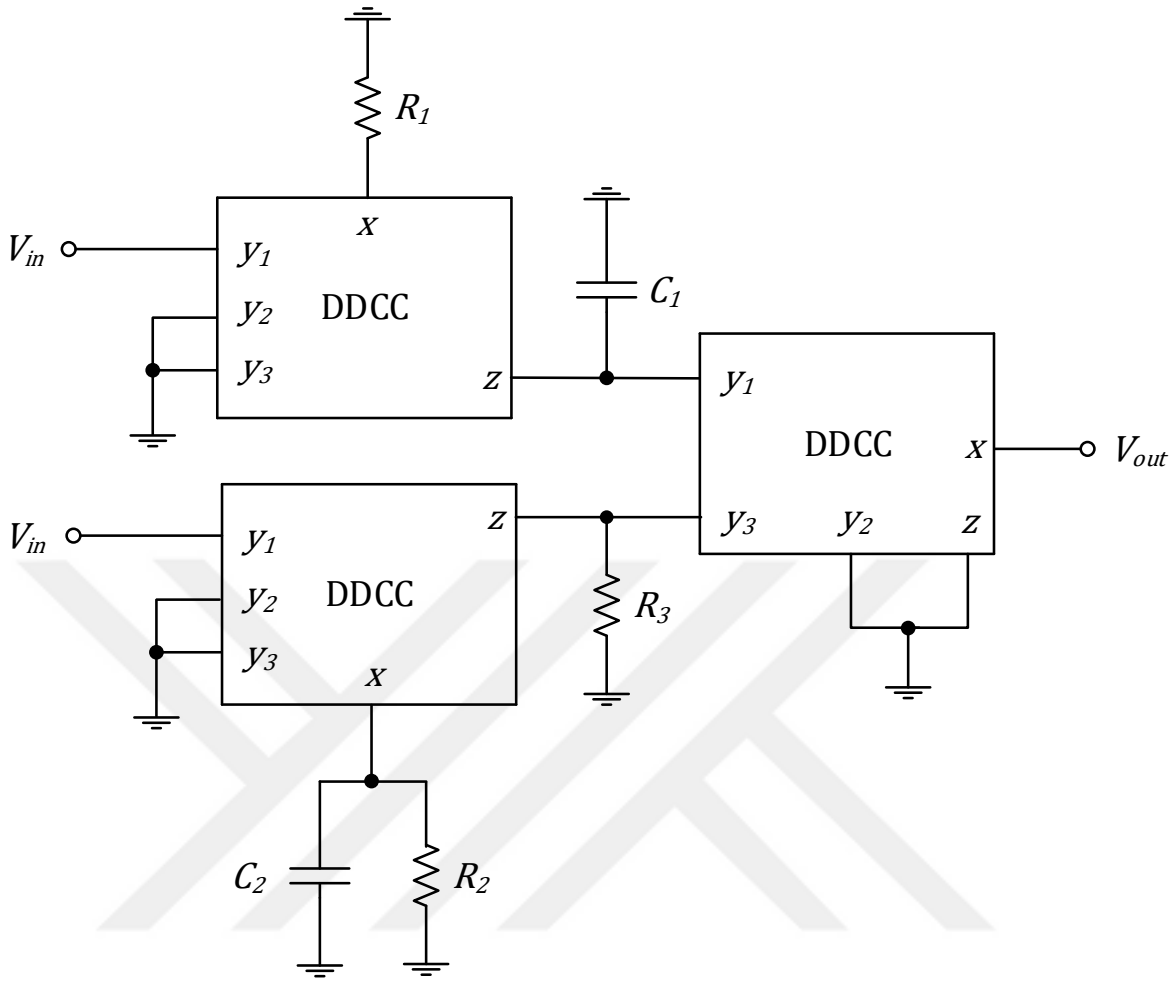
Akım modu devreler, geniş bir uygulama yelpazesi ile önemli bir devre sınıfı olarak ortaya çıkmaya başlamıştır. 1970 yılında piyasaya sürüldüğünden beri, literatürde CCII kullanan amplifikatörler, filtreler, osilatörler ve sinyal işleme devreleri gibi çeşitli uygulamalar önerilmiştir. Daha sonrasında ise, diferansiyel fark kuvvetlendiricisi (DDA) önerilip çok sayıda uygulamada kullanılmıştır. Yüksek giriş empedansı, düşük çıkış empedansı, düşük bileşen sayısı ve aritmetik işlemleri gerçekleştirme yeteneği gibi DDA'nın olumlu özellikleri ve yüksek doğruluk, bant genişliği ve yüksek kazanç sabiti gibi CCII'nın avantajlarıyla birleştirilerek DDCC adı verilen yeni bir yapı taşına dönüşmüştür [5]. DDCC devre sembolü Şekil 2.9'da verilmiştir. İdeal DDCC'nin port ilişkisi aşağıdaki gibidir:

$$\begin{bmatrix} V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 1 & -1 & 1 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_{y_1} \\ V_{y_2} \\ V_{y_3} \\ I_x \end{bmatrix} \tag{2.5}$$



Şekil 2.9: DDCC'nin devre sembolü

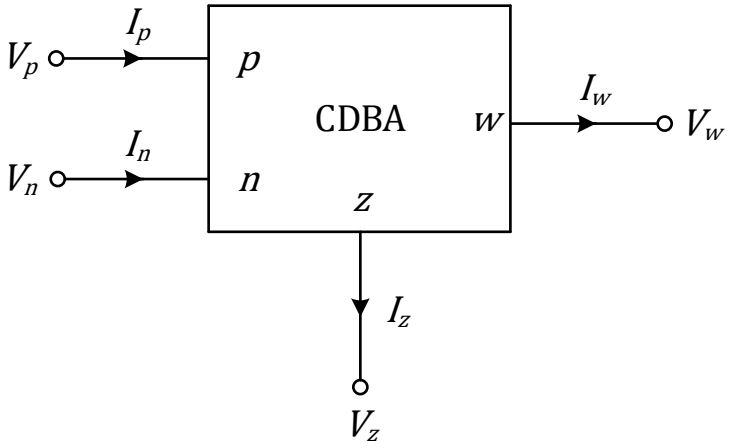
Literatürde bulunan DDCC tabanlı PID denetleyici; üç DDCC, üç direnç ve iki kapasitör ile tasarlanmıştır [32]. PID denetleyici tasarımı, Şekil 2.10'da sunulmuştur.



Şekil 2.10: DDCC tabanlı PID tasarımı [32]

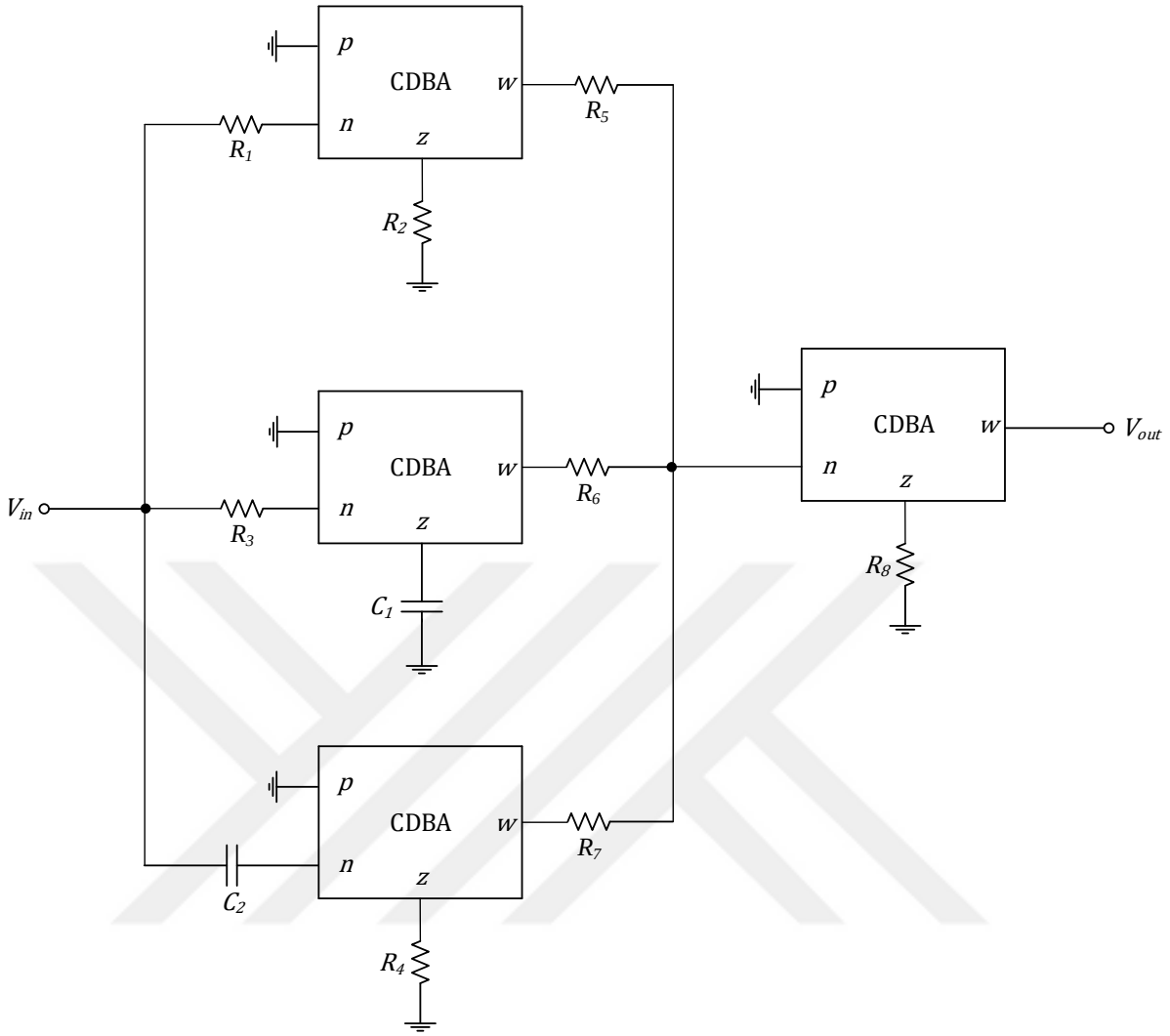
CDBA, akım geri beslemeli kuvvetlendiriciden (CFA) türetilmiştir. Bu eleman, bağımlı akım ve gerilim kaynakları içermektedir. CDBA, giriş akımlarının farkını çıkış gerilimine dönüştüren bir geçiş empedansı kuvvetlendirici olarak düşünülebilir. Akım farkı ve gerilim izleyici devrelerinin kaskad bağlantısıyla devre tasarımı gerçekleştirilebilir. Tasarım olarak, birçok parazit kapasitif etkiden arındırılmış olup bu yönüyle yüksek frekanslarda çalışabilmek için uygundur. Dezavantaj olarak ise, mevcut CDBA tasarımlarının çoğunun yüksek besleme gerilimlerinde çalışması nedeniyle çok fazla güç tüketimine ihtiyaç duymaları gösterilebilir [6]. CDBA devre sembolü Şekil 2.11'de verilmiştir. İdeal CDBA'nın port ilişkisi aşağıdaki gibidir:

$$\begin{bmatrix} I_z \\ V_w \end{bmatrix} = \begin{bmatrix} 0 & 1 & -1 \\ 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_z \\ I_p \\ I_n \end{bmatrix} \tag{2.6}$$



Şekil 2.11: CDBA'nın devre sembolü

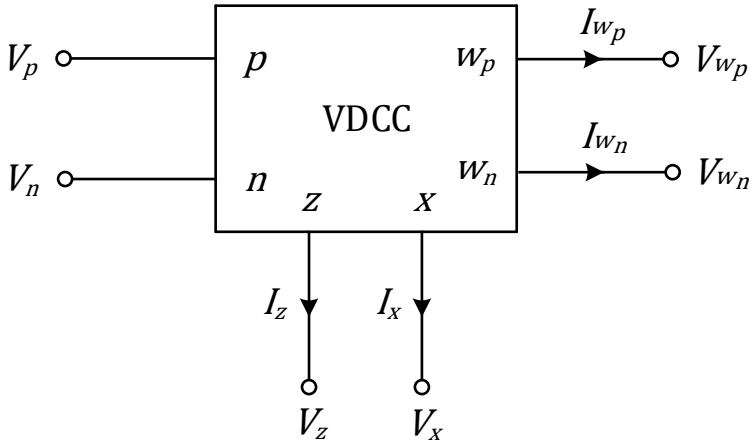
Literatürde bulunan CDBA tabanlı PID denetleyici; dört CDBA, sekiz direnç ve iki kapasitör ile tasarlanmıştır [36]. PID denetleyici tasarımı, Şekil 2.12'de sunulmuştur.



Şekil 2.12: CDBA tabanlı PID tasarımı [36]

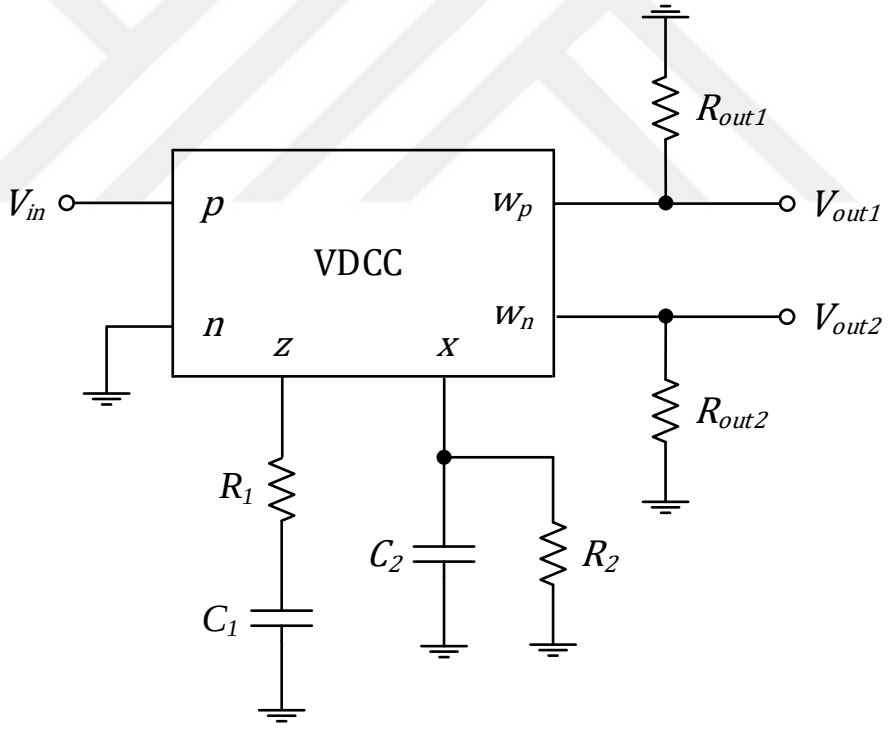
VDCC, OTA ve CCII elemanlarıyla oluşturur. İlk aşamada, OTA, giriş gerilimlerinin farkıyla orantılı olan geçiş iletkenliği kazancına sahip bir çıkış akımı üretir. İkinci aşamada ise akım, CCII tarafından eviren ve evirmeyen çıkış terminallerine aktarılır [7]. VDCC devre sembolü Şekil 2.13'te verilmiştir. İdeal VDCC'nın port ilişkisi aşağıdaki gibidir:

$$\begin{bmatrix} I_z \\ V_x \\ I_{w_p} \\ I_{w_n} \end{bmatrix} = \begin{bmatrix} g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & -1 \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \\ I_x \end{bmatrix} \tag{2.7}$$



Şekil 2.13: VDCC'nin devre sembolü

Literatürde bulunan VDCC tabanlı PID denetleyici; bir VDCC, dört direnç ve iki kapasitör ile tasarlanmıştır [7]. PID denetleyici tasarımı, Şekil 2.14'te sunulmuştur.

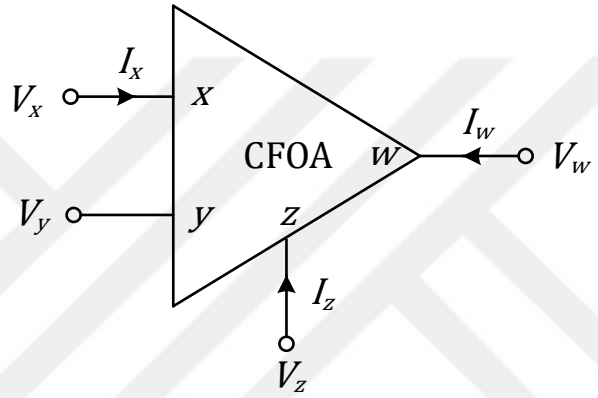


Şekil 2.14: VDCC tabanlı PID tasarımı [7]

CFOA'lar aynı zamanda geçiş empedansı işlemsel kuvvetlendiricisi olarak da bilinir. CFOA'lar yüksek hızlı oluşları ve yüksek değişim hızı (SR) karakteristikleri sebebiyle analog sinyal işlemedeki performanslarıyla tanınmaktadır. CFOA, bir CCII ve bir gerilim tamponunun kaskad şekilde birleştirilmesi olarak kabul edilir. Giriş tamponunun çıkış düğümüne akan akım,

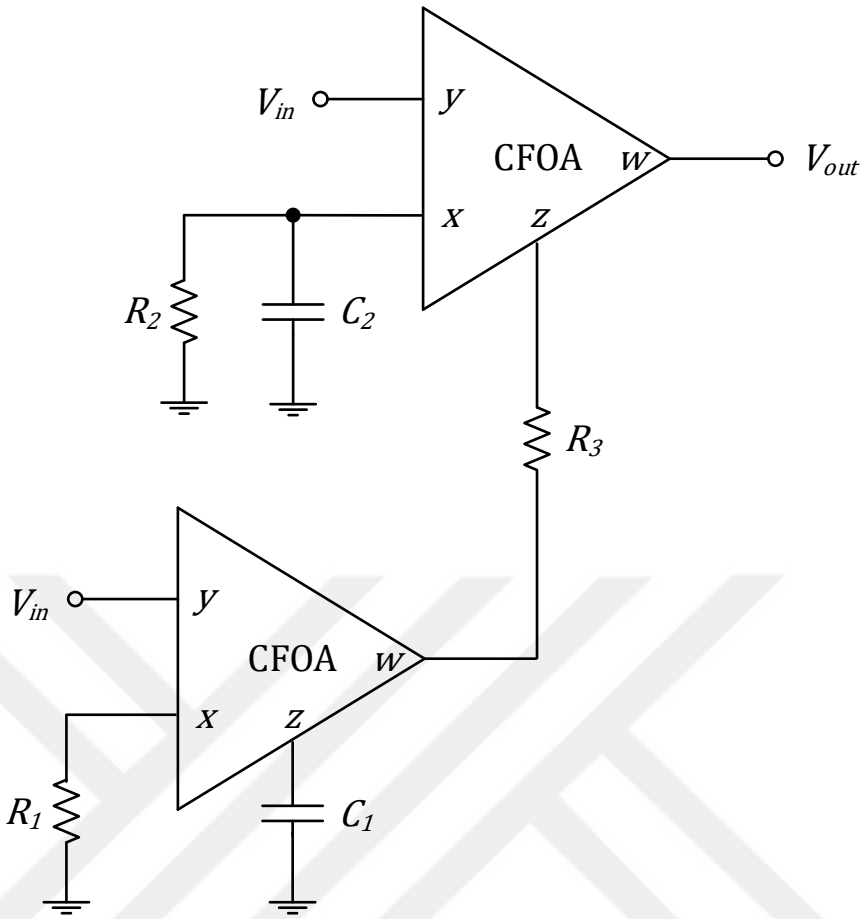
yüksek empedanslı bir düğüm boyunca gerilime dönüştürür, böylece CFOA'nın geçiş direnci kazancını belirler. CFOA ve geleneksel gerilim op-amp (VOA) arasındaki topolojik yapı farklılıklarına rağmen, kullanıldıkları devre ve uygulamalar birbirlerine çok benzerdir. CFOA, giriş ve çıkış arasında yüksek kazanç, yüksek dirençli evirmeyen bir giriş ve düşük dirençli bir çıkış sağlar, bunlar aynı zamanda bir VOA'nın da temel özellikleridir [8]. CFOA devre sembolü Şekil 2.15'te verilmiştir. İdeal CFOA'nın port ilişkisi aşağıdaki gibidir:

$$\begin{bmatrix} V_x \\ I_z \\ V_w \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \tag{2.8}$$



Şekil 2.15: CFOA'nın devre sembolü

Literatürde bulunan CFOA tabanlı PID denetleyici; iki CFOA, üç direnç ve iki kapasitör ile tasarlanmıştır [41]. PID denetleyici tasarımı, Şekil 2.16'da sunulmuştur.



Şekil 2.16: CFOA tabanlı PID tasarımı [41]

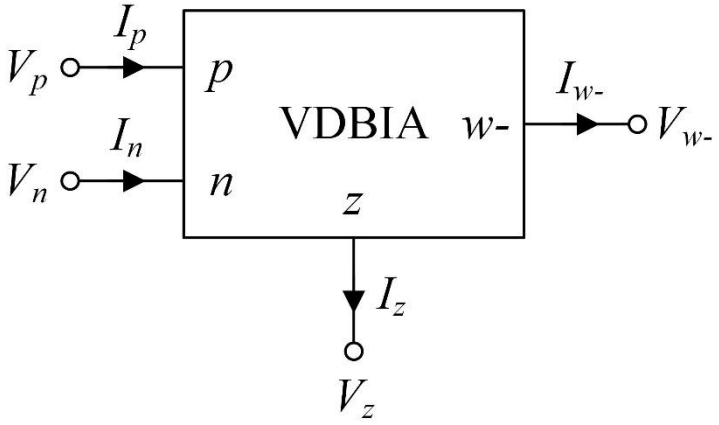
3. YÖNTEM

3.1. ÖNERİLEN TASARIMLARDA KULLANILAN AKTİF DEVRE ELEMANLARI

3.1.1. Gerilim Farkını Eviren Tampon Kuvvetlendirici (VDIBA)

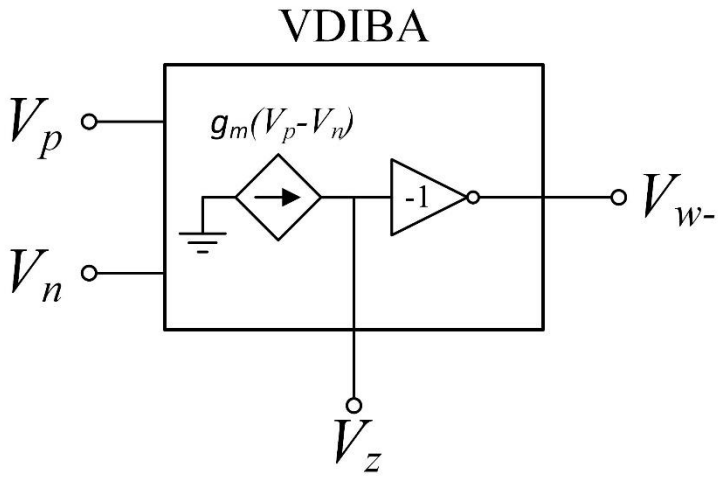
Önerilen ilk yapıda, aktif bileşen olarak bir VDIBA tercih edilmiştir. VDIBA devre sembolü Şekil 3.1'de verilmiştir. Aşağıdaki matris denklemi ideal VDIBA'nın port ilişkisini ifade edebilir:

$$\begin{bmatrix} I_p \\ I_n \\ I_z \\ V_{w-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & -1 & 0 \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \\ I_{w-} \end{bmatrix} \tag{3.1}$$

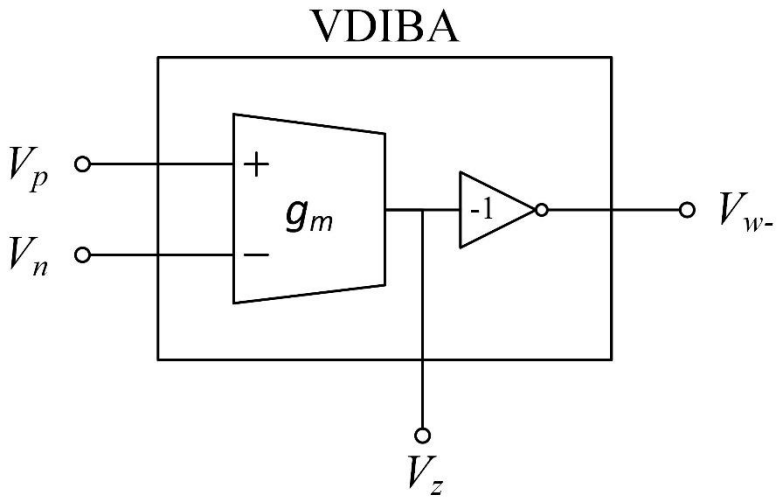


Şekil 3.1: VDIBA'nın devre sembolü

VDIBA'nın giriş kısmı, diferansiyel giriş gerilimini *z* terminali üzerinden akan bir çıkış akımına dönüştürmek için tasarlanmıştır [9]. VDIBA'nın eşdeğer devresi Şekil 3.2'de gösterilmektedir. Giriş kısmında, bir geçiş iletkenliği kazancı *(g_m)* ile bir çıkış akımı *(I_Z)* üretilir. I_Z ayrıca diferansiyel giriş gerilimiyle *(V_p – V_n)* orantılıdır. Çıkışta ise, birim kazançlı bir gerilim evirici, *z* terminalindeki gerilimi *w-* terminaline iletir.



Şekil 3.2: VDIBA'nın eşdeğer devresi [9]



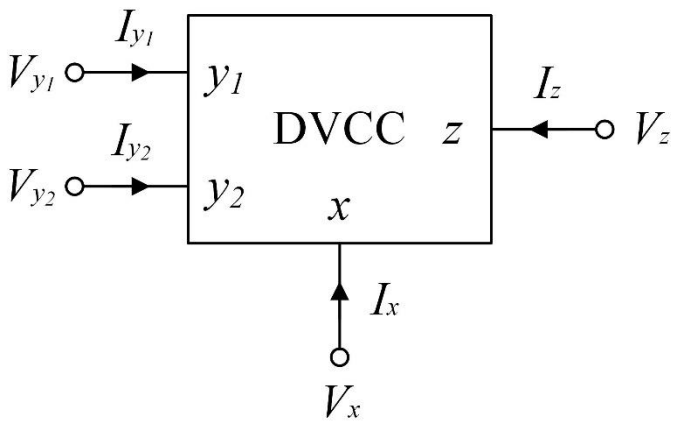
Şekil 3.3: VDIBA'nın OTA ve birim kazançlı bir gerilim evirici ile gerçekleştirilmesi [10]

Şekil 3.2 ve Şekil 3.3 dikkate alındığında, VDIBA'nın bir OTA ve bir gerilim evirici ile gerçekleştirilebileceği açıktır.

3.1.2. Gerilim Farkı Alan Akım Taşıyıcı (DVCC)

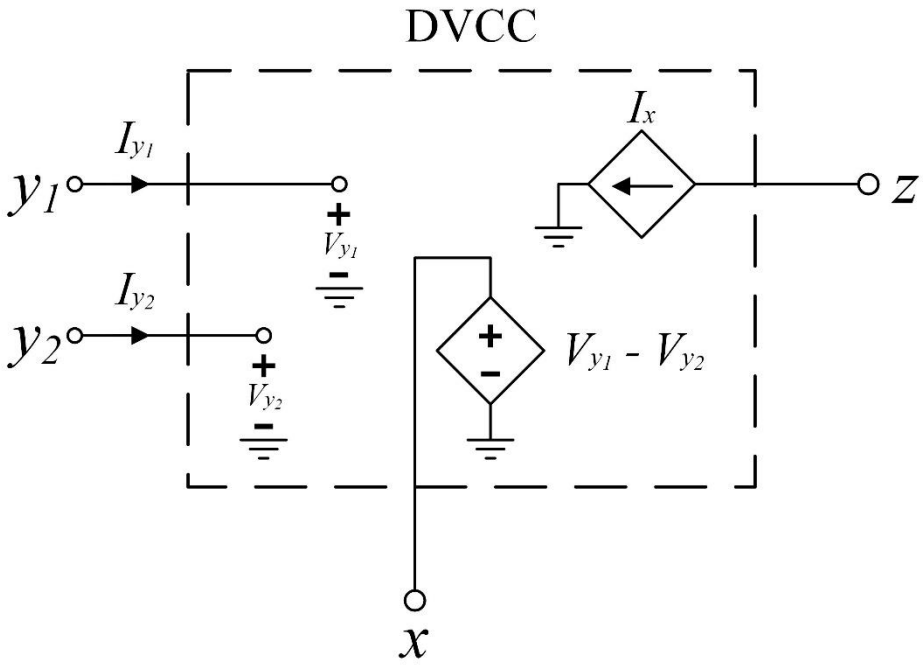
Önerilen ikinci yapıda ise, aktif bileşen olarak bir DVCC tercih edilmiştir. DVCC devre sembolü Şekil 3.4'te verilmiştir. Aşağıdaki matris denklemi ideal DVCC'nin port ilişkisini ifade edebilir:

$$\begin{bmatrix} V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 1 & -1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} V_{y_1} \\ V_{y_2} \\ I_x \end{bmatrix} \tag{3.2}$$



Şekil 3.4: DVCC'nin devre sembolü

DVCC devre sembolüne göre; y_1 ve y_2 yüksek empedanslı giriş pinleridir, x düşük empedanslı ve z yüksek empedanslı çıkış pinleridir.

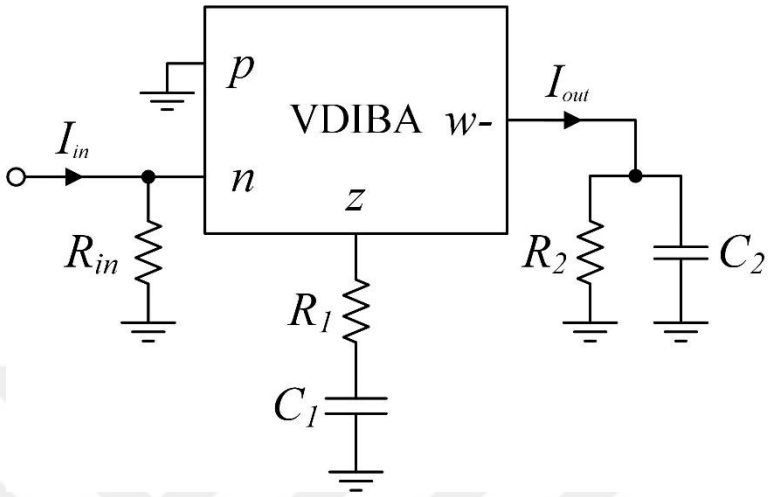


Şekil 3.5: DVCC'nin eşdeğer devresi

DVCC'nin eşdeğer devresi Şekil 3.5'te gösterilmiştir. DVCC'nin giriş kısmı, diferansiyel giriş gerilimini x pinine aktarmak için tasarlanmıştır, x pininden elde edilen akım ise z pinine kopyalanır.

3.2. VDIBA TABANLI PID DENETLEYICI

Önerilen CM PID denetleyici tasarımı, Şekil 3.6'da sunulmuştur. Bu denetleyici, tek bir VDIBA, iki topraklanmış kapasitör ve üç dirençten oluşur.



Şekil 3.6: VDIBA tabanlı CM PID tasarımı

Devre yapısı oldukça basit ve tasarımı kolaydır. Şekil 3.6'da gösterilen devre modeline göre, transfer fonksiyonu *H(s)* Denklem (3.1) kullanılarak aşağıdaki analiz adımları ile elde edilir. *n* terminal gerilimi (V_n) şu şekilde yazılabilir:

$$V_n = I_{in}R_{in} \tag{3.3}$$

VDIBA'nın giriş kısmı port ilişkisine göre $I_z = g_m(V_p - V_n)$ ve $V_p = 0$ olduğu için, I_z akımı aşağıdaki gibi yazılabilir.

$$I_z = g_m(0 - I_{in}R_{in}) = -g_m I_{in}R_{in} \tag{3.4}$$

V_z gerilimi aşağıdaki gibi yazılabilir.

$$V_z = I_z\left(R_1 + \frac{1}{sC_1}\right) = -g_m I_{in}R_{in}\left(R_1 + \frac{1}{sC_1}\right) \tag{3.5}$$

VDIBA'nın çıkış kısmı port ilişkisine göre $V_{w-} = -V_z$ ve $I_{w-} = I_{out}$ olduğu için, I_{out} akımı aşağıdaki gibi yazılabilir.

$$I_{out} = I_{w-} = V_{w-}\frac{R_2}{1 + sC_2R_2} = -V_z\left(\frac{1}{R_2} + sC_2\right) \tag{3.6}$$

$$I_{out} = -\left[-g_m I_{in} R_{in}\left(R_1 + \frac{1}{sC_1}\right)\right]\left(\frac{1}{R_2} + sC_2\right) \tag{3.7}$$

Devrenin çıkış akımı ve transfer fonksiyonu aşağıdaki gibi elde edilir.

$$I_{out} = I_{in} g_m R_{in}\left(R_1 + \frac{1}{sC_1}\right)\left(\frac{1}{R_2} + sC_2\right) \tag{3.8}$$

$$H(s) = \frac{I_{out}}{I_{in}} = g_m R_{in}\left[\frac{C_2}{C_1} + \frac{R_1}{R_2} + \frac{1}{sC_1R_2} + sC_2R_1\right] \tag{3.9}$$

Bir analog PID denetleyicinin genel matematiksel denkleminin "$H(s) = K_P + K_I/s + K_D s$" Denklem (3.9) ile eşleştirilmesi ile K_P, K_I *ve* K_D şu şekilde bulunur:

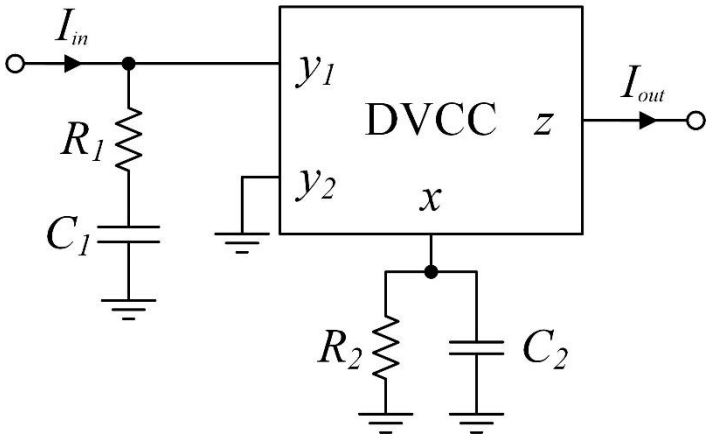
$$K_P = g_m R_{in}\left[\frac{C_2}{C_1} + \frac{R_1}{R_2}\right] \tag{3.10}$$

$$K_I = g_m R_{in}\left[\frac{1}{C_1R_2}\right] \tag{3.11}$$

$$K_D = g_m R_{in}[C_2R_1] \tag{3.12}$$

3.3. DVCC TABANLI PID DENETLEYICI

Önerilen CM PID denetleyici tasarımı, Şekil 3.7'de sunulmuştur. Bu denetleyici, tek bir DVCC, iki topraklanmış kapasitör ve iki dirençten oluşur.



Şekil 3.7: DVCC tabanlı CM PID tasarımı

Devre yapısı oldukça basit ve tasarımı kolaydır. Şekil 3.7'de gösterilen devre modeline göre, transfer fonksiyonu *H(s)* Denklem (3.2) kullanılarak aşağıdaki analiz adımları ile elde edilir.

y_1 terminal gerilimi (V_{y_1}) şu şekilde yazılabilir:

$$V_{y_1} = I_{in}\left(R_1 + \frac{1}{sC_1}\right) \tag{3.13}$$

DVCC'nin giriş kısmı port ilişkisine göre $V_x = V_{y_1} - V_{y_2}$ ve $V_{y_2} = 0$ olduğu için, V_x gerilimi aşağıdaki gibi yazılabilir.

$$V_x = I_{in}\left(R_1 + \frac{1}{sC_1}\right) - 0 = I_{in}\left(R_1 + \frac{1}{sC_1}\right) \tag{3.14}$$

I_x akımı aşağıdaki gibi yazılabilir.

$$I_x = -V_x\left(\frac{1}{R_2} + sC_2\right) = -I_{in}\left(R_1 + \frac{1}{sC_1}\right)\left(\frac{1}{R_2} + sC_2\right) \tag{3.15}$$

DVCC'nin çıkış kısmı port ilişkisine göre $I_z = I_x$ ve $I_{out} = -I_z$ olduğu için, I_{out} akımı aşağıdaki gibi yazılabilir.

$$I_{out} = -I_z = -I_x = I_{in}\left(R_1 + \frac{1}{sC_1}\right)\left(\frac{1}{R_2} + sC_2\right) \tag{3.16}$$

Devrenin transfer fonksiyonu aşağıdaki gibi elde edilir.

$$H(s) = \frac{I_{out}}{I_{in}} = \frac{C_2}{C_1} + \frac{R_1}{R_2} + \frac{1}{sC_1R_2} + sC_2R_1 \tag{3.17}$$

Bir analog PID denetleyicinin genel matematiksel denkleminin "$H(s) = K_P + K_I/s + K_Ds$" Denklem (3.17) ile eşleştirilmesi ile K_P, K_I *ve* K_D şu şekilde bulunur:

$$K_P = \frac{C_2}{C_1} + \frac{R_1}{R_2} \tag{3.20}$$

$$K_I = \frac{1}{C_1R_2} \tag{3.21}$$

$$K_D = C_2R_1 \tag{3.22}$$

3.4. DUYARLILIK ANALİZLERİ

Duyarlılık analizi, girdi değişkenleri olarak bilinen değişkenlerdeki değişikliklere dayalı olarak hedef değişkenlerin nasıl etkilendiğini belirlemeye yarayan bir analiz modelidir. Belirli bir değişken seti oluşturularak, bir değişkendeki değişikliklerin sonucu nasıl etkilediğini

belirlenebilir. Bir a parametresinin sistem duyarlılığı, sistem transfer fonksiyonundaki T(s) yüzde değişimin, a parametresindeki değerinden yüzdesel değişme oranı olarak tanımlanır. Duyarlılık fonksiyonu aşağıdaki gibi ifade edilir:

$$S_a^T(s) = \frac{a}{T}\frac{\partial T}{\partial a} \tag{3.23}$$

3.4.1. VDIBA Tabanlı PID Denetleyici Tasarımı Duyarlılık Analizi Hesaplamaları

Denklemler (3.20-3.22) dikkate alınarak K_P, K_I ve K_D kontrol parametrelerine yönelik aktif ve pasif bileşen duyarlılık analizleri aşağıda verilmiştir;

$$S_{g_m}^{K_P} = S_{R_{in}}^{K_P} = S_{g_m}^{K_I} = S_{R_{in}}^{K_I} = S_{g_m}^{K_D} = S_{R_{in}}^{K_D} = 1 \tag{3.24}$$

$$S_{C_1}^{K_P} = -S_{C_2}^{K_P} = \frac{C_2R_2}{C_1R_1 + C_2R_2} \tag{3.25}$$

$$S_{R_1}^{K_P} = -S_{R_2}^{K_P} = \frac{C_1R_1}{C_1R_1 + C_2R_2} \tag{3.26}$$

$$S_{R_2}^{K_I} = S_{C_1}^{K_I} = -1 \tag{3.27}$$

$$S_{R_1}^{K_D} = S_{C_2}^{K_D} = 1 \tag{3.28}$$

3.4.2. DVCC Tabanlı PID Denetleyici Tasarımı Duyarlılık Analizi Hesaplamaları

Denklemler (3.10-3.12) dikkate alınarak K_P, K_I ve K_D kontrol parametrelerine yönelik aktif ve pasif bileşen duyarlılık analizleri aşağıda verilmiştir;

$$S_{C_1}^{K_P} = -S_{C_2}^{K_P} = \frac{C_2R_2}{C_1R_1 + C_2R_2} \tag{3.29}$$

$$S_{R_1}^{K_P} = -S_{R_2}^{K_P} = \frac{C_1R_1}{C_1R_1 + C_2R_2} \tag{3.30}$$

$$S_{R_2}^{K_I} = S_{C_1}^{K_I} = -1 \tag{3.31}$$

$$S_{R_1}^{K_D} = S_{C_2}^{K_D} = 1 \tag{3.32}$$

3.5. TASARIM PROSEDÜRLERİ

Bu bölüm, istenen kontrol parametrelerini elde etmek için pasif elemanların seçilmesine yönelik bir tasarım prosedürünü açıklamaktadır [11]. VDIBA tabanlı PID denetleyici tasarımı yapılırken, hesaplamaları basitleştirebilmek adına $R_{in} = \frac{1}{g_m}$ olarak seçilmiştir. Yapılan bu

basitleştirme adımı neticesinde önerilen her iki devrenin de transfer fonksiyonları aynı şekilde ifade edilebilir. Bu sebeple, tasarım prosedürleri bölümü her iki devre için de aynıdır. Denklemler (3.11, 3.12) kullanılarak C_1 ve C_2 kapasitörleri aşağıdaki haliyle yazılabilir.

$$C_1 = \frac{1}{R_2 K_I} \tag{3.33}$$

$$C_2 = \frac{K_D}{R_1} \tag{3.34}$$

Denklemler (3.33, 3.34)'den elde edilenler, denklem (3.10)'da yerlerine konulursa, K_P ifadesi aşağıdaki haliyle yazılabilir.

$$K_P = K_D K_I \frac{R_2}{R_1} + \frac{R_1}{R_2} \tag{3.35}$$

$\frac{R_2}{R_1} = x$ olarak tanımlanırsa, denklem (3.35) şu şekilde yazılabilir:

$$K_D K_I x^2 - K_p x + 1 = 0 \tag{3.36}$$

Diskriminant yöntemi ile denklem (3.36)'nın kökleri aşağıdaki gibi bulunabilir.

$$x_{1,2} = \frac{K_P \pm \sqrt{K_P^2 - 4K_D K_I}}{2K_D K_I} \tag{3.37}$$

Denklem (3.37)'deki $\sqrt{K_P^2 - 4K_D K_I}$ ifadesi sıfıra eşitlenirse, K_P ve x değerleri aşağıdaki gibi hesaplanır.

$$K_P = 2\sqrt{K_D K_I} \tag{3.38}$$

$$x = \frac{1}{\sqrt{K_D K_I}} \tag{3.39}$$

Pasif eleman değerlerini belirlerken; ilk olarak istenen K_P, K_I ve K_D değerleri için denklem (3.38) ifadesi sağlanmalıdır. Denklem (3.39)'dan x hesaplanmalıdır. R_1 değeri keyfi olarak seçilerek, denklem (3.35)'ten R_2 değeri hesaplanmalıdır. Son olarak, sırasıyla Denklem (3.33) ve (3.34)'e göre C_1 ve C_2 değerleri hesaplanmalıdır.

3.6. İDEAL OLMAYAN KAZANÇ VE PARAZİTİK EMPEDANS ETKİLERİ

Bu bölümde, Önerilen PID denetleyicilerin performansları üzerindeki frekansa bağlı ideal olmayan kazanç ve parazitik empedans etkileri incelenmiştir. Parazit etkiler bir devrenin performansını etkileyerek ideal davranışından sapmasına ve çalışma frekans aralığını sınırlamasına neden olur.

3.6.1. VDIBA Tabanlı PID Denetleyici İdeal Olmayan Durum Analizi

Parazitik empedansları ile VDIBA, Şekil 3.8'de verilmiştir. Parazitik empedanslar, *z* terminalinde topraklanmış paralel parazitik empedanslar (R_Z || C_Z) ve *w*- terminalinde seri parazitik dirençten (R_w-) oluşmaktadır. β, *z* terminalinden *w*- terminaline gerilim transfer kazancıdır. İdeal durum için parazitik elemanlar $R_Z = \infty$, $C_Z = R_{W-} = 0$ ve $\beta = 1$ olmalıdır. İdeal olmayan koşullarda, denklem (3.1) aşağıdaki haliyle ifade edilir [12]:

$$\begin{bmatrix} I_p \\ I_n \\ I_z \\ V_{w-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & {}^{1}/_{R_Z} + sC_Z & 0 \\ 0 & 0 & -\beta & R_{w-} \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_z \\ I_{w-} \end{bmatrix} \tag{3.40}$$

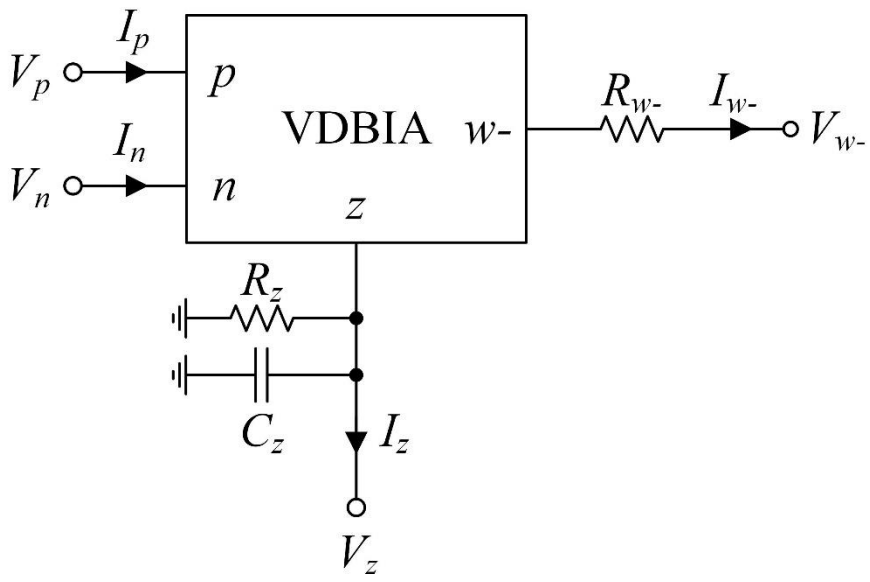
Denklem (3.40)'a göre, ideal olmayan analiz için VDIBA'nın yalnızca gerilim transfer kazancı dikkate alınırsa K_P, K_I ve K_D parametreleri aşağıdaki gibi gösterilebilir:

$$K_P = \beta g_m R_{in} \left[\frac{C_2}{C_1} + \frac{R_1}{R_2}\right] \tag{3.41}$$

$$K_I = \beta g_m R_{in} \left[\frac{1}{C_1 R_2}\right] \tag{3.42}$$

$$K_D = \beta g_m R_{in} [C_2 R_1] \tag{3.43}$$

Denklemler (3.41-3.43)'e göre, VDIBA'nın gerilim transfer kazancının K_P, K_I ve K_D kontrol parametrelerini doğrudan etkilediği görülmektedir.



Şekil 3.8: Parazitik empedanslar dahil VDIBA

Parazitik empedanslarıyla birlikte sunulan VDIBA tabanlı CM PID tasarımı Şekil 3.9'da verilmiştir. Paralel parazit empedansların çok büyük ve seri parazit empedansların çok küçük olduğu durumlar dikkate alınarak devrenin çalışma frekans aralığı yakınsanır. Önerilen PID denetleyicinin performansı üzerindeki parazitik etkiler, takip eden kısıtlamalarla azaltılabilir. Yalnızca *z* terminalinin parazitik empedans değeri dikkate alınırsa; topraklanmış paralel parazitik empedanslar ($R_Z \parallel C_Z$)'nin seri bağlı R_1 ve C_1 empedans değeri büyüklüğünden en azından on kat daha büyük olduğu varsayılır ve bu durumda kısıtlama aşağıda gösterildiği gibi uygulanmalıdır:

$$\left|R_1 + \frac{1}{j\omega C_1}\right| \ll \left|R_Z \parallel \frac{1}{j\omega C_Z}\right| \Rightarrow \left|R_1 + \frac{1}{j\omega C_1}\right| \leq 0.1 \times \left|R_Z \parallel \frac{1}{j\omega C_Z}\right| \tag{3.44}$$

Denklem (3.44) ile aşağıdaki kısıt aralığı elde edilir:

$$\frac{\sqrt{1+\omega^2 C_1^2 R_1^2}}{\omega C_1} \leq 0.1 \times \frac{R_Z}{\sqrt{1+\omega^2 C_Z^2 R_Z^2}} \tag{3.45}$$

Denklem (3.45)'te C_Z ihmal edilirse (ideal olarak $C_Z = 0$), denklem (3.45) aşağıdaki gibi yeniden yazılabilir.

$$\sqrt{1+\omega^2 C_1^2 R_1^2} \leq 0.1 \times \omega R_Z C_1 \tag{3.46}$$

Frekans sınırı aşağıdaki adımlar izlenerek belirlenir.

$$1 + \omega^2 C_1^2 R_1^2 \leq 0.01 \times \omega^2 C_1^2 R_Z^2 \tag{3.47}$$

$$1 \leq \omega^2 C_1^2 (0.01 \times R_Z^2 - R_1^2) \tag{3.48}$$

$$1 \leq \omega C_1 \sqrt{(0.01 \times R_Z^2 - R_1^2)} \tag{3.49}$$

$$\omega \geq \frac{1}{C_1 \sqrt{(0.01 \times R_Z^2 - R_1^2)}} \tag{3.50}$$

$$f \geq \frac{1}{2\pi} \frac{1}{C_1 \sqrt{0.01 \times R_Z^2 - R_1^2}} \tag{3.51}$$

Denklem (3.45)'te R_Z ihmal edilirse (ideal olarak $R_Z = \infty$), denklem (3.45) aşağıdaki adımları izleyerek yeniden yazılabilir.

$$\frac{\sqrt{1 + \omega^2 C_1^2 R_1^2}}{\omega C_1} \leq 0.1 \times \frac{1}{\sqrt{\frac{1}{R_Z^2} + \frac{\omega^2 C_Z^2 R_Z^2}{R_Z^2}}} \tag{3.52}$$

$$\frac{\sqrt{1 + \omega^2 C_1^2 R_1^2}}{\omega C_1} \leq 0.1 \times \frac{1}{\sqrt{\frac{1}{R_Z^2} + \omega^2 C_Z^2}} \tag{3.53}$$

$$\frac{\sqrt{1 + \omega^2 C_1^2 R_1^2}}{\omega C_1} \leq 0.1 \times \frac{1}{\omega C_Z} \tag{3.54}$$

Frekans sınırı aşağıdaki adımlar izlenerek belirlenir.

$$\sqrt{1 + \omega^2 C_1^2 R_1^2} \leq 0.1 \times \frac{C_1}{C_Z} \tag{3.55}$$

$$1 + \omega^2 C_1^2 R_1^2 \leq 0.01 \times \frac{C_1^2}{C_Z^2} \tag{3.56}$$

$$\omega^2 C_1^2 R_1^2 \leq 0.01 \times \frac{C_1^2}{C_Z^2} - 1 \tag{3.57}$$

$$f \leq \frac{1}{2\pi} \frac{\sqrt{\frac{0.01 \times C_1^2}{C_Z^2} - 1}}{C_1 R_1} \tag{3.58}$$

Yalnızca *w*- terminalinin parazitik empedans değeri dikkate alınırsa; seri parazitik direncin (R_w-) birbirlerine paralel bağlı R_2 ve C_2 empedans değeri büyüklüğünden en azından onda bir oranında daha küçük olduğu varsayılır ve bu durumda kısıtlama aşağıda gösterildiği gibi uygulanmalıdır:

$$\left|R_2 \parallel \frac{1}{j\omega C_2}\right| \gg R_{W-} \Longrightarrow \left|R_2 \parallel \frac{1}{j\omega C_2}\right| \geq 10 \times R_{W-} \tag{3.59}$$

$$\frac{R_2}{\sqrt{1+\omega^2 C_2^2 R_2^2}} \geq 10 \times R_{W-} \tag{3.60}$$

$$0.1 \times \frac{R_2}{R_{W-}} \geq \sqrt{1+\omega^2 C_2^2 R_2^2} \tag{3.61}$$

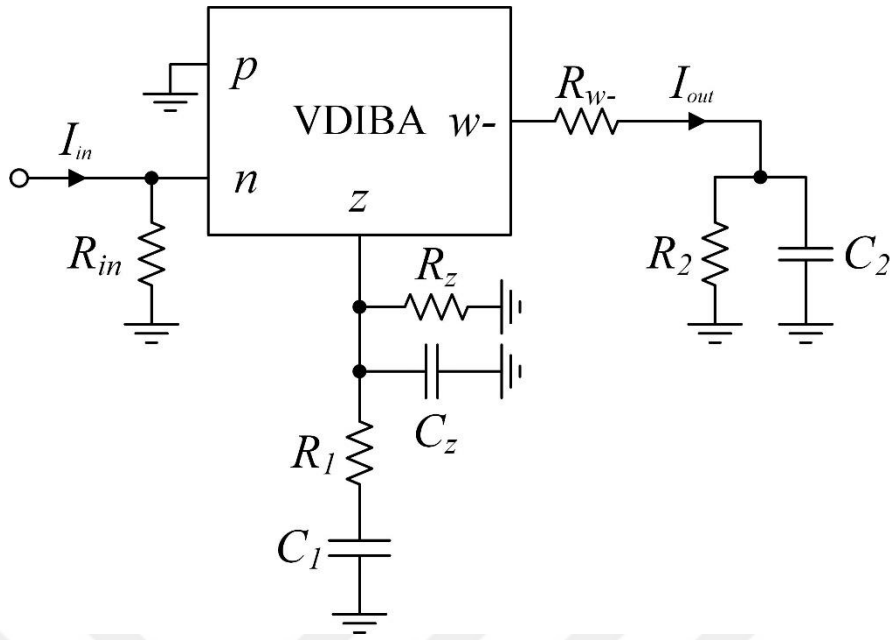
$$0.01 \times \frac{R_2^2}{R_{w-}^2} \geq 1+\omega^2 C_2^2 R_2^2 \tag{3.62}$$

$$\omega^2 C_2^2 R_2^2 \leq 1 - 0.01 \times \frac{R_2^2}{R_{w-}^2} \tag{3.63}$$

$$f \leq \frac{1}{2\pi} \frac{\sqrt{R_2^2 - 100 \times R_{W-}^2}}{10 \times C_2 R_2 R_{W-}} \tag{3.64}$$

Genel frekans aralığı aşağıdaki gibi bulunur:

$$\frac{1}{2\pi} \frac{1}{C_1\sqrt{0.01 \times R_Z^2 - R_1^2}} \leq f \leq \frac{1}{2\pi} min \left\{ \frac{\sqrt{\frac{0.01 \times C_1^2}{C_Z^2} - 1}}{C_1 R_1}, \frac{\sqrt{R_2^2 - 100 \times R_{W-}^2}}{10 \times C_2 R_2 R_{W-}} \right\} \tag{3.65}$$



Şekil 3.9: Parazit empedanslar dahil VDIBA tabanlı PID denetleyici

3.6.2. DVCC Tabanlı PID Denetleyici İdeal Olmayan Durum Analizi

Parazitik empedansları ile DVCC, Şekil 3.10'da verilmiştir. Parazitik empedanslar, y_1 terminalinde topraklanmış parazitik kapasitör (C_{y_1}), x terminalinde seri parazitik empedanslar (R_x + L_x) ve z terminalinde topraklanmış paralel parazitik empedanslardan (R_Z || C_Z) oluşmaktadır. β_1 ve β_2 ideal olmayan gerilim kazançları, α ideal olmayan bir akım kazancıdır. İdeal durum için parazitik elemanlar $R_z = \infty$, $R_x = L_x = C_{y_1} = C_z = 0$ ve $\beta_1 = \beta_2 = 1$ olmalıdır. İdeal olmayan koşullarda, denklem (3.2) aşağıdaki haliyle ifade edilir:

$$\begin{bmatrix} I_{y_1} \\ I_{y_2} \\ V_x \\ I_{Vz} \end{bmatrix} = \begin{bmatrix} sCy_1 & 0 & 0 & 0 \\ 0 & sCy_2 & 0 & 0 \\ \beta_1 & -\beta_2 & R_X + sL_X & 0 \\ 0 & 0 & \alpha & 0 \\ 0 & 0 & 0 & R_Z \parallel C_Z \end{bmatrix} \begin{bmatrix} V_{y_1} \\ V_{y_2} \\ I_x \\ I_z \end{bmatrix} \tag{3.66}$$

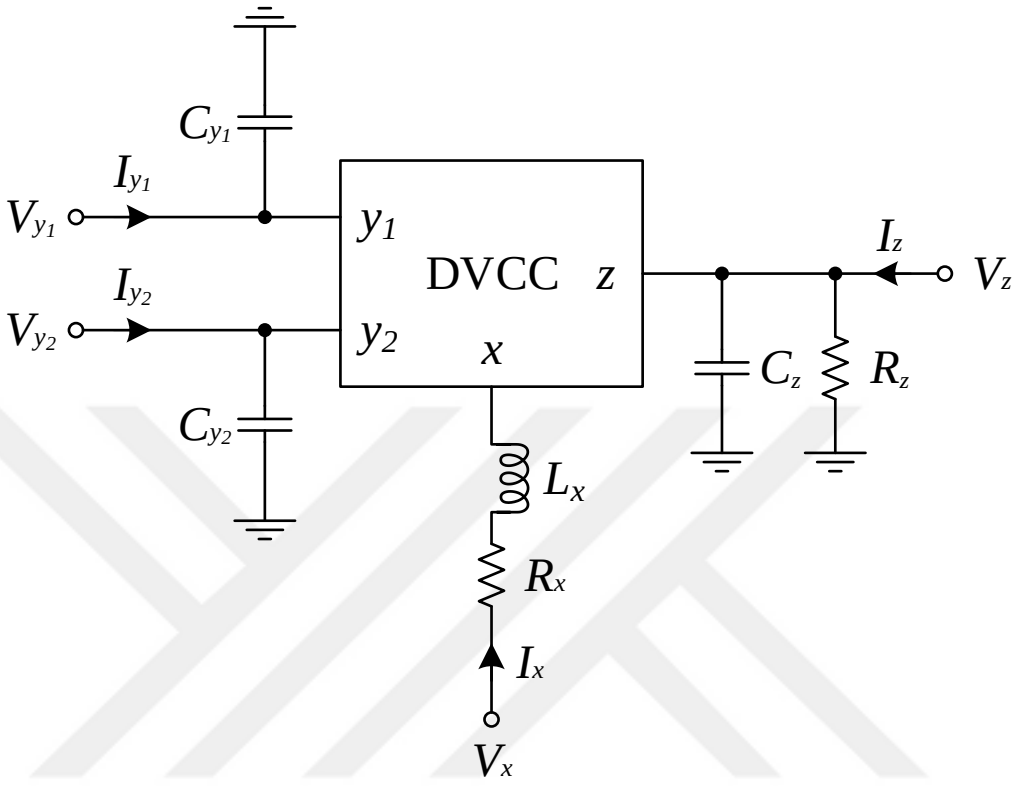
Denklem (3.66)'ya göre, ideal olmayan analiz için DVCC'nin yalnızca transfer kazançları dikkate alınırsa K_P, K_I ve K_D parametreleri aşağıdaki gibi gösterilebilir:

$$K_P = \alpha\beta_1\left(\frac{C_2}{C_1} + \frac{R_1}{R_2}\right) \tag{3.67}$$

$$K_I = \alpha\beta_1\left(\frac{1}{C_1R_2}\right) \tag{3.68}$$

$$K_D = \alpha\beta_1(C_2R_1) \tag{3.69}$$

Denklemler (3.67-3.69)'e göre, DVCC'nin transfer kazançlarının K_P, K_I ve K_D kontrol parametrelerini doğrudan etkilediği görülmektedir.



Şekil 3.10: Parazitik empedanslar dahil DVCC

Parazitik empedanslarıyla birlikte sunulan DVCC tabanlı CM PID tasarımı Şekil 3.11'de verilmiştir. Paralel parazit empedansların çok büyük ve seri parazit empedansların çok küçük olduğu durumlar dikkate alınarak devrenin çalışma frekans aralığı yakınsanır. Önerilen PID denetleyicinin performansı üzerindeki parazitik etkiler, takip eden kısıtlamalarla azaltılabilir. Yalnızca y_1 terminalinin parazitik empedans değeri dikkate alınırsa; topraklanmış paralel parazitik kapasitörün (C_{y_1}) seri bağlı R_1 ve C_1 empedans değeri büyüklüğünden en azından on kat daha büyük olduğu varsayılır ve bu durumda kısıtlama aşağıda gösterildiği gibi uygulanmalıdır:

$$\left|R_1 + \frac{1}{j\omega C_1}\right| \ll \left|\frac{1}{j\omega C_{y_1}}\right| \Rightarrow \left|R_1 + \frac{1}{j\omega C_1}\right| \leq 0.1 \times \left|\frac{1}{j\omega C_{y_1}}\right| \tag{3.70}$$

Denklem (3.70) ile aşağıdaki kısıt aralığı elde edilir:

$$\frac{\sqrt{1+\omega^2 C_1^2 R_1^2}}{C_1} \leq 0.1 \times \frac{1}{C_{y_1}} \tag{3.71}$$

Frekans sınırı aşağıdaki gibi elde edilir.

$$f \leq \frac{1}{2\pi} \frac{\sqrt{\frac{0.01 \times C_1^2}{C_{Y_1}^2} - 1}}{C_1 R_1} \tag{3.72}$$

Yalnızca *x* terminalinin parazitik empedans değeri dikkate alınırsa; seri parazitik empedanslar ($R_x + sL_x$)'in birbirlerine paralel bağlı R_2 ve C_2 empedans değeri büyüklüğünden en azından onda bir oranında daha küçük olduğu varsayılır ve bu durumda kısıtlama aşağıda gösterildiği gibi uygulanmalıdır:

$$\left| R_2 \parallel \frac{1}{j\omega C_2} \right| \gg |R_X + j\omega L_X| \Longrightarrow \left| R_2 \parallel \frac{1}{j\omega C_2} \right| \geq 10 \times |R_X + j\omega L_X| \tag{3.73}$$

Denklem (3.73)'te L_x ihmal edilirse (ideal olarak $L_x = 0$), denklem (3.73) aşağıdaki gibi yeniden yazılabilir.

$$\frac{R_2}{\sqrt{1+\omega^2 C_2^2 R_2^2}} \geq 10 \times R_X \tag{3.74}$$

Frekans sınırı aşağıdaki adımlar izlenerek belirlenir.

$$\sqrt{1+\omega^2 C_2^2 R_2^2} \leq 0.1 \times \frac{R_2}{R_X} \tag{3.75}$$

$$1 + \omega^2 C_2^2 R_2^2 \leq 0.01 \times \frac{R_2^2}{R_x^2} \tag{3.76}$$

$$\omega^2 C_2^2 R_2^2 \leq 0.01 \times \frac{R_2^2}{R_x^2} - 1 \tag{3.77}$$

$$\omega^2 \leq \frac{R_2^2 - 100 \times R_X^2}{100 \times C_2^2 R_2^2 R_x^2} \tag{3.78}$$

$$\omega \leq \frac{\sqrt{R_2^2 - 100 \times R_X^2}}{10 \times C_2 R_2 R_X} \tag{3.79}$$

$$f \leq \frac{1}{2\pi}\frac{\sqrt{R_2^2 - 100 \times R_X^2}}{10 \times C_2 R_2 R_X} \tag{3.80}$$

Denklem (3.73)'te R_x ihmal edilirse (ideal olarak $R_x = 0$), denklem (3.73) aşağıdaki gibi yeniden yazılabilir.

$$\frac{R_2}{\sqrt{1 + \omega^2 C_2^2 R_2^2}} \geq 10 \times \omega L_X \tag{3.81}$$

Denklem (3.81)'de hesaplamaları basitleştirebilmek adına $\omega^2 C_2^2 R_2^2 \gg 1$ olarak seçilip, frekans sınırı aşağıdaki adımlar izlenerek belirlenir [7].

$$\frac{R_2}{\sqrt{\omega^2 C_2^2 R_2^2}} \geq 10 \times \omega L_X \tag{3.82}$$

$$\frac{R_2}{\omega C_2 R_2} \geq 10 \times \omega L_X \tag{3.83}$$

$$\frac{1}{\omega C_2} \geq 10 \times \omega L_X \tag{3.84}$$

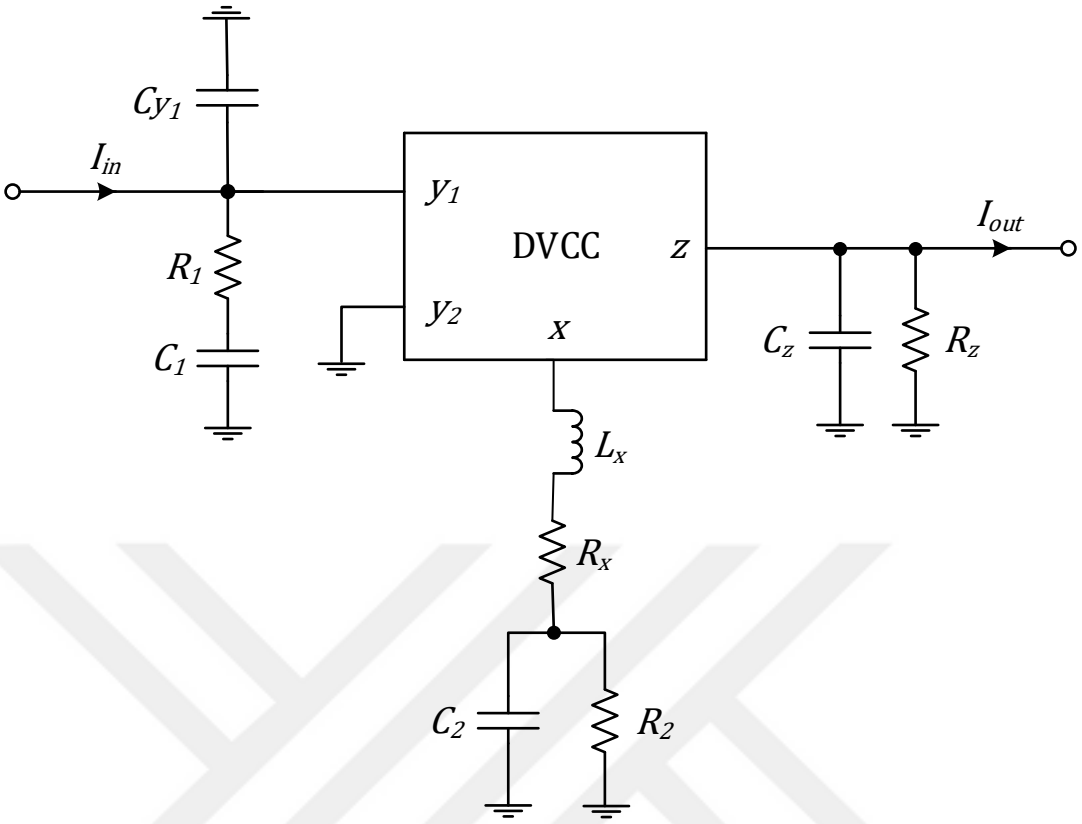
$$\omega^2 \leq \frac{1}{10 C_2 L_X} \tag{3.85}$$

$$\omega \leq \sqrt{\frac{1}{10 C_2 L_X}} \tag{3.86}$$

$$f \leq \frac{1}{2\pi}\frac{1}{\sqrt{10 \times C_2 L_X}} \tag{3.87}$$

Genel frekans aralığı aşağıdaki gibi bulunur:

$$f \leq \frac{1}{2\pi} min \left\{ \frac{\sqrt{\frac{0.01 \times C_1^2}{C_{y_1}^2} - 1}}{C_1 R_1}, \frac{\sqrt{R_2^2 - 100 \times R_X^2}}{10 \times C_2 R_2 R_X}, \frac{1}{\sqrt{10 \times C_2 L_X}} \right\} \tag{3.88}$$



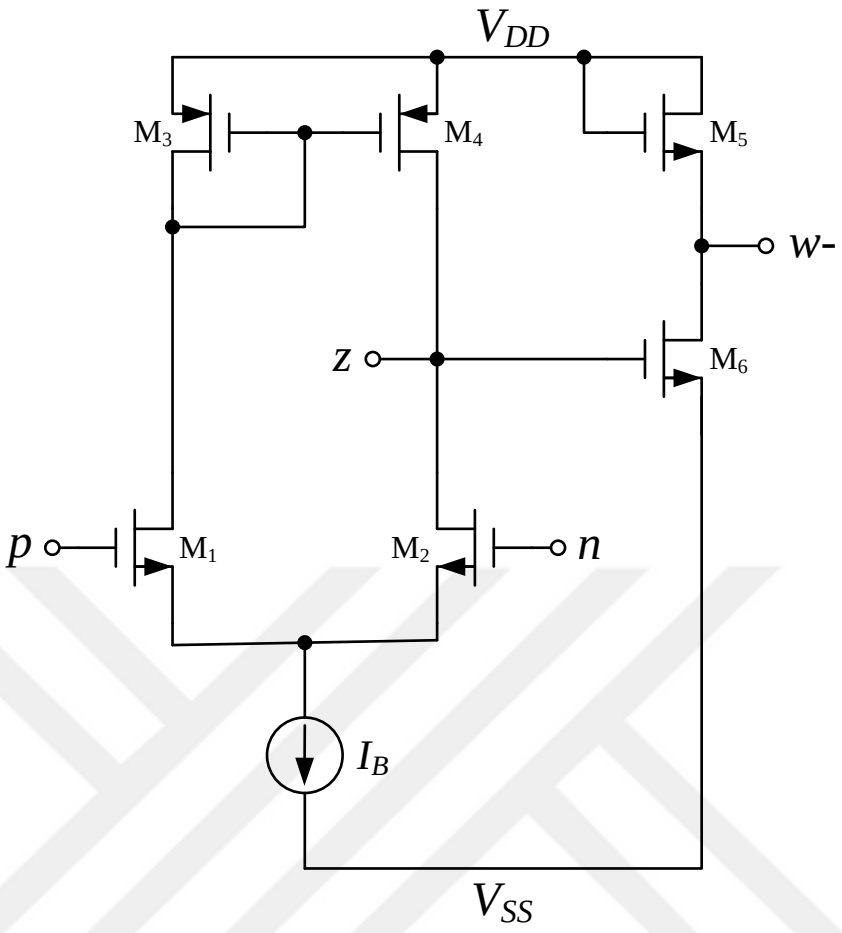
Şekil 3.11: Parazit empedanslar dahil DVCC tabanlı PID denetleyici

4. BULGULAR

Önerilen CM PID tasarımlarının teorik analizleri önceki bölümlerde verilmiştir. Devrelerin zaman ve frekans cevapları bu bölümde verilmiştir. Simülasyon sonuçları, TSMC 0.18 µm CMOS teknoloji parametreleri ile LTspice simülasyon programı kullanılarak elde edilmiştir.

4.1. VDIBA TABANLI PID DENETLEYİCİ ZAMAN VE FREKANS CEVAPLARI

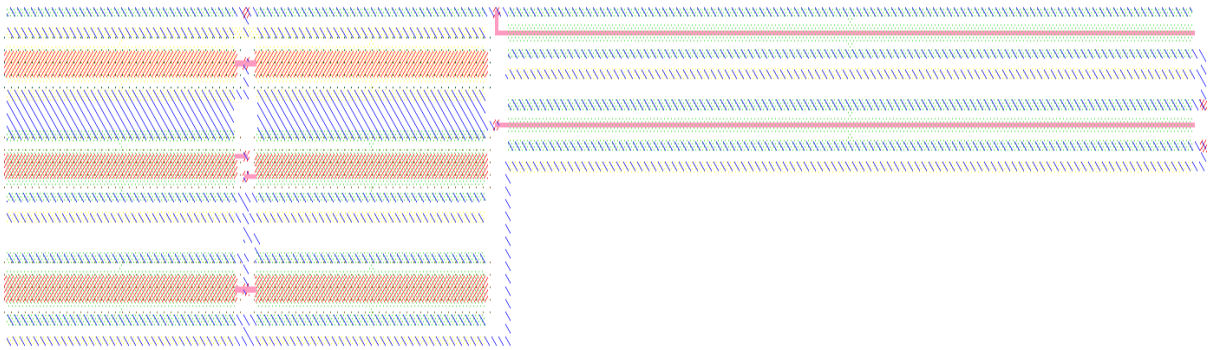
Simülasyon sonuçları, Şekil 4.1'deki VDIBA devresinin iç yapısı kullanarak elde edilmiştir. Besleme gerilimleri simetrik olarak V_{DD} = -V_{SS} = 0.9 V olarak seçilmiştir. Kutuplama akımı I_B = 100 µA olarak seçilmiştir. Geçiş iletkenliği (g_m) 600µS olarak hesaplanmıştır. Ayrıca z ve w- terminallerinin parazitik empedansları R_Z = 131.93 kΩ, C_Z = 367 fF ve R_{w-} = 42.36 Ω olarak hesaplanmıştır [13]. Transistörlerin en-boy oranları Tablo 4.1'de verilmiştir. MOSFET''lerde gövde etkisini önlemek amacıyla, NMOS ve PMOS transistörlerin taban terminalleri kaynak terminallerine bağlanmıştır. 128,9 µm x 23,2 µm'lik bir alanı kaplayan VDIBA'nın düzeni Şekil 4.2'de gösterilmektedir.



Şekil 4.1: VDIBA'nın iç yapısı [13]

Tablo 4.1: VDIBA'nın transistör boyutları

Transistör Boyutları	***W (µm)/L (µm)***
M_1 - M_4	18/1.08
M_5 - M_6	54/0.18



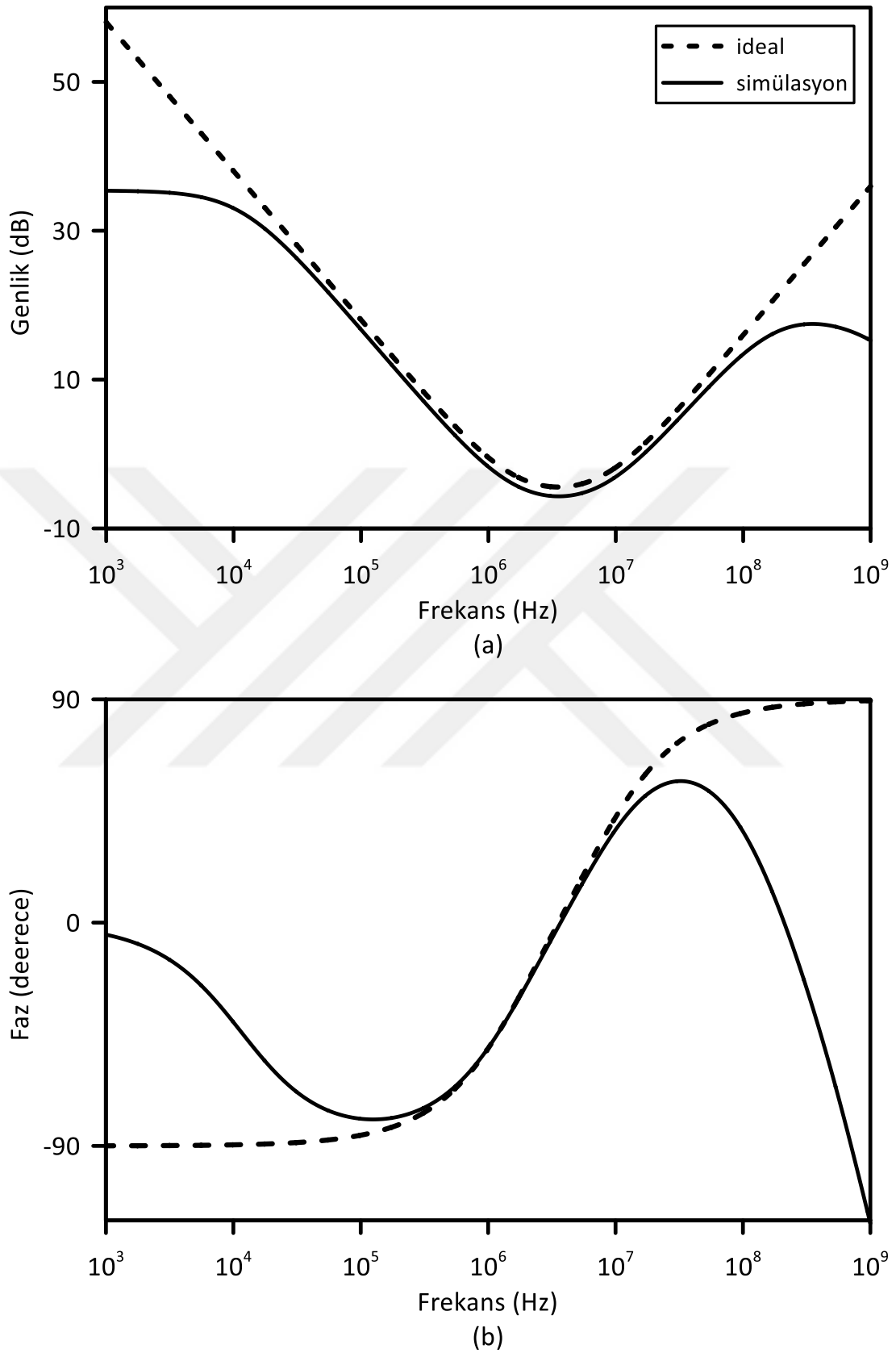
Şekil 4.2: 2.99x10^{-3} mm^2 çip alanı kaplayan VDIBA düzeni

Önerilen devrenin genlik ve faz tepkileri Şekil 4.3, 4.4 ve 4.5'te gösterilmektedir. Simülasyon sonuçları ideal tepkilerle karşılaştırılmıştır. Frekans yanıtları, birden fazla kontrol parametresi için incelenmiştir. İlk olarak K_P = 0.6, K_I = 5x10^6 ve K_D = 10^{-8} değerleri için pasif bileşenler C_1 = 100 pF, C_2 = 10 pF, R_{in} = 1.67 kΩ, R_1 = 1 kΩ ve R_2 = 2 kΩ olarak seçilmiştir. Karşılık gelen simülasyon sonuçları Şekil 4.3'te verilmiştir. İkinci olarak K_P = 0.6, K_I = 5x10^5 ve K_D = 10^{-7} değerleri için pasif bileşenler C_1 = 1 nF, C_2 = 100 pF, R_{in} = 1.67 kΩ, R_1 = 1 kΩ ve R_2 = 2 kΩ olarak seçilmiştir. Karşılık gelen simülasyon sonuçları Şekil 4.4'te verilmiştir. Son olarak K_P = 0.6, K_I = 5x10^4 ve K_D = 10^{-6} değerleri için pasif bileşenler C_1 = 10 nF, C_2 = 1 nF, R_{in} = 1.67 kΩ, R_1 = 1 kΩ ve R_2 = 2 kΩ olarak seçilmiştir. Karşılık gelen simülasyon sonuçları Şekil 4.5'te verilmiştir. Sonuçlar, ideal ve önerilen PID denetleyici için karşılaştırmalı olarak sunulmuştur. Önerilen CM PID denetleyici genlik ve faz tepkilerinin çalışma aralığında ideal genlik ve faz tepkilerine yakın olduğu rahatlıkla söylenebilir.

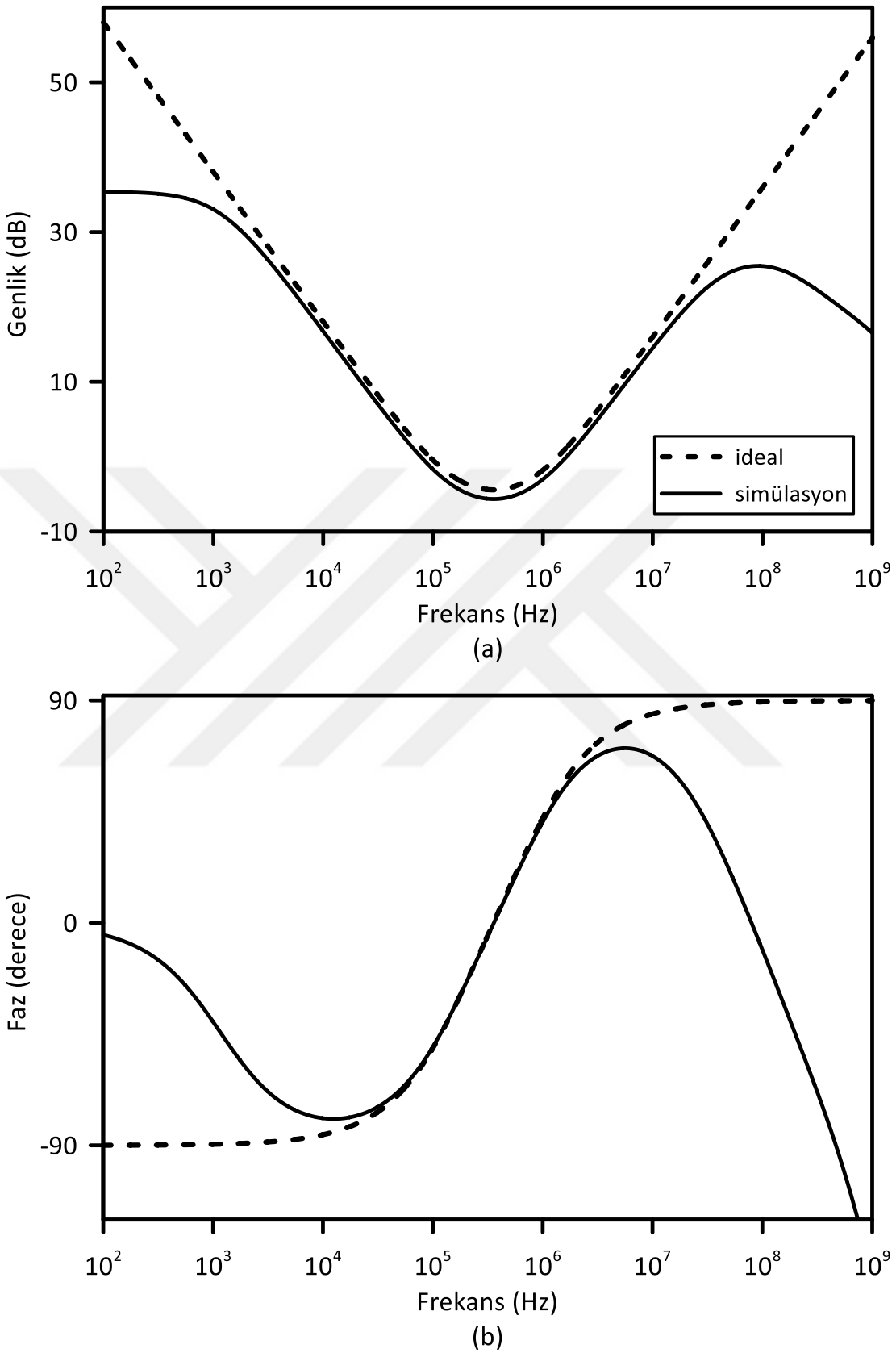
Önerilen PID denetleyicinin dayanıklılığını kanıtlamak için Monte Carlo (MC) analizi uygulanmıştır. Tüm pasif bileşen değerlerinin %5 oranında eşit olarak değiştirildiği düşünülerek MC analizi 100 kez tekrarlanmıştır. Sonuçlar Şekil 4.6'da verilmiştir.

Sıcaklık değişimlerinin önerilen PID denetleyici üzerindeki etkileri incelenmiştir. Sıcaklık değerleri T = -50, 0, 27, 50 ve 100 °C olarak seçilmiş ve simülasyon sonuçları Şekil 4.7'de verilmiştir.
Son olarak, frekans değişimlerine göre önerilen CM PID denetleyicinin giriş ve çıkış uçları gürültü analizi simülasyonları yapılmış ve sonuçlar Şekil 4.8'de verilmiştir.

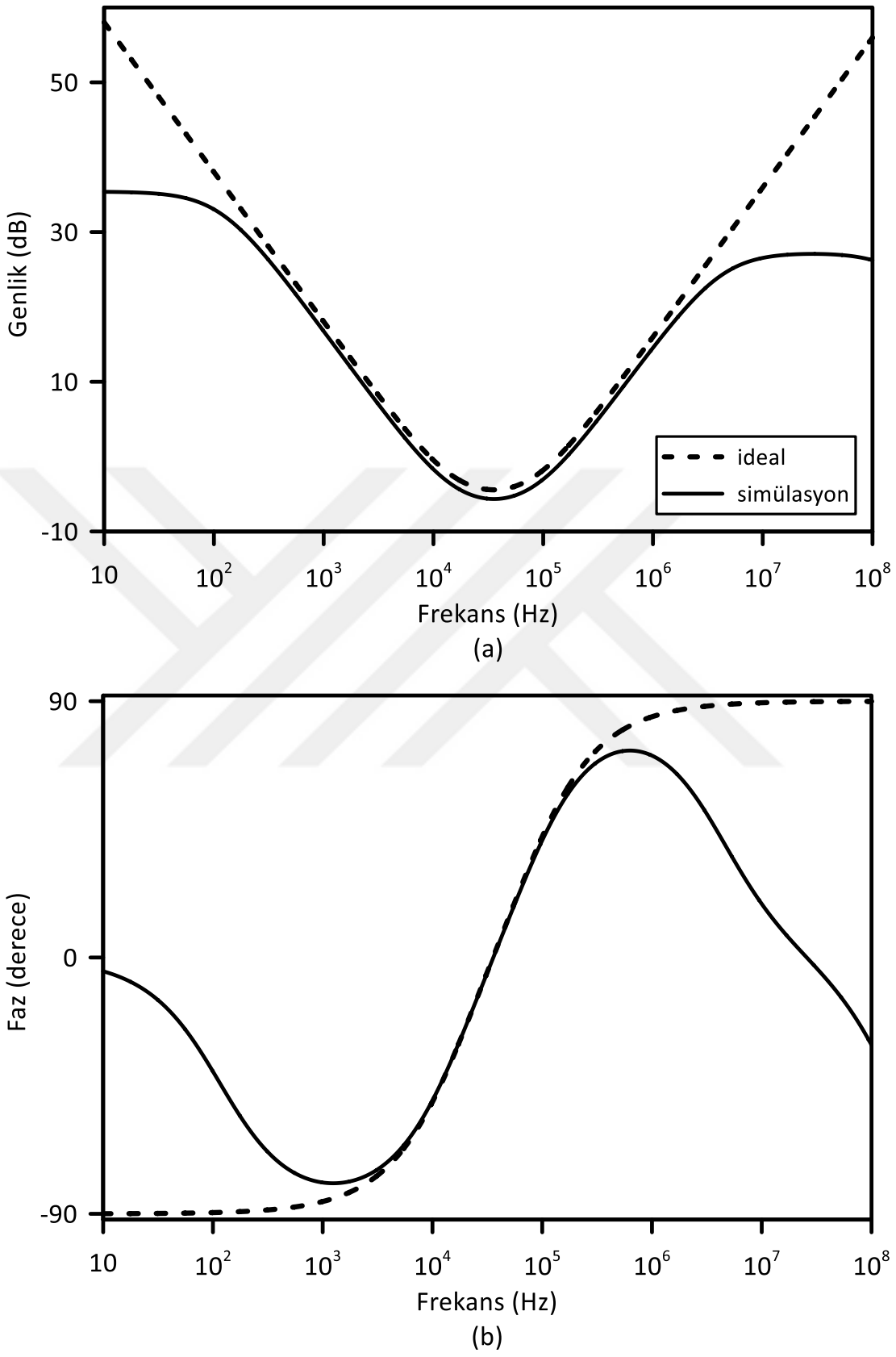
MC, sıcaklık ve gürültü analizleri için K_P = 0.6, K_I = 5x10^6 ve K_D = 10^{-8} değerleri kullanılmış olup, pasif bileşenler C_1 = 100 pF, C_2 = 10 pF, R_{in} = 1.67 kΩ, R_1 = 1 kΩ ve R_2 = 2 kΩ olarak seçilmiştir.



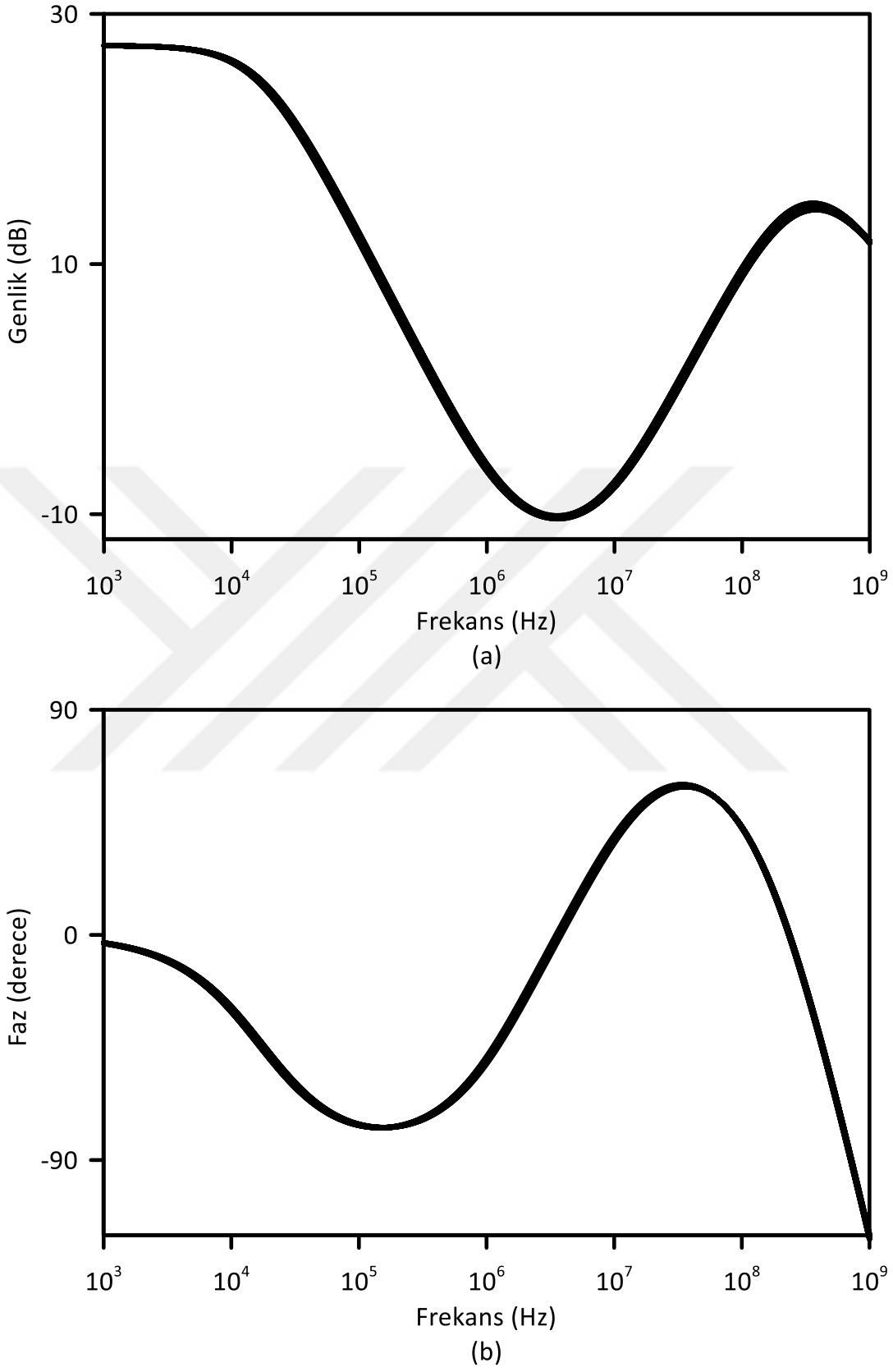
Şekil 4.3: $K_P = 0.6$, $K_I = 5\times10^6$, ve $K_D = 10^{-8}$ için CM PID denetleyici **(a)** genlik **(b)** faz cevapları



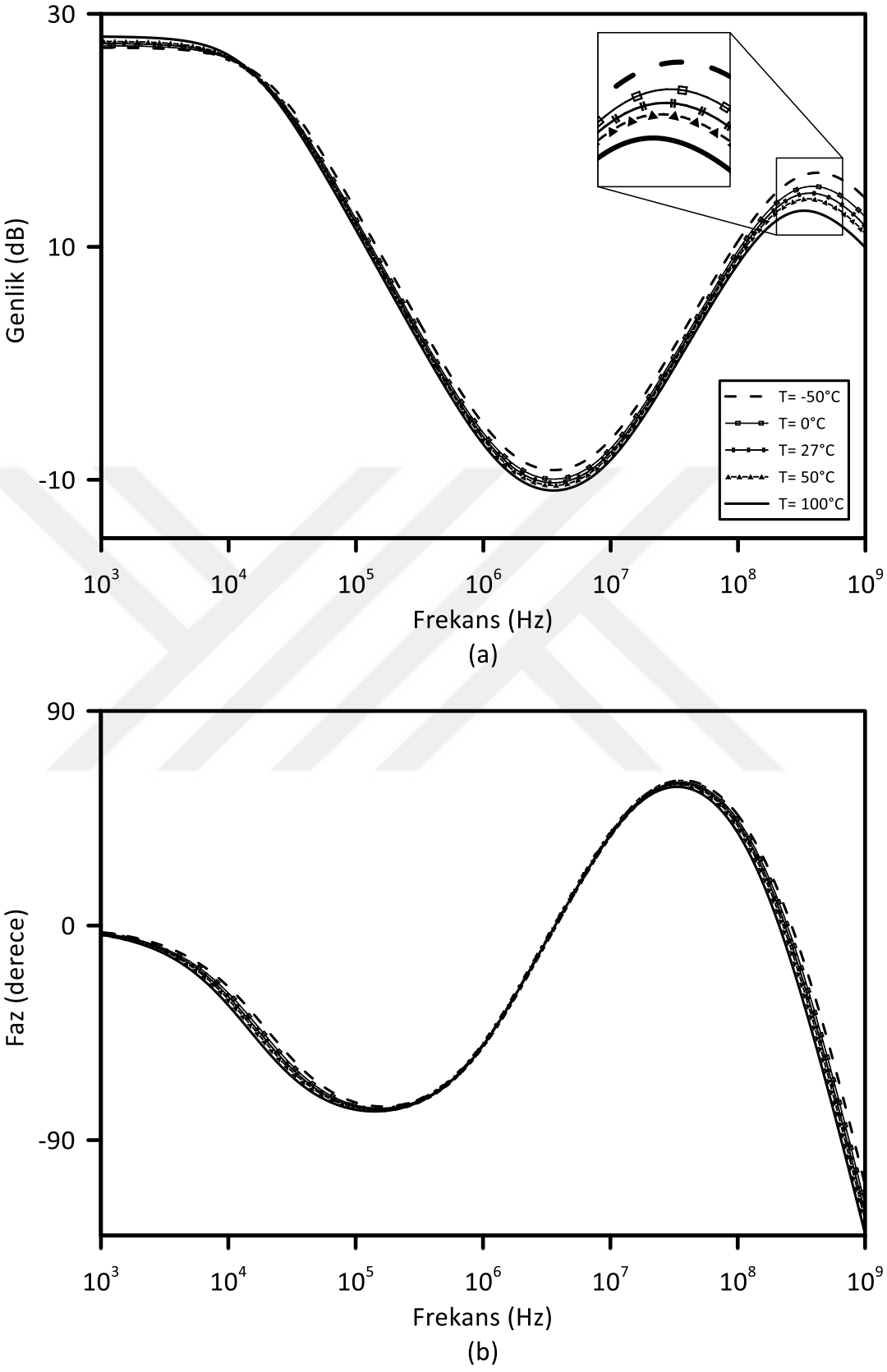
Şekil 4.4: $K_P = 0.6$, $K_I = 5\times10^5$, ve $K_D = 10^{-7}$ için CM PID denetleyici **(a)** genlik **(b)** faz cevapları



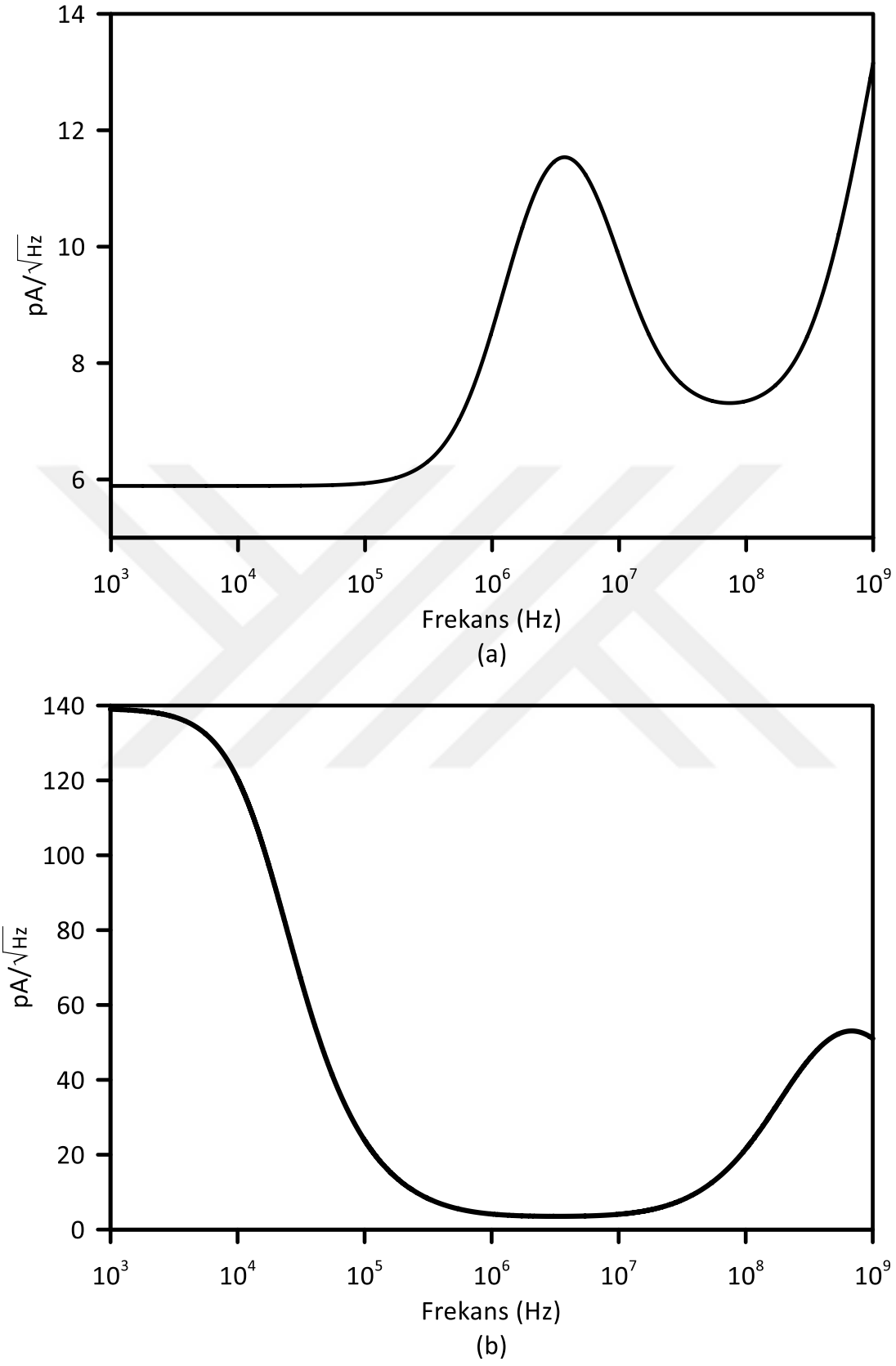
Şekil 4.5: $K_P = 0.6$, $K_I = 5\times10^4$, ve $K_D = 10^{-6}$ için CM PID denetleyici **(a)** genlik **(b)** faz cevapları



Şekil 4.6: Monte Carlo analizi **(a)** genlik **(b)** faz cevapları



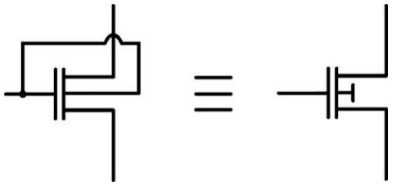
Şekil 4.7: Sıcaklık analizi **(a)** genlik **(b)** faz cevapları



Şekil 4.8: Gürültü analizi sonuçları **(a)** giriş **(b)** çıkış

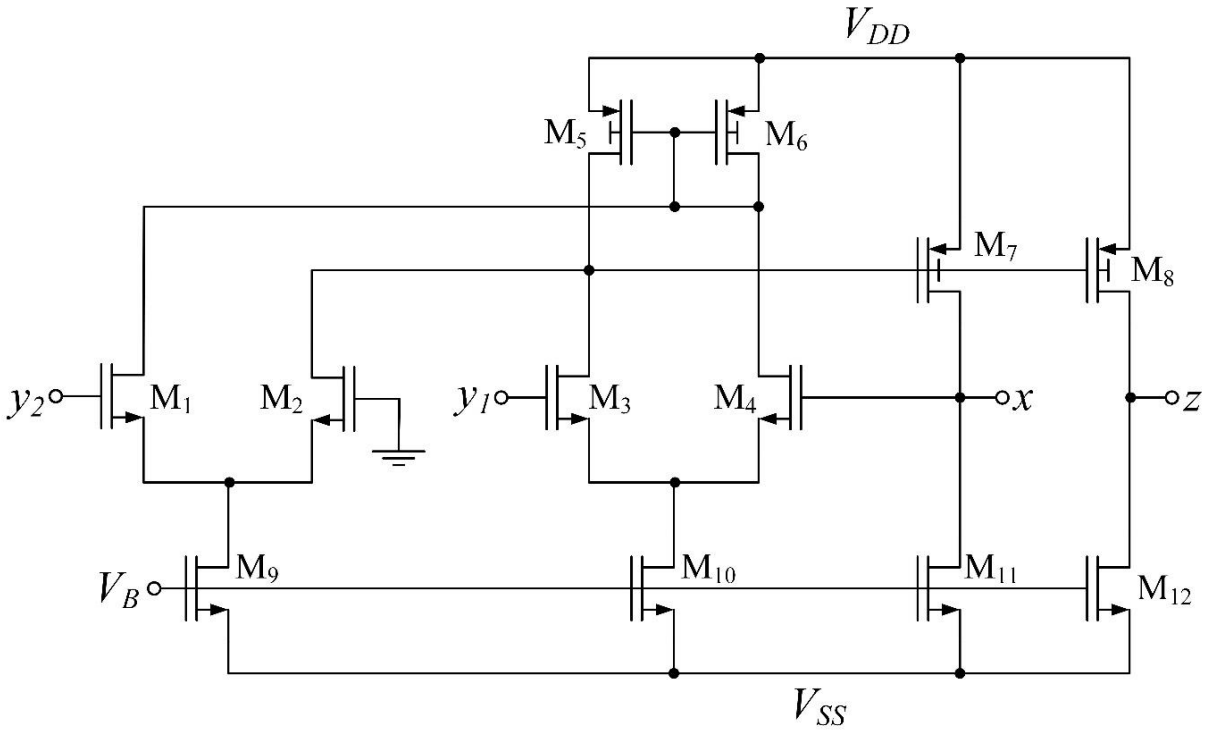
4.2. DVCC TABANLI PID DENETLEYİCİ ZAMAN VE FREKANS CEVAPLARI

DVCC'nin iç yapısında NMOS ve PMOS transistörler kullanılmıştır. PMOS transistörlerde DTMOS tekniği kullanılarak, PID denetleyicinin güç tüketimi ve besleme gerilimleri büyük ölçüde azaltılmıştır. Bir DTMOS transistör tasarlamak için, MOSFET''lerde taban terminalleri geçit terminallerine bağlanır [14–19]. Bir DTMOS transistörün yapısı ve devre sembolü Şekil 4.9'da verilmiştir.



Şekil 4.9: DTMOS transistör ve sembolü

Simülasyon sonuçları, Şekil 4.10'daki DVCC devresinin iç yapısı kullanarak elde edilmiştir. Besleme gerilimleri simetrik olarak V_{DD} = -V_{SS} = 0.55 V olarak, kutuplama gerilimi ise V_B = -60 mV olarak seçilmiştir. Transistörlerin en-boy oranları Tablo 4.2'de verilmiştir. DVCC için ortaya çıkan parazitik parametre değerleri Tablo 4.3'te gösterilmiştir. 94.37 µm x 48.96 µm'lik bir alanı kaplayan DVCC'nin yerleşimi Şekil 4.11'de gösterilmektedir.



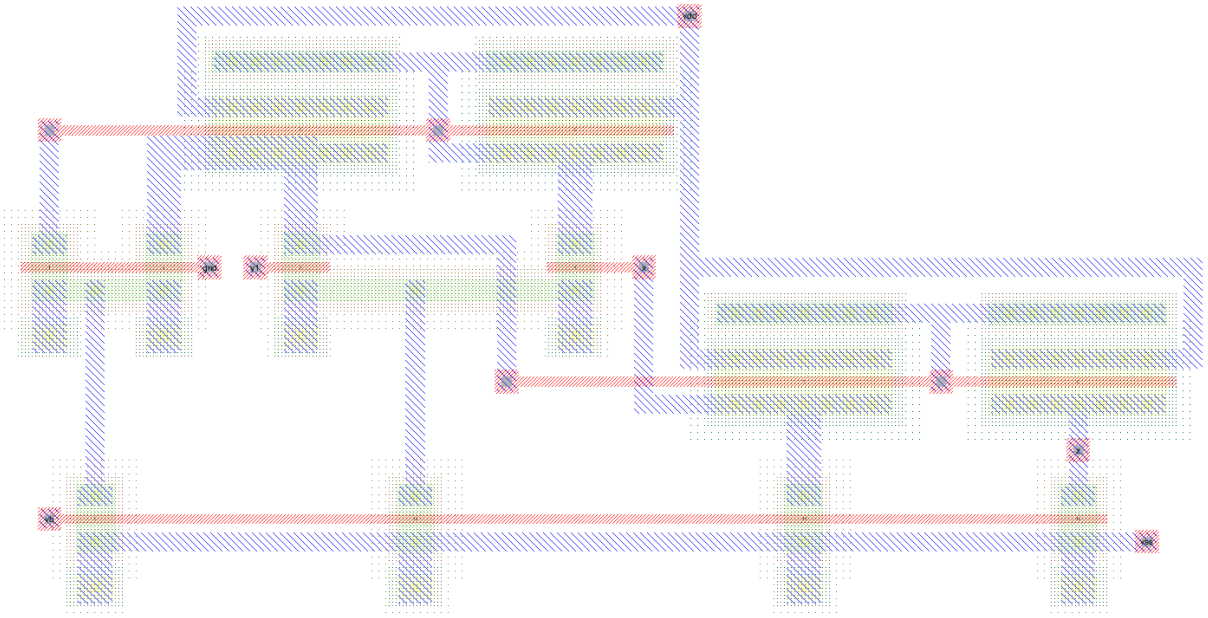
Şekil 4.10: DVCC'nin iç yapısı [20]

Tablo 4.2: DVCC'nin transistör boyutları

Transistör Boyutları	***W (µm)/L (µm)***
M_5 - M_8	14/0.72
M_1 - M_4, M_9 – M_{12}	3/0.72

Tablo 4.3: DVCC'nin parazitik parametre değerleri

Parazitik Parametreler	***Değerleri***
C_{y_1}	3.4 fF
C_{y_2}	9.4 fF
R_X	1.98 kΩ
L_X	0.62 mH
R_Z	1.43 MΩ
C_Z	15.7 fF
α	0.9985
β_1	1.0015
β_2	0.9992



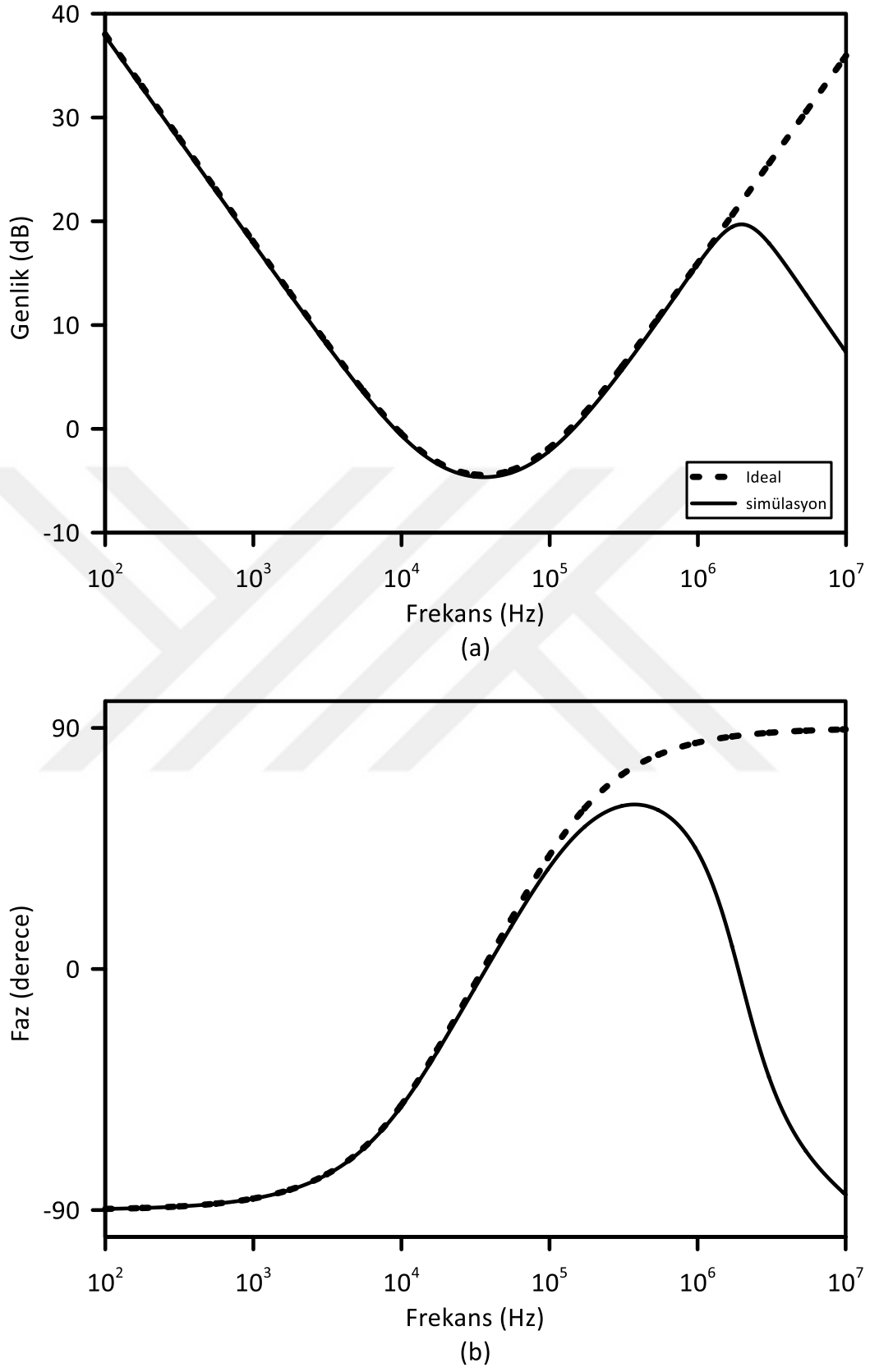
Şekil 4.11: 4.62x10^{-3} mm^2 çip alanı kaplayan DVCC düzeni

İlgili analizler için K_P = 0.6, K_I = 5x10^4 ve K_D = 10^{-6} değerleri kullanılmış olup, pasif bileşenler C_1 = 500 pF, C_2 = 50 pF, R_1 = 20 kΩ ve R_2 = 40 kΩ olarak seçilmiştir. Önerilen devrenin genlik ve faz tepkileri simülasyon sonuçları Şekil 4.12'de verilmiştir. Sonuçlar, ideal ve önerilen PID denetleyici için karşılaştırmalı olarak sunulmuştur. Önerilen CM PID denetleyici genlik ve faz tepkilerinin çalışma aralığında ideal genlik ve faz tepkilerine yakın olduğu rahatlıkla söylenebilir.

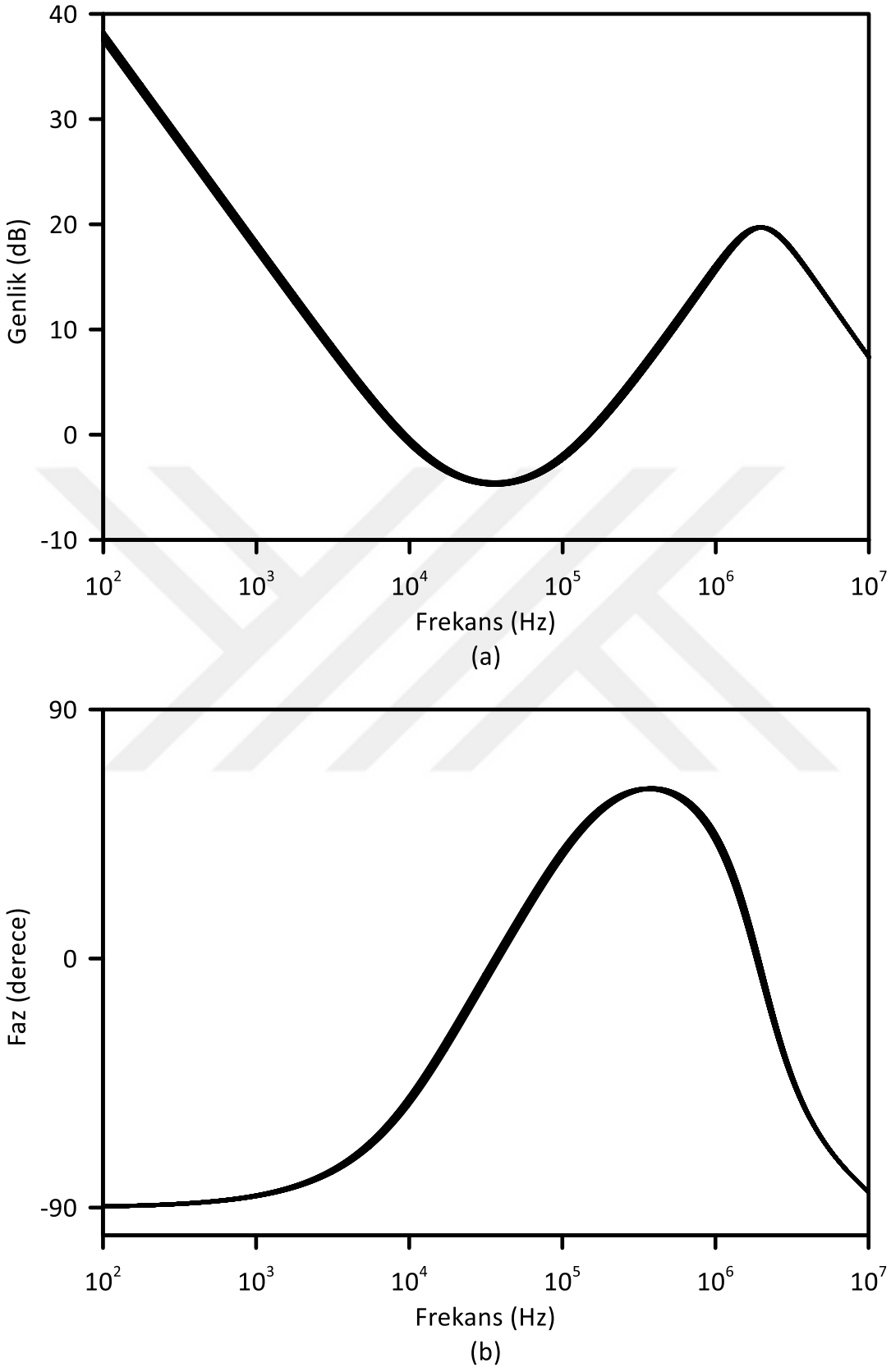
Önerilen PID denetleyicinin dayanıklılığını kanıtlamak için Monte Carlo (MC) analizi uygulanmıştır. Tüm pasif bileşen değerlerinin %5 oranında eşit olarak değiştirildiği düşünülerek MC analizi 100 kez tekrarlanmıştır. Sonuçlar Şekil 4.13'te verilmiştir.

Sıcaklık değişimlerinin önerilen PID denetleyici üzerindeki etkileri incelenmiştir. Sıcaklık değerleri T = 27, 50, 75 ve 100 °C olarak seçilmiş ve simülasyon sonuçları Şekil 4.14'te verilmiştir.

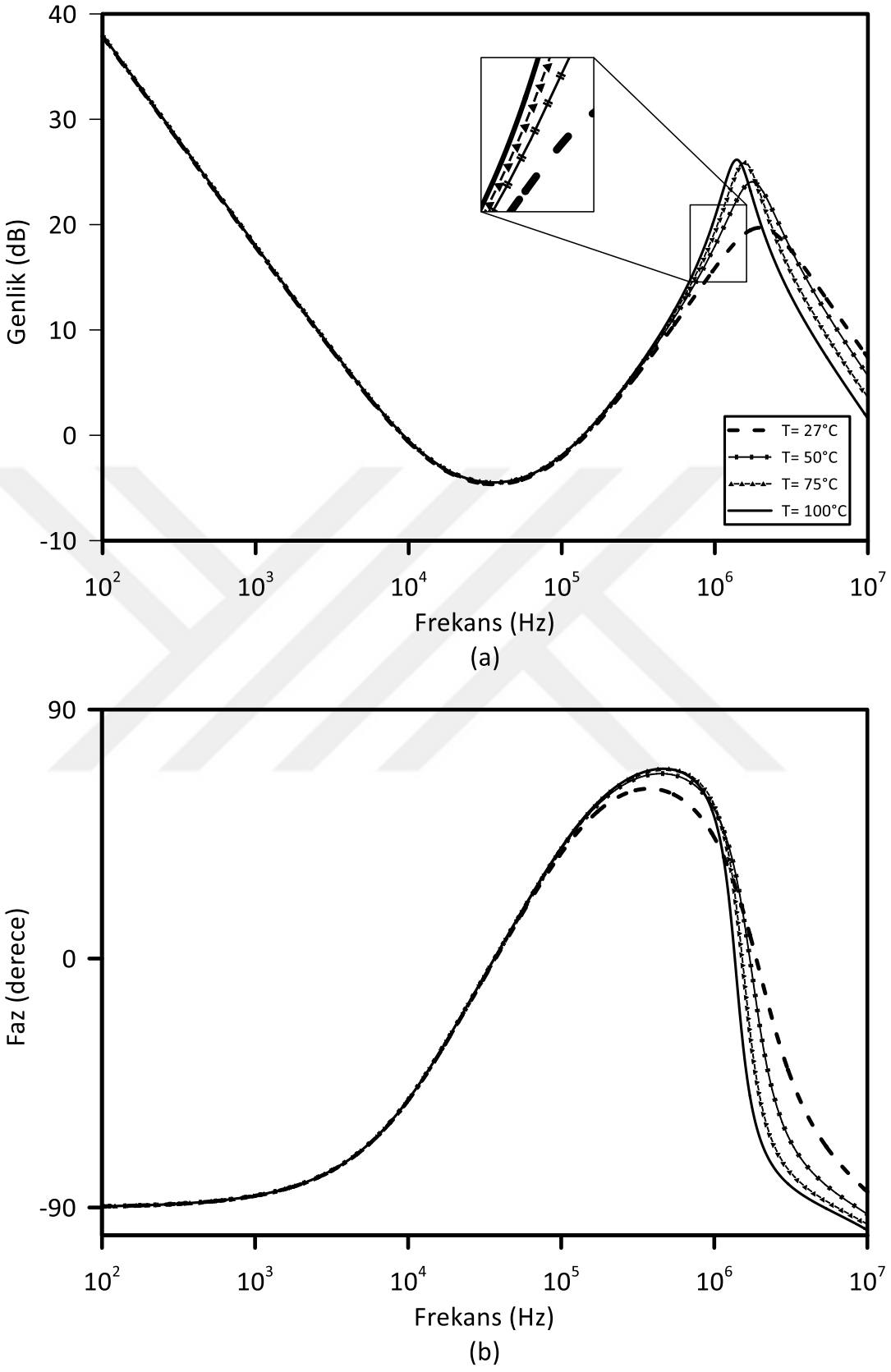
Son olarak, frekans değişimlerine göre önerilen CM PID denetleyicinin giriş ve çıkış uçları gürültü analizi simülasyonları yapılmış ve sonuçlar Şekil 4.15'te verilmiştir.



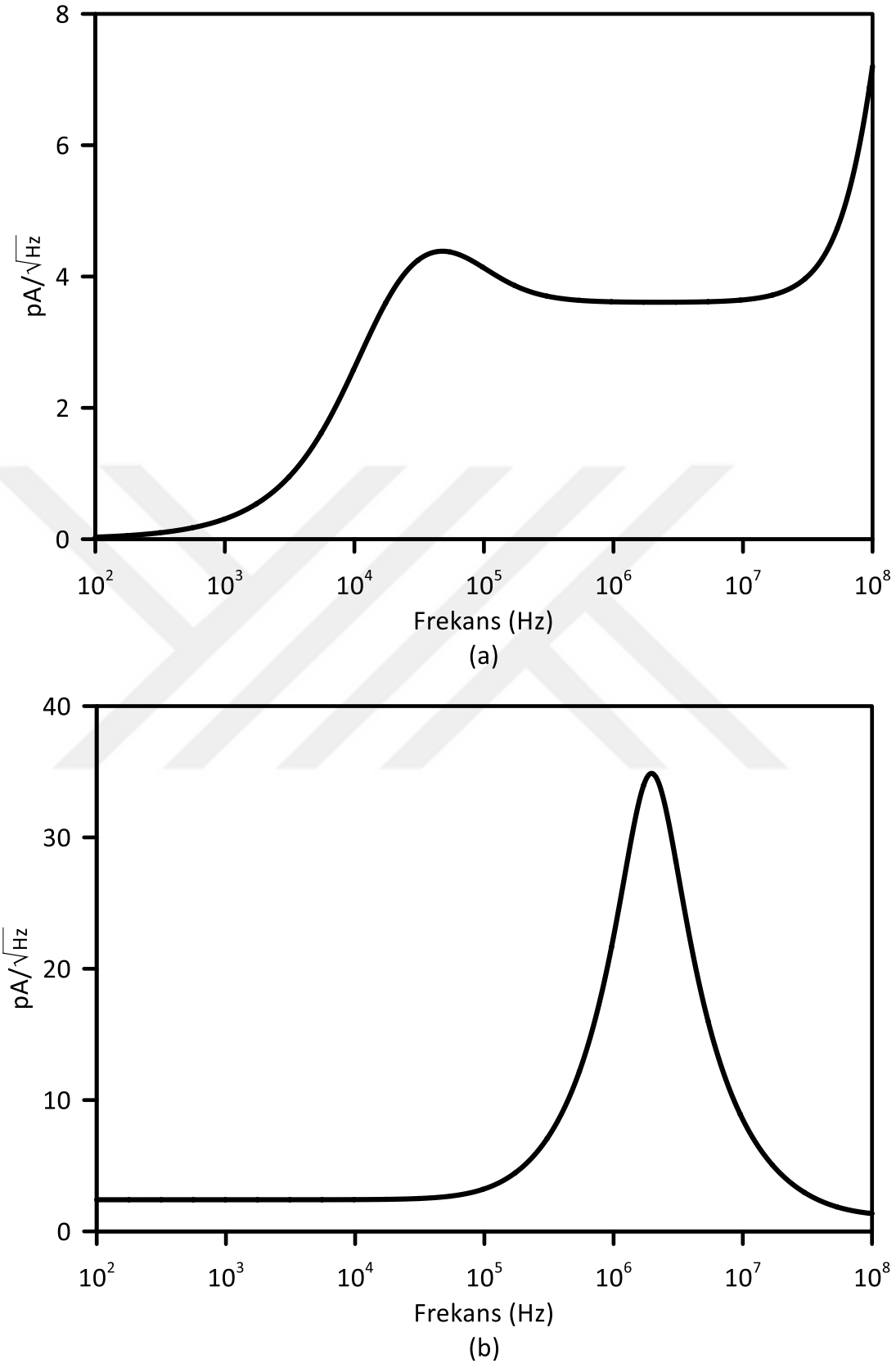
Şekil 4.12: CM PID denetleyici **(a)** genlik **(b)** faz cevapları



Şekil 4.13: Monte Carlo analizi **(a)** genlik **(b)** faz cevapları



Şekil 4.14: Sıcaklık analizi **(a)** genlik **(b)** faz cevapları



Şekil 4.15: Gürültü analizi sonuçları **(a)** giriş **(b)** çıkış

4.3. ÖNERİLEN CM PID DENETLEYİCİLER İÇİN UYGULAMA ÖRNEĞİ

Uygulama örneğinde, CM PID denetleyicilerin etkinliği bir kontrol döngüsü mekanizması içerisinde ayrıntılı olarak incelenmiştir. CM PID denetleyiciler ikinci dereceden bir alçak geçiren filtre (LPF) ile kaskat bağlanmıştır. İkinci dereceden LPF'nin matematiksel ifadesi denklem (4.1)'de verilmiştir.

$$G(s) = \frac{10^{14}}{s^2 + 10^7 s + 10^{14}} \tag{4.1}$$

Standart devre analiz teknikleri kullanılarak ikinci dereceden bir filtrenin transfer denklemi elde edilebilir. Bu teknikler Ohm yasası, Kirchoff'un akım ve gerilim yasaları ve süperpozisyon teoremini içerir. Paydanın derecesi filtrenin derecesini ifade eder. Denklemin köklerini çözmek, devrenin kutuplarını (payda) ve sıfırları (pay) belirler. Her kutup –20 dB/onluk yanıt sağlayacaktır. Her sıfır, +20 dB/onluk yanıt sağlayacaktır. İfadenin kararlı olması için tüm kutuplar düzlemin sol tarafında olmalıdır. İkinci dereceden bir LPF'nin transfer fonksiyonu için standart form denklem (4.2)'deki gibidir [21].

$$G(s) = \frac{a_0}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \tag{4.2}$$

a_0, geçiş bandı kazancı ve $\omega_0 = 2\pi f_0$'dır. f_0, filtrenin kesim frekansıdır ve kazancın 3 dB azaldığı frekans olarak tanımlanır. Q, filtrenin kalite faktörüdür. G(s)'in tüm kutupları kararlı kutuplardır, bu nedenle $DC\ kazanç = \lim_{s\to 0} G(s)$'olur. İkinci dereceden bir LPF'nin genel matematiksel ifadesinin denklem (4.1) ile eşleştirilmesi ile f_0, $Q\ ve\ DC\ kazanç$ şu şekilde bulunur:

$$\omega_0^2 = 10^{14} \Longrightarrow \omega_0 = 10^7 \Longrightarrow f_0 \cong 1.59\ MHz \tag{4.3}$$

$$\frac{\omega_0}{Q} = 10^7 \Longrightarrow \frac{10^7}{Q} = 10^7 \Longrightarrow Q = 1 \tag{4.4}$$

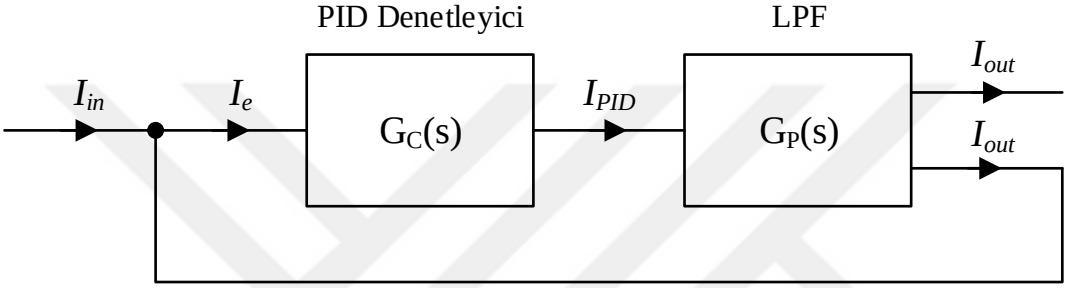
$$DC\ kazanç = \frac{a_0}{\omega_0^2} = \frac{10^{14}}{10^{14}} = 1 \tag{4.5}$$

LPF adım yanıtını iyileştirmek için birim geri besleme faktörüne sahip kapalı bir kontrol döngüsü mekanizması tasarlanmıştır. Bu kapalı kontrol çevriminin blok diyagramı Şekil 4.16'da verilmiştir. Şekil 4.16'ya göre, uygulama devresinin matematiksel ifadesi aşağıdaki adımlar izlenerek belirlenir.

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{G_C(s)G_P(s)}{1 + G_C(s)G_P(s)} \tag{4.6}$$

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{\left(K_P + \frac{K_I}{s} + K_D s\right)\left(\frac{10^{14}}{s^2 + s10^7 + 10^{14}}\right)}{1 + \left(K_P + \frac{K_I}{s} + K_D s\right)\left(\frac{10^{14}}{s^2 + s10^7 + 10^{14}}\right)} \tag{4.7}$$

$$\frac{I_{out}(s)}{I_{in}(s)} = \frac{10^{14}(K_D s^2 + K_P s + K_I)}{s^3 + (10^7 + 10^{14}K_D)s^2 + (10^{14} + 10^{14}K_P)s + 10^{14}K_I} \tag{4.8}$$



Şekil 4.16: Kapalı kontrol döngüsü mekanizmasının blok diyagramı

PID denetleyiciler, bu uygulama örneği için optimize edilmiştir. Denetleyici optimizasyonu, hatayı en aza indirerek istenen çıktıyı en uygun hale getirmek için denetleyici parametrelerini belirleme işlemidir. K_P, K_I ve K_D değerleri, MATLAB optimizasyon araç kutusu kullanılarak genetik algoritma yöntemiyle elde edilmiştir. Bu yöntemde K_P, K_I ve K_D değerlerinin aralıkları, bir dizi deneme çalışmasından sonra tasarımcının tecrübesi ile seçilir. Değişkenlerin sınırları Tablo 4.4'te verilmiştir.

Tablo 4.4: Değişkenlerin üst ve alt sınırları

Parametreler	Üst sınır	Alt sınır
K_P	1	0
K_I	5×10^6	0
K_D	10^{-8}	0

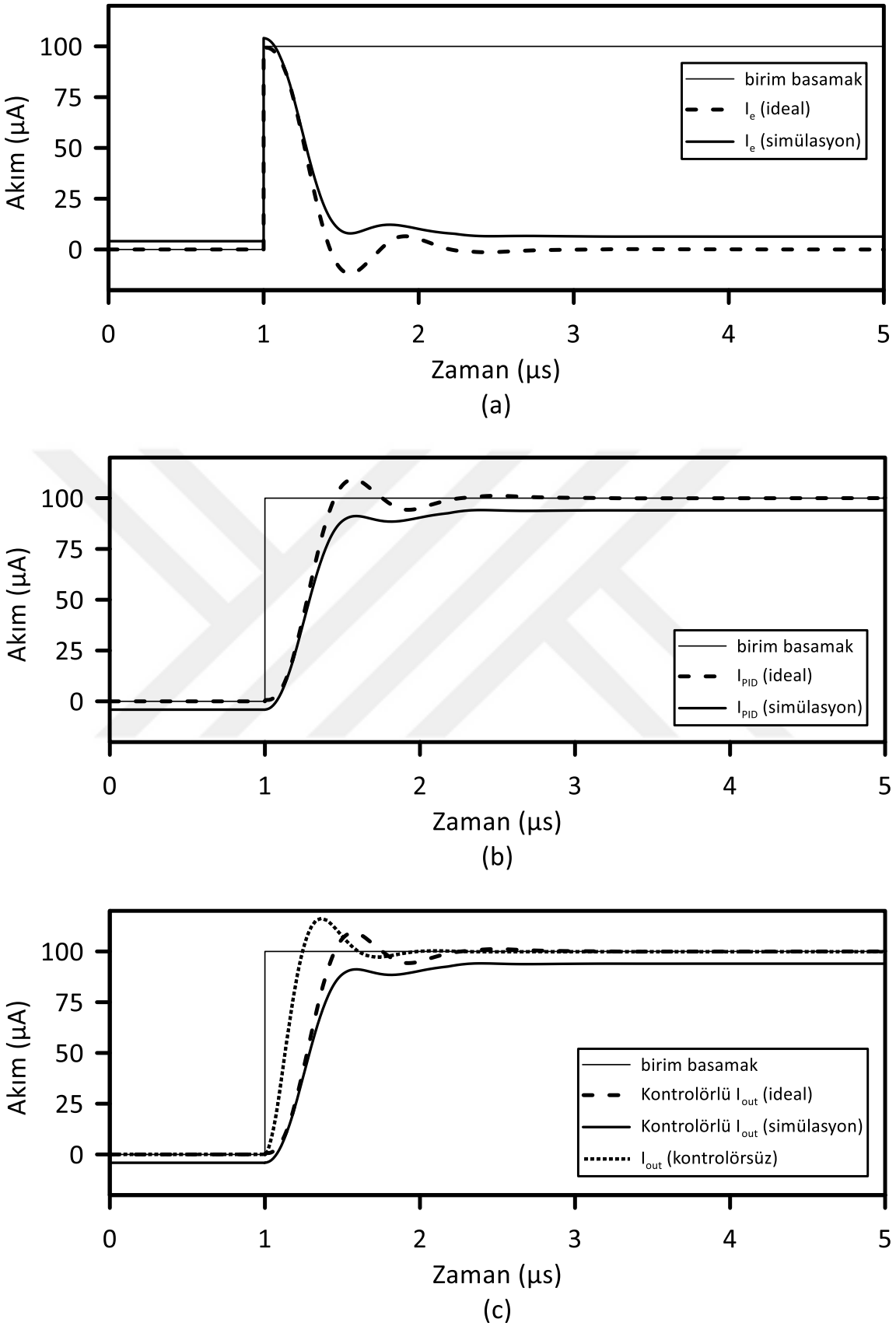
Kontrol sistemi ilk olarak VDIBA tabanlı CM PID için optimize edilmiştir. Kontrol sisteminin girişine birim adım fonksiyonu uygulanarak, kontrol parametreleri K_P = 0.14, K_I = 4x10^6 ve K_D = 1x10^{-9} olarak bulunur. Bu parametrelere göre pasif bileşen değerleri C_1 = 100 pF, C_2 = 10 pF, R_{in} = 1.67 kΩ, R_1 = 100 Ω ve R_2 = 2.5 kΩ olarak hesaplanır.

Hata fonksiyonu (I_e), PID kontrolörün çıkış akımı (I_{PID}) ve kapalı kontrol döngüsünün çıkış akımı (I_{out}) için simülasyon sonuçları Şekil 4.17'de verilmiştir. Kontrolörlü ve kontrolörsüz sistemlerin performansları Tablo 4.5'te verilmiştir. Yerleşme zamanı, kontrol sisteminin adım yanıtı için %2 tolerans bandı ile hesaplanmıştır.

Ek olarak, literatürde daha önce bildirilen çalışmalar için bir karşılaştırma tablosu verilmiştir. Bu karşılaştırma tablosu, önerilen VDIBA tabanlı PID denetleyici devresi de dahil olmak üzere Tablo 4.6'da sunulmaktadır. Yapılan çalışmalarda PID kontrolörlerin çoğunlukla birden fazla aktif eleman kullanılarak tasarlandığı görülmüştür. Önerilen CM PID denetleyici ise tek bir aktif eleman ile tasarlanmıştır. Devre ile ilgili bir önemli bir not da az sayıda devre elemanı ile tasarlanmış olmasıdır.

Tablo 4.5: Kontrolörlü ve kontrolörsüz sistemlerin performansları

Parametreler	***Kontrolörsüz sistem***	***Kontrolörlü sistem***
Gecikme zamanı	0.13 µs	0.19 µs
Yükselme zamanı	0.25 µs	0.32 µs
Yerleşme zamanı	0.81 µs	1.08 µs
Aşma	116 µA	97.18 µA
Aşım zamanı	0.36 µs	1.35 µs



Şekil 4.17: a ideal ve simüle edilmiş hata fonksiyonu **(b)** ideal ve simüle edilmiş PID denetleyici çıkışı **(c)** sistemin birim basamak cevabı

Tablo 4.6: VDIBA tabanlı CM PID denetleyicinin diğer çalışmalarla karşılaştırması

Referanslar	Aktif Elemanlar	Pasif Elemanlar	Çalışma Modu	Teknoloji
[7]	1 VDCC	4 direnç, 2 kapasitör	VM	0.18 µm
[11]	2 CFTA	4 direnç, 2 kapasitör	VM	0.18 µm
[22]	2 OTRA	4 direnç, 3 kapasitör	VM	0.18 µm
[23]	1 CFOA	2 direnç, 2 kapasitör	VM	AD844
[24]	2 MO-CCCCTA	2 kapasitör	VM	BJT
[25]	8 CCCII	2 direnç, 2 kapasitör	VM	BJT
[26]	1 DO-CCII+, 1 CCII+	3 direnç, 2 kapasitör	VM, CM	0.35 µm
[27]	3 CFOA	4 direnç, 2 kapasitör	VM	AD844
[28]	3 CFOA	3 direnç, 3 kapasitör	VM	AD844
[29]	3 CFOA	4 direnç, 2 kapasitör	VM	AD844
[30]	2 CFOA	4 direnç, 2 kapasitör	VM	AD844
[31]	2 OTRA	4 direnç, 2 kapasitör	VM	0.18 µm
[32]	3 DDCC+	3 direnç, 2 kapasitör	VM	0.13 µm
[33]	1 VCII-	2 direnç, 2 kapasitör	VM	0.18 µm
[34]	1 CCTA	2 direnç, 2 kapasitör	VM	0.35 µm
[35]	1 ZC-CFTA	2 direnç, 2 kapasitör	VM	0.35-mm
[36]	4 CDBA	8 direnç, 2 kapasitör	VM	N/A
[37]	6 transkondüktör	2 kapasitör	VM, CM	0.18 µm
[38]	3 CCII	4 direnç, 2 kapasitör	VM, CM	AD844
[39]	8 OTA	2 kapasitör	VM	0.8µm
[40]	1 CFOA	2 direnç, 2 kapasitör	VM	0.18 µm
[41]	2 CFOA	3 direnç, 2 kapasitör	VM	AD844
[42]	2 VDGA	2 kapasitör	CM	0.35 µm
[43]	4 CCCDBA	2 kapasitör	CM	BJT
[44]	62 BJT	2 kapasitör	CM	BJT
[45]	2 VCII+	2 direnç, 2 kapasitör	CM	AD844
[46]	1 DO-CCII	2 direnç, 2 kapasitör	CM	0.13 µm
Önerilen	1 VDIBA	3 direnç, 2 kapasitör	CM	0.18 µm

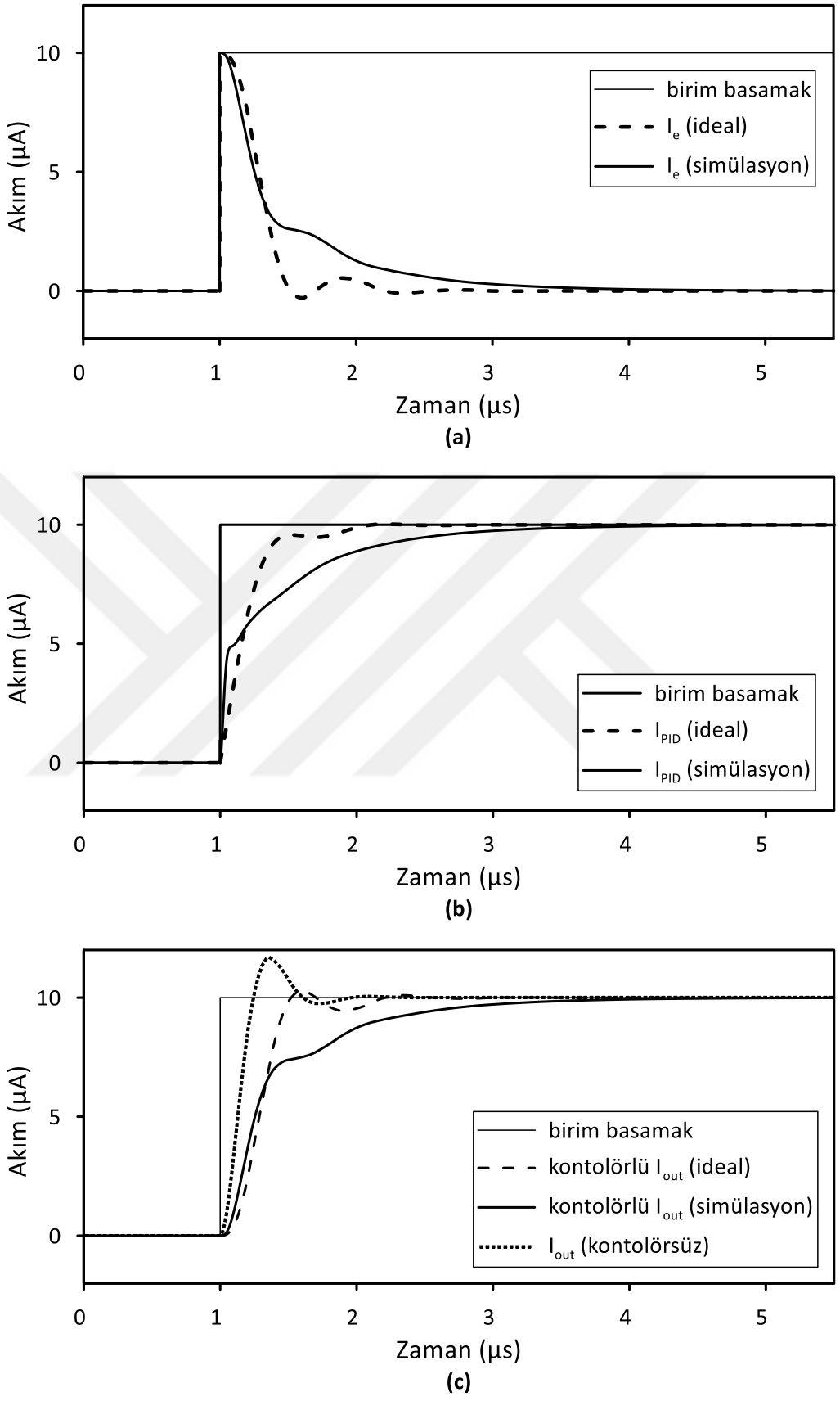
Kontrol sistemi DVCC tabanlı CM PID için tekrar optimize edilmiştir. Kontrol sisteminin girişine birim adım fonksiyonu uygulanarak, kontrol parametreleri K_P = 0.43, K_I = 3.33x10^6 ve K_D = 1x10^{-8} olarak bulunur. Bu parametrelere göre pasif bileşen değerleri C_1 = 30 pF, C_2 = 10 pF, R_1 = 1 kΩ ve R_2 = 10 kΩ olarak hesaplanır.

Hata fonksiyonu (I_e), PID kontrolörün çıkış akımı (I_{PID}) ve kapalı kontrol döngüsünün çıkış akımı (I_{out}) için simülasyon sonuçları Şekil 4.18'de verilmiştir. Kontrolörlü ve kontrolörsüz sistemlerin performansları Tablo 4.7'de verilmiştir. Yerleşme zamanı, kontrol sisteminin adım yanıtı için %2 tolerans bandı ile hesaplanmıştır.

Ek olarak, literatürde daha önce bildirilen çalışmalar için bir karşılaştırma tablosu verilmiştir. Bu karşılaştırma tablosu, önerilen DVCC tabanlı PID denetleyici devresi de dahil olmak üzere Tablo 4.8'da sunulmaktadır. Yapılan çalışmalarda PID kontrolörlerin çoğunlukla birden fazla aktif eleman kullanılarak tasarlandığı görülmüştür. Önerilen CM PID denetleyici ise tek bir aktif eleman ile tasarlanmıştır. İlk kez DTMOS tekniği bir PID denetleyici tasarımında kullanılmıştır. Devre ile ilgili bir önemli bir not da az sayıda devre elemanı ile tasarlanmış olmasıdır.

Tablo 4.7: Kontrolörlü ve kontrolörsüz sistemlerin performansları

Parametreler	***Kontrolörsüz sistem***	***Kontrolörlü sistem***
Gecikme zamanı	0.13 µs	0.25 µs
Yükselme zamanı	0.25 µs	1.03 µs
Yerleşme zamanı	0.81 µs	2.2 µs
Aşma	11.7 µA	10 µA



Şekil 4.18: a ideal ve simüle edilmiş hata fonksiyonu **(b)** ideal ve simüle edilmiş PID denetleyici çıkışı **(c)** sistemin birim basamak cevabı

Tablo 4.8: DVCC tabanlı CM PID denetleyicinin diğer çalışmalarla karşılaştırması

Referanslar	Aktif Elemanlar	Pasif Elemanlar	Besleme Gerilimleri	Güç Tüketimi	Teknoloji
[7]	1 VDCC	4 direnç 2 kapasitör	± 0.9 V	1.06 mW	0.18 µm
[11]	2 CFTA	4 direnç 2 kapasitör	± 0.6 V	1.12 mW	AD844
[33]	1 VCII-	2 direnç 2 kapasitör	± 0.9 V	310 µW	AD844
[41]	2 CFOA	3 direnç 2 kapasitör	±12V	300 mW	AD844
[43]	4 CCCDBA	2 kapasitör	± 1.5 V	5.71 mW	NR200N PR200N
[44]	62 BJT	2 kapasitör	± 1.5 V	3.97 mW	HFA3127 HFA3128
[45]	2 VCII	2 direnç 2 kapasitör	± 9 V	235 mW	AD844
[46]	1 DO-CCII	2 direnç 2 kapasitör	± 1 V	N/A	0.13 µm
[47]	2 DBTA	4 direnç 2 kapasitör	±12V	1.19 W	AD844, L T1228
Önerilen	1 DVCC	2 direnç 2 kapasitör	± 0.55 V	9.2 µW	0.18 µm

5. TARTIŞMA VE SONUÇ

Bu tez çalışmasında amaç, literatürde verilen PID tasarımlarına bir alternatif sunmaktır. CMOS teknolojisi ile tümleştirmeye uygun şekilde tasarlanmış, kuvvetlendirici yapıları ve pasif devre elemanları kullanılarak; akım modlu, düşük güç tüketen, geniş bantlı, çip üzerinde az yer işgal eden ve yüksek performanslı PID denetleyici devrelerinin tasarlanması amaçlanmıştır.

İlk olarak yeni bir VDIBA tabanlı CM PID denetleyici sunmaktadır. Önerilen devre, tek bir VDIBA, üç direnç ve iki kapasitörden oluşmaktadır. Önerilen PID denetleyicide, az sayıda eleman kullanılmış olması nedeniyle devre yapısı oldukça basit ve tasarımı kolaydır. Kontrol parametrelerinin duyarlılık analizleri verilmiştir. Optimum kontrol parametrelerini elde etmek için pasif eleman değerlerinin seçilmesine yönelik bir tasarım prosedürü sunulmaktadır. Parazit elemanların tasarım üzerindeki etkileri incelenmiştir. Tasarımın zaman ve frekans yanıtları incelenmiştir. Spice benzetim programı ile elde edilen grafiklere dayanarak sonuçların çalışma aralığında ideal büyüklük ve faz tepkilerine yakın olduğu rahatlıkla söylenebilir. VDIBA tabanlı CM PID denetleyicinin etkinliğini kontrol etmek için kapalı bir kontrol döngüsü mekanizması tasarlanmıştır. Çalışmanın sonuçları literatürde verilen PID tasarımlarla karşılaştırmalı olarak bir tablo halinde sunulmuştur.

Bir sonraki tasarım ise, tek bir DVCC, iki direnç ve iki kapasitör ile tasarlanmış DTMOS tabanlı bir CM PID denetleyici olmuştur. Devrenin besleme gerilimi ve güç tüketimi DTMOS tekniği kullanılarak büyük ölçüde azaltılmıştır. Bu yönüyle düşük güç tüketimi gerektiren uygulamalarda kullanımına olanak sağlanmıştır. Kontrol parametrelerinin duyarlılık analizleri verilmiştir. Optimum kontrol parametrelerini elde etmek için pasif eleman değerlerinin seçilmesine yönelik bir tasarım prosedürü sunulmaktadır. Parazit elemanların tasarıma etkileri araştırılmıştır. Devrenin teorik analizini doğrulamak için zaman ve frekans alanı analizleri verilmiştir. Spice benzetim programı ile elde edilen grafiklere dayanarak sonuçların çalışma aralığında ideal büyüklük ve faz tepkilerine yakın olduğu rahatlıkla söylenebilir. Bir uygulama devresi örneği olarak, devrenin çalışabilirliğini doğrulamak için kapalı bir kontrol döngüsü mekanizması tasarlanmıştır. Çalışmanın sonuçları literatürde verilen PID tasarımlarla karşılaştırmalı olarak bir tablo halinde sunulmuştur.

KAYNAKLAR

[1]. Sedra S. 2014. Microelectronic Circuits 7th edition. Oxford University Press. ISBN-13. 978-0199339136.

[2]. Jung, W.G., IC Op-Amp Cookbook (Howard W. Sams -Bobbs-Merrill First Ed. 1974) p. 440 et seq.

[3]. Kuntman, H., Özenli, D. (2022). The Operational Transresistance Amplifier (OTRA). In: Trends in Circuit Design for Analog Signal Processing. Analog Circuits and Signal Processing. Springer, Cham. https://doi.org/10.1007/978-3-030-96836-6_4.

[4]. J. A. SVOBODA (1994) Transfer function synthesis using current conveyors, International Journal of Electronics, 76:4, 611-614, DOI: 10.1080/00207219408925957.

[5]. W. Chiu, S. I. Liu, H. W. Tsao and J. J. Chen, "CMOS differential difference current conveyors and their applications", Proc. IEE Circuits Devices Syst., vol. 143, no. 2, pp. 91-96, Apr. 1996.

[6]. Tangsrirat W, Klahan K, Dumawipata T. Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design. International Journal of Electronics 2006;93:777–91.

[7]. Özer, E., Kaçar, F. Design of voltage-mode PID controller using a single voltage differencing current conveyor (VDCC). Analog Integr Circ Sig Process 109, 11–27 (2021). https://doi.org/10.1007/s10470-021-01880-5.

[8]. G. Palumbo and S. Pennisi, "Current-feedback amplifiers versus voltage operational amplifiers," in IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol. 48, no. 5, pp. 617-623, May 2001, doi: 10.1109/81.922465.

[9]. Herencsar N, Minaei S, Koton J, Yuce E, Vrba K. New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA. Analog Integr Circuits Signal Process 2013;74:141–54. https://doi.org/10.1007/s10470-012-9936-2.

[10]. Biolek D, Biolkova V, Kolka Z. All-pass filter employing fully balanced voltage differencing buffered amplifier. Proc IEEE Lat Am Symp Circuits … 2010:232–5.

[11]. Özer E. Design of Voltage-Mode PID Controller Based on Current Follower Transconductance Amplifiers. Glob. Conf. Eng. Res., 2021, p. 165–78.

[12]. Herencsar N, Minaei S, Koton J, Yuce E, Vrba K. New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA. Analog Integr Circuits Signal Process 2013;74:141–54. https://doi.org/10.1007/s10470-012-9936-2.

[13]. Herencsar N, Minaei S, Koton J, Yuce E, Vrba K. New resistorless and electronically tunable realization of dual-output VM all-pass filter using VDIBA. Analog Integr Circuits Signal Process 2013;74:141–54. https://doi.org/10.1007/s10470-012-9936-2.

[14]. Özer, E., Başak, M. E., & Kaçar, F. (2022). A four-quadrant analog multiplier using DTMOS for low power applications. International Journal of Electronics, 1–15. https://doi.org/10.1080/00207217.2022.2062795.

[15]. Başak, M. E., Özer, E., Kaçar, F., & Özenli, D. (2020). DTMOS Based High Bandwidth Four-Quadrant Analog Multiplier. Informacije MIDEM - Journal of Microelectronics, Electronic Components and Materials, 50(2), 137–146. https://doi.org/10.33180/InfMIDEM2020.206.

[16]. Özer, E. (2020). A DTMOS based Four-Quadrant Analog Multiplier. Electrica, 20(2), 207–217. https://doi.org/10.5152/electrica.2020.20019.

[17]. Yildirim, M. (2021). Design of low-voltage and low-power current-mode DTMOS transistor based full-wave/half-wave rectifier. Analog Integrated Circuits and Signal Processing, 106(2), 459–465. https://doi.org/10.1007/s10470-020-01769-9.

[18]. Konal, M., & Kacar, F. (2021). DTMOS based low-voltage low-power all-pass filter. Analog Integrated Circuits and Signal Processing, 108(1), 173–179. https://doi.org/10.1007/s10470-021-01878-z.

[19]. Başak, M. E. (2019). Realization of DTMOS based CFTA and multiple input single output biquadratic filter application. AEU - International Journal of Electronics and Communications, 106, 57–66. https://doi.org/10.1016/j.aeue.2019.04.027.

[20]. Yesil, A., Babacan, Y. (2020). An electronically controllable, fully floating memristor based on active elements: DO-OTA and DVCC. AEU - International Journal of Electronics and Communications Volume 123. https://doi.org/10.1016/j.aeue.2020.153315.

[21]. Linear Circuit Design Handbook, Edited by Hank Zumbahlen, Published by Newnes/Elsevier, 2008, ISBN-978-0-7506-8703-4 (Also published as Basic Linear Design, Analog Devices, 2007, ISBN-0-916550-28-1).

[22]. Pandey R, Pandey N, Chitranshi S, Paul SK. Operational transresistance amplifier based PID controller. Adv Electr Electron Eng 2015;13:171–81. https://doi.org/10.15598/aeee.v13i2.1164.

[23]. Sagbas M, Koksal M, Ayten UE. Design of dominantly proportional PID controller using a single commercially available active component. 2013 36th Int Conf Telecommun Signal Process TSP 2013 2013:427–30. https://doi.org/10.1109/TSP.2013.6613967.

[24]. Pandey N, Kapur S, Arora P, Sharma S. MO-CCCCTA based PID controller employing grounded passive elements. 2011 2nd Int Conf Comput Commun Technol ICCCT-2011 2011:270–3. https://doi.org/10.1109/ICCCT.2011.6075115.

[25]. Erdal C, Kuntman HH, Kalalı S. A current controlled conveyor based proportional-integral-derivative (PID) controller. Istanbul Univ - J Electr Electron Eng 2004;4:1243–8.

[26]. Yuce E, Tokat S, Kizilkaya A, Cicekoglu O. CCII-based PID controllers employing grounded passive components. AEU - Int J Electron Commun 2006;60:399–403. https://doi.org/10.1016/j.aeue.2005.03.017.

[27]. Gupta SS, Bhaskar DR, Senani R, Singh AK. Inverse active filters employing CFOAs. Electr Eng 2009;91:23–6. https://doi.org/10.1007/s00202-009-0112-3.

[28]. Wang H-Y, Chang S-H, Yang T-Y, Tsai P-Y. A Novel Multifunction CFOA-Based Inverse Filter. Circuits Syst 2011;02:14–7. https://doi.org/10.4236/cs.2011.21003.

[29]. Gupta SS, Bhaskar DR, Senani R. New analogue inverse filters realised with current feedback op-amps. Int J Electron 2011;98:1103–13. https://doi.org/10.1080/00207217.2010.547812.

[30]. Patil V, Sharma RK. Novel Inverse Active Filters Employing CFOAs. Int J Sci Res Dev 2015;3:359–60.

[31]. Singh AK, Gupta A, Senani R. OTRA-based multi-function inverse filter configuration. Adv Electr Electron Eng 2017;15:846–56. https://doi.org/10.15598/aeee.v15i5.2572.

[32]. Yuce E, Alpaslan H. S. Indian J Eng Mater Sci 2016;23:120–8.

[33]. Özer E, Sayın A, Kaçar F. Voltage-mode PID controller design employing canonical number of active and passive elements. Analog Integr Circuits Signal Process 2022;113:361–71. https://doi.org/10.1007/s10470-022-02057-4.

[34]. Mongkolwai P, Tangsrirat W, Suesut T, Pathom N. Novel Voltage-Mode PID Controller Using a Single CCTA and All Grounded Passive Components. Inf MIDEM - J Microelectron Electron Components Mater 2022;51:169–79. https://doi.org/10.33180/infmidem2022.303.

[35]. Tangsrirat W. Voltage-mode analog PID controller using a single- z-copy current follower transconductance amplifier (ZC-CFTA). Inf MIDEM 2015;45:175–9.

[36]. Keskin AU. Design of a PID controller circuit employing CDBAs. Int J Electr Eng Educ 2006;43:48–56. https://doi.org/10.7227/IJEEE.43.1.5.

[37]. Silaruam V, Lorsawatsiri A, Wongtaychatham C. Novel resistorless mixed-mode PID controller with improved low-frequency performance. Radioengineering 2013;22:932–40.

[38]. Yuce E, Tokat S, Minaei S, Cicekoglu O. Low-Component-Count Insensitive Current-Mode and Voltage-Mode PID, PI and PD Controllers. Frequenz 2006;60:65–9. https:// doi.org./10.1515/FREQ.2006.60.3-4.65.

[39]. Erdal C, Toker A, Acar C. Ota-C based proportional-integral-derivative (PID) controller and calculating optimum parameter tolerances. Turkish J Electr Eng Comput Sci 2001;9:189–98.

[40]. Ayten UE, Yuce E, Minaei S. A voltage-mode PID controller using a single CFOA and only grounded capacitors. Microelectronics J 2018;81:84–93. https://doi.org/10.1016/j.mejo.2018.09.010.

[41]. Çam Taşkıran ZG, Sedef H, Anday F. A New PID Controller Circuit Design Using CFOAs. Circuits, Syst Signal Process 2020. https://doi.org/10.1007/s00034-020-01540-5.

[42]. Hirunporm J, Siripruchyanun M. A Current-mode PID Controller Using Voltage Differencing Gain Amplifiers. Isc 2018 - 18th Int Symp Commun Inf Technol 2018:261–5. https://doi.org/10.1109/ISCIT.2018.8587929.

[43]. Srisakultiew S, Siripruchyanun M. A Synthesis of Electronically Controllable Current-Mode PI, PD and PID Controllers Employing CCCDBAs. Circuits Syst 2013;04:287–92. https://doi.org/10.4236/cs.2013.43039.

[44]. Prommee P, Angkeaw K. High performance electronically tunable log-domain current-mode PID controller. Microelectronics J 2018;72:126–37. https://doi.org/10.1016/j.mejo.2017.09.008.

[45]. Özer E, Kaçar F. Current-Mode PID Controller Using Second-Generation Voltage Conveyor (VCII). J Circuits, Syst Comput 2022;31:1–18. https://doi.org/10.1142/S0218126622502954.

[46]. Yuce E, Minaei S. New CCII-based versatile structure for realizing PID controller and instrumentation amplifier. Microelectronics J 2010;41:311–6. https://doi.org/10.1016/j.mejo.2010.03.008.

[47]. Mongkolwai, P., Tangsrirat. W. (2022). DBTA-Based Voltage-Mode PID Controller Design. International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC). 10.1109/ITC-CSCC55581.2022.9895068.

[48]. V. Michal, C. Prémont, G. Pillonet and N. Abouchi, "Single active element PID controllers," 20th International Conference Radioelektronika 2010, Brno, Czech Republic, 2010, pp. 1-4, doi: 10.1109/RADIOELEK.2010.5478563.

Umut_Orucoglu

ORİJİNALLİK RAPORU

%11	%8	%4	%5
BENZERLİK ENDEKSİ	İNTERNET KAYNAKLARI	YAYINLAR	ÖĞRENCİ ÖDEVLERİ

BİRİNCİL KAYNAKLAR

1	Submitted to The Scientific & Technological Research Council of Turkey (TUBITAK) Öğrenci Ödevi	%4
2	Umut Cem Orucoglu, Emre Ozer, Firat Kacar. "VDIBA-based current-mode PID controller design", Journal of Circuits, Systems and Computers, 2023 Yayın	%2
3	acikbilim.yok.gov.tr İnternet Kaynağı	%1
4	Submitted to Pamukkale Üniversitesi Öğrenci Ödevi	%1
5	dspace.yildiz.edu.tr İnternet Kaynağı	<%1
6	Submitted to Kahramanmaraş Sütçü İmam University Öğrenci Ödevi	<%1
7	acikerisim.sakarya.edu.tr İnternet Kaynağı	<%1
	archive.org	